ahb2sram 设计方案

**Version：1.05**

**修订记录**

|  |  |  |  |
| --- | --- | --- | --- |
| 日期 | 版本 | 修 订 描 述 | 修订人 |
| 2020-10-15 | 1.05 | 1.Final | 曾鹏 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

**目录**

[1 概述 7](#_Toc53685121)

[2 主要特性 7](#_Toc53685122)

[3 端口描述 7](#_Toc53685123)

[3.1 接口框图 7](#_Toc53685124)

[3.2 接口信号列表 8](#_Toc53685125)

[4 模块架构 8](#_Toc53685126)

[4.1 架构框图 8](#_Toc53685127)

[4.2 复位 9](#_Toc53685128)

[4.2.1 复位策略 9](#_Toc53685129)

[4.2.2 复位输入 9](#_Toc53685130)

[4.3 代码层次结构 9](#_Toc53685131)

[5 协议的理解 10](#_Toc53685132)

[5.1 AHB协议的理解 10](#_Toc53685133)

[5.2 SRAM读写时序的理解 11](#_Toc53685134)

[5.2.1 SRAM接口框图 11](#_Toc53685135)

[5.2.2 SRAM接口信号列表 11](#_Toc53685136)

[5.2.3 SRAM读写时序 11](#_Toc53685137)

[6子模块设计 12](#_Toc53685138)

[6.1 子模块fsm 12](#_Toc53685139)

[6.1.1 功能描述 12](#_Toc53685140)

[6.1.2 接口信号框图 12](#_Toc53685141)

[6.1.3 接口信号列表 13](#_Toc53685142)

[6.1.4 读写时序设计 13](#_Toc53685143)

[6.1.4.1 连续4拍写时序 14](#_Toc53685144)

[6.1.4.2 连续4拍读时序 15](#_Toc53685145)

[6.1.4.3 写1拍后紧跟读1拍 16](#_Toc53685146)

[6.1.5 状态转移图 17](#_Toc53685147)

[6.1.6 设计实现与SRAM控制信号表 17](#_Toc53685148)

[6.2 子模块addr\_chk设计 17](#_Toc53685149)

[6.2.1 功能描述 17](#_Toc53685150)

[6.2.2 接口信号框图 18](#_Toc53685151)

[6.2.3 接口信号列表 18](#_Toc53685152)

[6.2.4 设计实现 18](#_Toc53685153)

[7仿真验证 19](#_Toc53685154)

[7.1模块仿真 19](#_Toc53685155)

[8逻辑综合 19](#_Toc53685156)

[8.1 工具版本 19](#_Toc53685157)

[8.2 设计约束 19](#_Toc53685158)

[8.3 综合结果 19](#_Toc53685159)

[8.4 特殊需求 20](#_Toc53685160)

[9 测试相关 20](#_Toc53685161)

[10其他事项 20](#_Toc53685162)

[11参考文档 20](#_Toc53685163)

[12剩余协议理解记录 21](#_Toc53685164)

[12.1 关于回环传输(wrapping burst)的地址计算 21](#_Toc53685165)

[12.2 关于slave的ready信号 21](#_Toc53685166)

[12.3 关于HRESP[1:0]信号 21](#_Toc53685167)

**图目录**

[图 1 ahb2sram顶层接口信号框图 7](#_Toc53684737)

[图 2 ahb2sram模块整体架构图 8](#_Toc53684738)

[图 3 没有等待周期的AHB传输 10](#_Toc53684739)

[图 4 带有等待周期的AHB传输 10](#_Toc53684740)

[图 5 SRAM接口框图 11](#_Toc53684741)

[图 6 SRAM读写时序 11](#_Toc53684742)

[图 7 子模块fsm接口信号框图 12](#_Toc53684743)

[图 8 子模块fsm连续4拍写时序 14](#_Toc53684744)

[图 9 子模块fsm连续4拍读时序 15](#_Toc53684745)

[图 10 子模块fsm写1拍后紧跟读1拍时序 16](#_Toc53684746)

[图 11子模块fsm状态转移图 17](#_Toc53684747)

[图 12 子模块addr\_chk接口信号框图 18](#_Toc53684748)

**表目录**

[表 1 ahb2sram顶层接口信号描述 8](#_Toc53685168)

[表 2 复位输入信号 9](#_Toc53685169)

[表 3 SRAM接口信号列表 11](#_Toc53685170)

[表 4 子模块fsm接口信号列表 13](#_Toc53685171)

[表 5 SRAM控制信号表 17](#_Toc53685172)

[表 6 addr\_chk接口信号列表 18](#_Toc53685173)

# 概述

本设计的ahb2sram模块用于AHB总线与SRAM之间的时序转换。

# 主要特性

AHB时钟50MHz，AHB地址范围为0x2000\_0000～0x2000\_07FF

支持对SRAM的byte/half-word/word读写操作

支持地址检查，当地址与传输大小不匹配或不在指定范围内时，给出指示信号

# 端口描述

## 3.1 接口框图



图 1 ahb2sram顶层接口信号框图

## 3.2 接口信号列表

表 1 ahb2sram顶层接口信号描述

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **信号名** | **位宽** | **方向** | **时钟域** | **描述** |
| **系统复位时钟** | | | | |
| hclk | 1 | i | hclk | 系统时钟，50MHz |
| rst\_n | 1 | i | 异步 | 系统复位 |
| **AHB总线接口** | | | | |
| ahb\_wdata | 32 | i | hclk | AHB写数据线 |
| ahb\_addr | 32 | i | hclk | AHB地址线 |
| ahb\_write | 1 | i | hclk | AHB读写控制，“1”写，“0”读 |
| ahb\_size | 3 | i | hclk | AHB传输数据大小  000：byte，001：half-word，010：word |
| ahb\_trans | 2 | i | hclk | AHB传输类型， |
| ahb\_sel | 1 | i | hclk | AHB选择slave信号，“1”有效 |
| ready\_in | 1 | i | hclk | 准备输入信号 |
| ahb\_rdata | 32 | o | hclk | AHB读数据线 |
| ready\_out | 1 | o | hclk | 准备输出信号 |
| **其他接口** | | | | |
| addr\_chk\_err | 1 | o | hclk | 当AHB地址与传输数据大小不匹配时给出指示，“1”有效 |

# 模块架构

## 4.1 架构框图



图 2 ahb2sram模块整体架构图

## 4.2 复位

## 4.2.1 复位策略

ahb2sram控制器采用的复位策略：**异步复位**；

## 4.2.2 复位输入

复位输入信号描述见下表2所示：

表 2 复位输入信号

|  |  |  |
| --- | --- | --- |
| **复位**  **信号** | **有效电平** | **复位信号描述** |
| rst\_n | low | 系统复位信号，用来复位ahb2sram控制器内部所有模块 |

## 4.3 代码层次结构

**| ─ sim**

**| ─ syn**

**| ─ src**

**| ─ ─ ahb2sram.v**

**| ─ ─ fsm.v**

**| ─ ─ addr\_chk.v**

# 5 协议的理解

## 5.1 AHB协议的理解

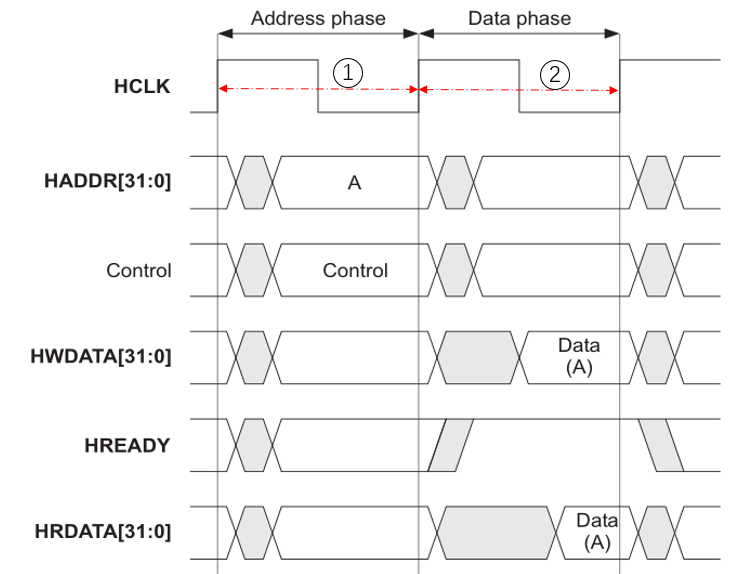


图 3 没有等待周期的AHB传输

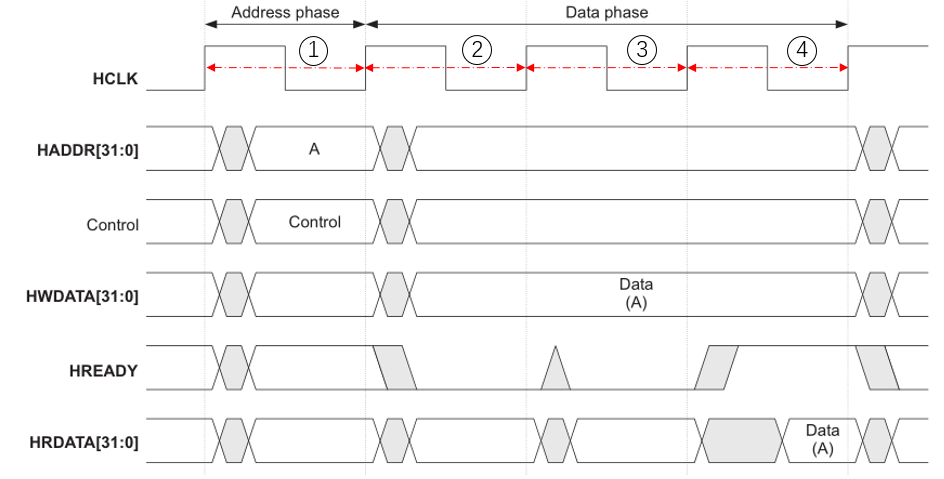


图 4 带有等待周期的AHB传输

图 3和图 4分别表示的AHB协议没有等待周期的传输和有等待周期的传输。AHB协议规定，第一个有效的传输周期发送控制信号，包括HADDR、HTRANS、HWRITE、HSIZE、HSELx等

第二个或第若干个周期传输HRDATA 或HWDATA。从slave的角度来看，HREADY包含HREADY\_I和HREADY\_O两个信号，如果slave要对数据周期进行延长需要将HREADY\_O拉低。图 3在第一个时钟周期给出控制信号，第二个周期传输数据；图 4第一个时钟周期给出控制信号，但第二和第三个时钟周期将HREADY\_O拉低，所以第四个时钟周期才是有效的数据传输周期。

根据文档[4]3-6中note的描述，不同的HSIZE数据传输地址具有不同的边界。对于Byte传输，其地址为0x2000\_0000～0x2000\_07FF的任意值，对于Half传输，其地址为0x2000\_0000、0x2000\_0002、0x2000\_0004、0x2000\_0006…对于Word传输，其地址为0x2000\_0000、0x2000\_0004、0x2000\_0008、0x2000\_00C…

## 5.2 SRAM读写时序的理解

## 5.2.1 SRAM接口框图



图 5 SRAM接口框图

## 5.2.2 SRAM接口信号列表

表 3 SRAM接口信号列表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **信号名** | **位宽** | **方向** | **时钟域** | **描述** |
| CLK | 1 | i | CLK | 50M时钟，与hclk同步 |
| CEN | 1 | i | CLK | sram芯片使能信号，“0”有效 |
| WEN | 32 | i | CLK | sram读写控制信号，“0”写，“1”读 |
| A | 9 | i | CLK | sram地址线 |
| D | 32 | i | CLK | sram写数据线 |
| Q | 32 | o | CLK | sram读数据线 |

## 5.2.3 SRAM读写时序

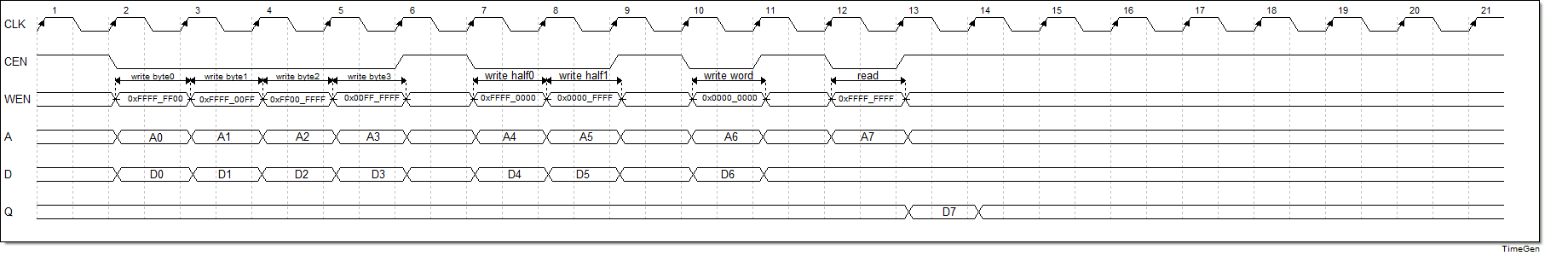


图 6 SRAM读写时序

从图 6可知SRAM的写控制、写地址和写数据应该在同一个时钟周期产生，而读控制、读地址产生后，读数据在下一个时钟周期才有效。

# 6子模块设计

## 6.1 子模块fsm

## 6.1.1 功能描述

将AHB读写时序转换为SRAM的读写时序控制

## 6.1.2 接口信号框图



图 7 子模块fsm接口信号框图

## 6.1.3 接口信号列表

表 4 子模块fsm接口信号列表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **信号名** | **位宽** | **方向** | **时钟域** | **描述** |
| **系统复位时钟** | | | | |
| hclk | 1 | i | hclk | 系统时钟，50MHz |
| rst\_n | 1 | i | 异步 | 系统复位 |
| **AHB总线接口** | | | | |
| ahb\_wdata | 32 | i | hclk | AHB写数据线 |
| ahb\_addr | 32 | i | hclk | AHB地址线 |
| ahb\_write | 1 | i | hclk | AHB读写控制，“1”写，“0”读 |
| ahb\_size | 3 | i | hclk | AHB传输数据大小  000：byte，001：half-word，010：word |
| ahb\_trans | 2 | i | hclk | AHB传输类型， |
| ahb\_sel | 1 | i | hclk | AHB选择slave信号，“1”有效 |
| ready\_in | 1 | i | hclk | 准备输入信号 |
| ahb\_rdata | 32 | o | hclk | AHB读数据线 |
| ready\_out | 1 | o | hclk | 准备输出信号 |
| **SRAM接口** | | | | |
| sram\_cen | 1 | o | hclk | sram芯片使能信号，“0”有效 |
| sram\_wen | 32 | o | hclk | sram读写控制信号，“0”写，“1”读 |
| sram\_addr | 9 | o | hclk | sram地址线 |
| sram\_wdata | 32 | o | hclk | sram写数据线 |
| sram\_rdata | 32 | i | hclk | sram读数据线 |
| **其他接口** | | | | |
| addr\_chk\_err | 1 | o | hclk | 当AHB地址与传输数据大小不匹配时给出指示，“1”有效 |

## 6.1.4 读写时序设计

## 6.1.4.1 连续4拍写时序

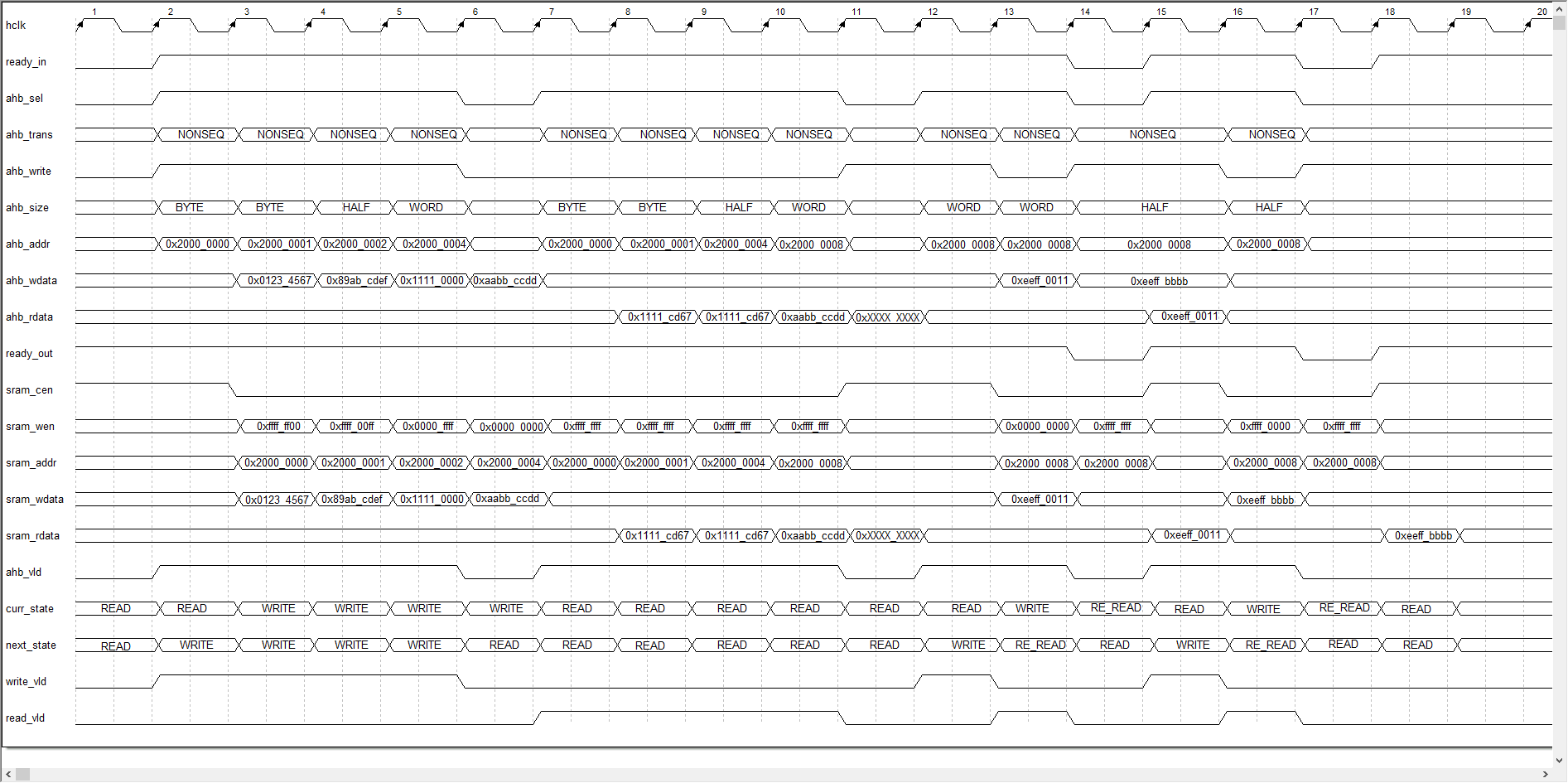


图 8 子模块fsm连续4拍写时序

## 6.1.4.2 连续4拍读时序

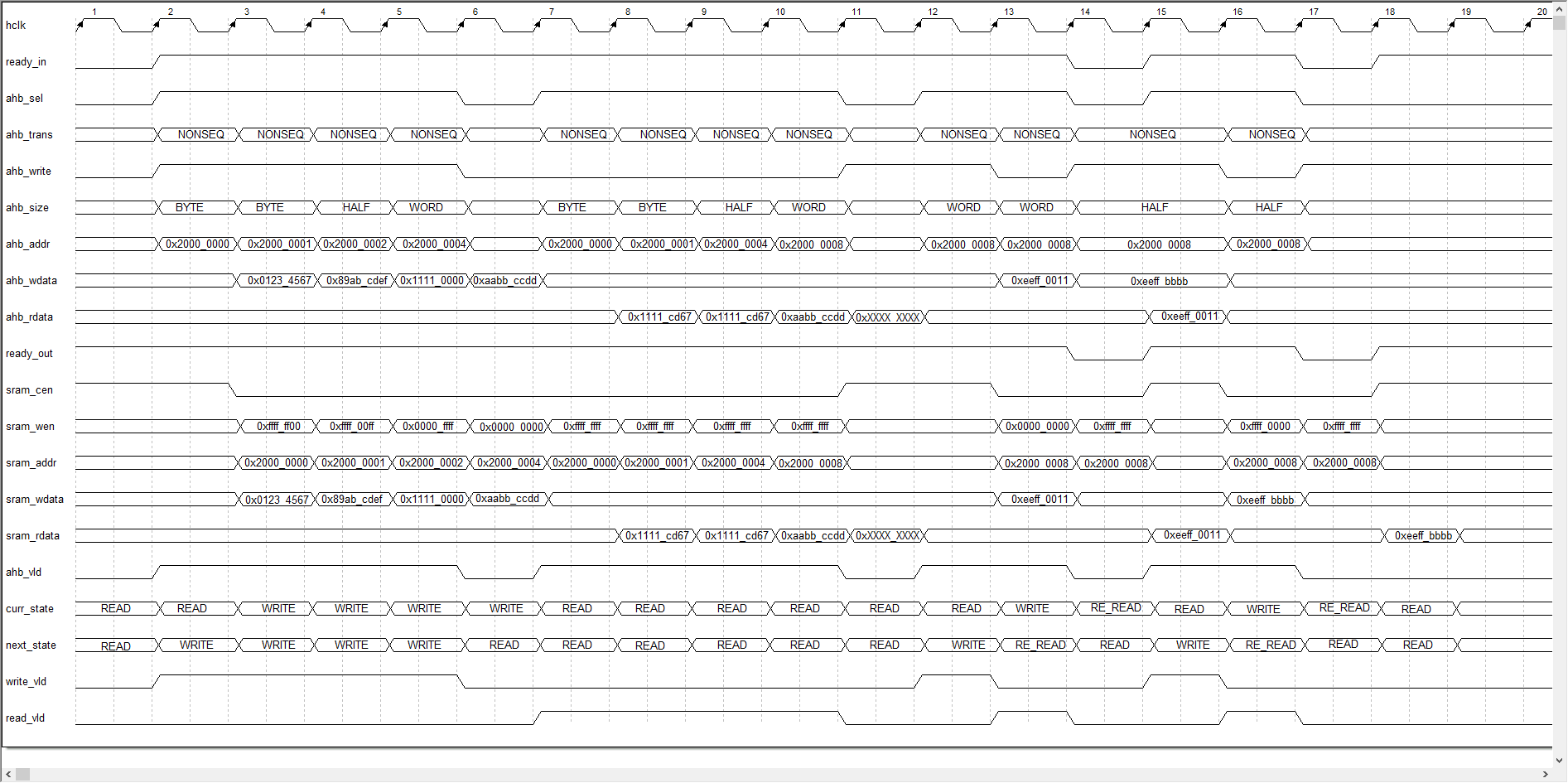
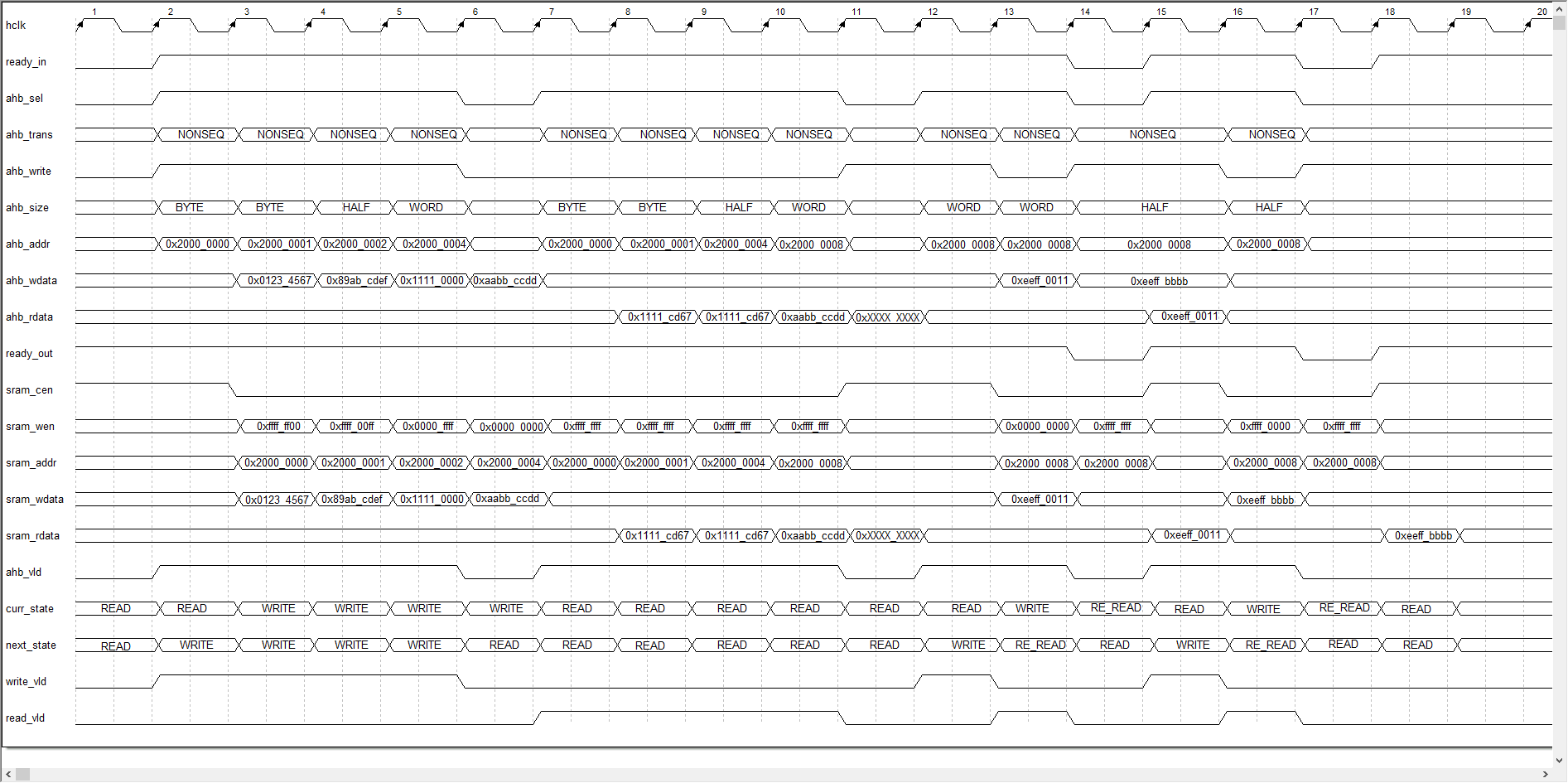


图 9 子模块fsm连续4拍读时序

## 6.1.4.3 写1拍后紧跟读1拍

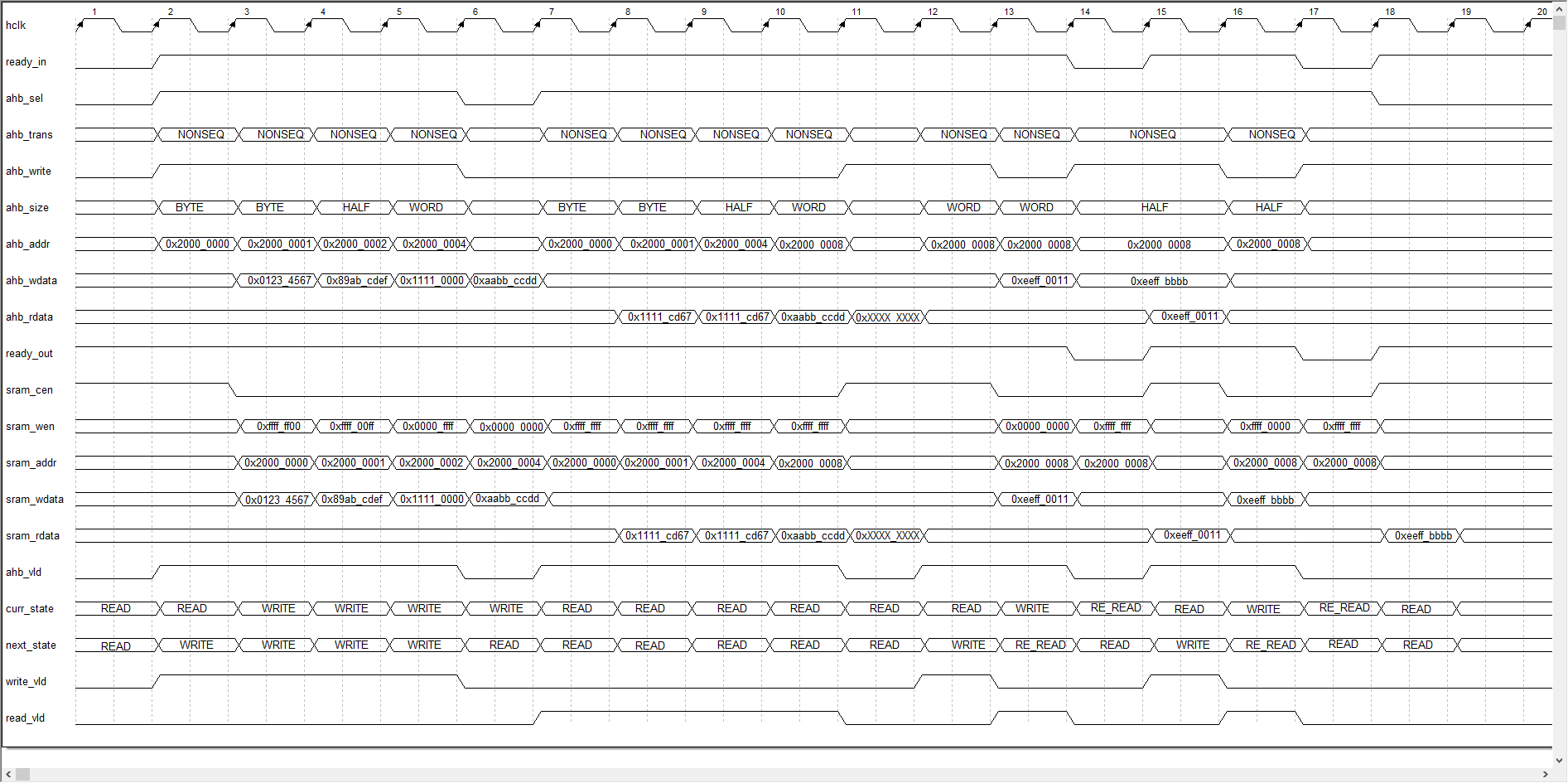
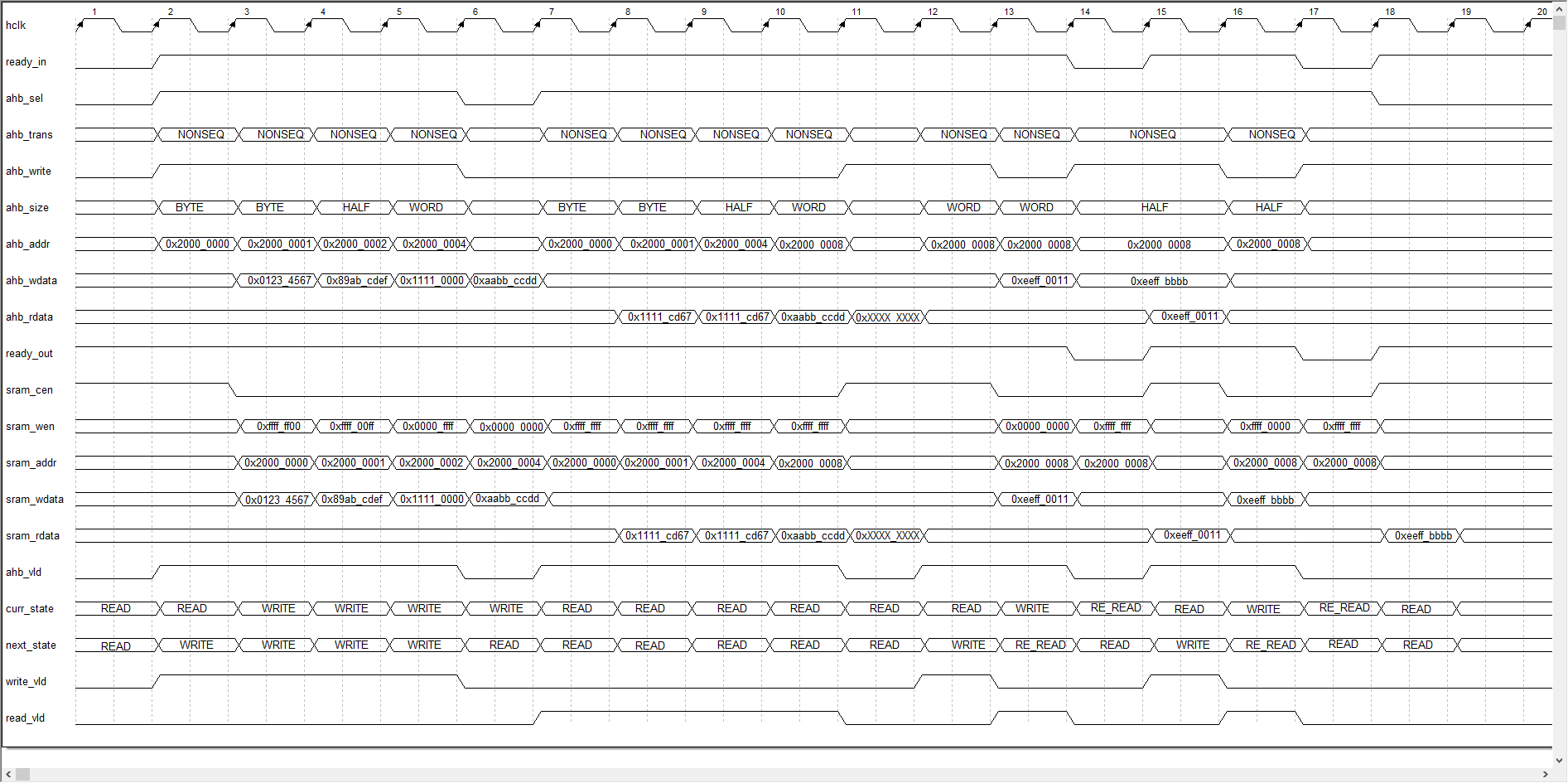
 

图 10 子模块fsm写1拍后紧跟读1拍时序

## 6.1.5 状态转移图



图 11子模块fsm状态转移图

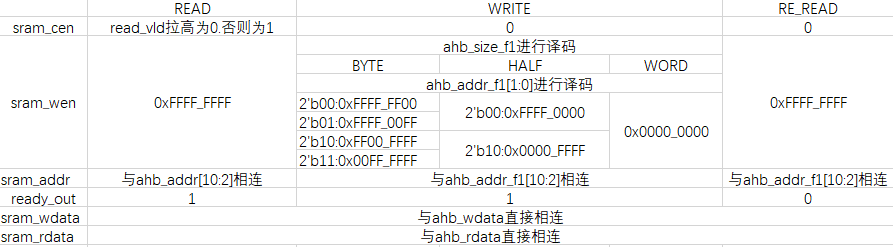
## 6.1.6 设计实现与SRAM控制信号表

1、在AHB传输有效(ahb\_vld拉高)时将ahb\_size和ahb\_addr锁存得到ahb\_size\_f1和

ahb\_addr\_f1。

2、依据不同状态产生SRAM的控制信号，见表 5。

表 5 SRAM控制信号表



## 6.2 子模块addr\_chk设计

## 6.2.1 功能描述

当AHB地址不在规定范围内或与HSIZE不符合时给出指示。

## 6.2.2 接口信号框图



图 12 子模块addr\_chk接口信号框图

## 6.2.3 接口信号列表

表 6 addr\_chk接口信号列表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **信号名** | **位宽** | **方向** | **时钟域** | **描述** |
| ahb\_addr | 32 | i | hclk | AHB地址线 |
| ahb\_tran | 1 | i | hclk | ahb\_trans的次低位 |
| ahb\_sel | 1 | i | hclk | AHB选择slave信号，“1”有效 |
| ahb\_size | 2 | i | hclk | ahb\_size的最低位和次低位  00：byte，01：half-word，10：word |
| ready\_in | 1 | i | hclk | ahb2sram准备输入信号 |
| addr\_chk\_err | 1 | o | hclk | 传输大小与地址不匹配指示信号，“1”有效 |

## 6.2.4 设计实现

采用纯组合逻辑电路实现。

一次有效传输时地址为ahb\_addr,则ahb\_addr[31:30]和ahb\_addr[28:11]全为0，ahb\_addr[29]为1

case(ahb\_size)

2’b01:

if( ahb\_addr[0] == 1’b0)

addr\_unmatch = 1’b0

else

addr\_unmatch = 1’b1

2’b10:

if( ahb\_addr[1:0]==2’b00 )

addr\_unmatch = 1’b0

else

addr\_unmatch = 1’b1

endcase

addr\_over = ～((～(|{ahb\_addr[31:30],ahb\_addr[28,11]})) && ahb\_addr[29])

addr\_chk\_err = (addr\_unmatch || (addr\_over)) && ahb\_tran && ahb\_sel && ready\_in

# 7仿真验证

## 7.1模块仿真

仿真pattern list

|  |  |  |
| --- | --- | --- |
| 测试用例名称 | 测试用例说明 | 仿真验证结果 |
| pat0\_test |  | pass |
| pat1\_test |  | pass |
|  |  |  |

# 8逻辑综合

## 8.1 工具版本

DC，FM，PT等工具版本说明

## 8.2 设计约束

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **时钟** | **input delay** | **output delay** | **driving cell** | **load** |
| 50MHz | 10ns | 10ns | NAND2X1AS6 | NAND2X1AS6/I1 |

## 8.3 综合结果

1、无setup time违例

2、面积报告(单位：平方微米)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Combinational**  **area** | **Buf/Inv**  **area** | **Nonombinational**  **area** | **Macro/Black Box**  **area** | **sum** |
| 1070 | 686 | 622 | 164513 | 166205 |

3、形式验证，pass

## 8.4 特殊需求

False path，multi cycle等时序例外设置

# 9 测试相关

描述本模块的测试要点：

比如debug port的设计，如何map到pad或寄存器上；

比如本模块测试方式，scan，BIST等说明。

# 10其他事项

比如特别提醒软件方案开发或系统集成应用事项等。

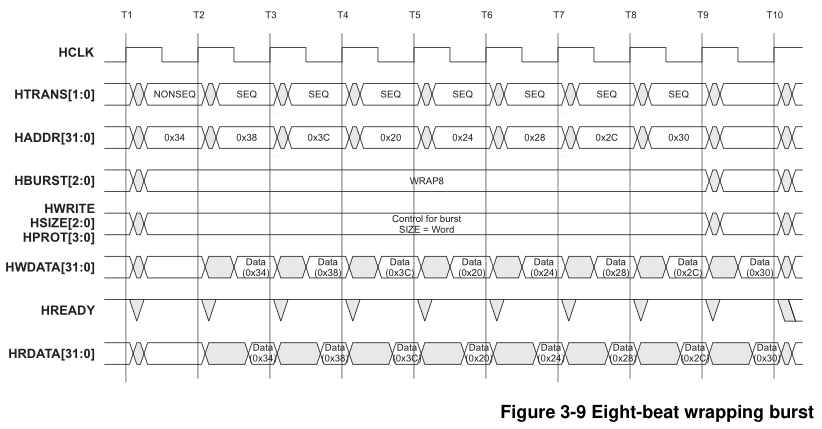
# 11参考文档

参考资料清单：

1. ahb\_master.v
2. SRAM\_512X32CM4.v
3. M31HDSP200TM152B\_Datasheet\_DS0452\_V001.pdf
4. AMBA2.0\_SPEC.pdf

# 12剩余协议理解记录

## 12.1 关于回环传输(wrapping burst)的地址计算



WRAP8是8-beat回环传输，size是word，也就是4个byte，地址的变化依次为：

0X34、0X38、0X3C、0X20、0X24、0X28、0X2C、0X30。

WRAP总的传输大小为8x4=32byte

0X34(52)不能被32整除，所以维持；0X38(56)、0X3C(60)均不能被32整除，维持；下一个数为0X40(64)可以被32 整除，所以回环，地址变为64-32=32(0X20)。

## 12.2 关于slave的ready信号

对于每个slave都会有ready\_in和ready\_out信号，所有的slave所接收的ready\_in信号都是相同的，每个slave的ready\_out信号都会由仲裁器收集起来，将所有slave的ready\_out作“与”得到的输出送给每个slave的ready\_in。所以对于slave本身来看，ready\_out拉高，ready\_in可能拉高也可能拉低，但ready\_out拉低，ready\_in一定拉低。

## 12.3 关于HRESP[1:0]信号

hresp除了ERROR和OKAY，还有RETRY和SPLIT信号，这两个信号都可以用来延迟传输但却释放了总线允许其他的master使用。这两个信号主要针对那些有高访问延时的slave，以确保在延时期间其余的master可以继续访问总线。hresp有4种输出，除了OKAY可以是单周期，其他的输出至少是2个周期，倒数第二个周期slave输出ERROR/OKAY/SPLIT，同时ready\_out拉低，最后一个周期slave输出ERROR/OKAY/SPLIT，同时ready\_out拉高。如果需要多个时钟周期来输出ERROR/OKAY/SPLIT，那么需要插入额外的等待周期，此时ready\_out拉低，hresp输出为OKAY。