|  |
| --- |
| ahb-summary |
|  |
|  |
| 作者：HateHanzo |
| 联系方式：HateHanzo@163.com |

版权所有 侵权必究

**修改记录**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 版本号 | 修改文件 | 描述 | 作者 | 时间 |
| v1.0 |  | 初稿 | HateHanzo | 20210903 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**缩略语与约定符号**

**缩略语**

|  |  |  |
| --- | --- | --- |
| **英文简写** | **英文全称** | **中文描述** |
| AHB | Advanced High-performance Bus | 先进高性能总线 |
| SRAM | Static Random-Access Memory | 静态随机存取存储器 |
| FSM | Finite State Machine | 有限状态机 |
| SR-Latch | Set-Reset-Latch | SR锁存器 |
| ICG | Integrated Clock Gating Cell | 门控时钟 |
| 2FSK | Two-Frequency-shift keying | 二进制频移键控 |

**约定符号**

1、对于某信号名A，若无特殊声明，A\_d1表示该信号延时一拍，A\_d2表示延时两拍，以此类推。如ahb\_addr\_d1表示信号ahb\_addr延时一拍。

**目 录**

[**修改记录** I](#_Toc81774633)

[**缩略语与约定符号** II](#_Toc81774634)

[**目 录** 0](#_Toc81774635)

[**1 前言** 1](#_Toc81774636)

[**2 AHB总线概述** 1](#_Toc81774637)

[**3 数字解码设计** 1](#_Toc81774638)

[**3.1 位模式(bit mode)与包模式(packet mode)** 1](#_Toc81774639)

[**3.2 利用计数器进行解码** 2](#_Toc81774640)

[**3.3 阈值的计算** 3](#_Toc81774641)

[**4 解码异常处理** 3](#_Toc81774642)

[**参考文献** 3](#_Toc81774643)

[**附 录** 4](#_Toc81774644)

**1 前言**

本文总结的AHB协议知识点主要来自于AMBA2.0\_SPEC中的AMBA AHB章节，同时结合本人实际项目中所经常涉及的知识点。诚然协议中有很多部分被剔除，没有在本文出现，不代表其不重要。

**2 AHB总线概述**

AHB总线规定了数字芯片内部master与master、master与slave之间的数据交互格式。图 1是典型的带CPU的数字芯片架构[1]，ARM processor和DMA在系统中扮演了master的角色，而其他模块则作为slave，这些模块在rtl设计时会有相同的总线接口，AHB协议则规定好了接口协议。在图 1中，BRIDGE右边的模块属于低速模块，因此通过APB桥接，事实上，并非所有SoC芯片都含有DMA，在对数字芯片的性能要求不很高的情况下，一些低速模块则直接通过AHB总线与master相连。

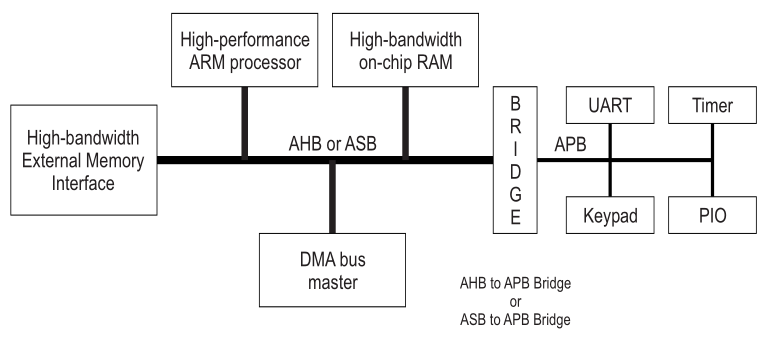


图 1 典型带CPU的数字芯片架构

**3 数字解码设计**

**3.1 位模式(bit mode)与包模式(packet mode)**

数字解码模块需要1个pin脚接收2FSK方波fsk\_di，如图 2所示。数字解码模块使用的时钟频率比高很多，对于输入的fsk\_di信号通常会作简单的滤波处理(连续两拍抓到为“1”才认为是“1”，连续两拍抓到为“0”才认为是“0”)。

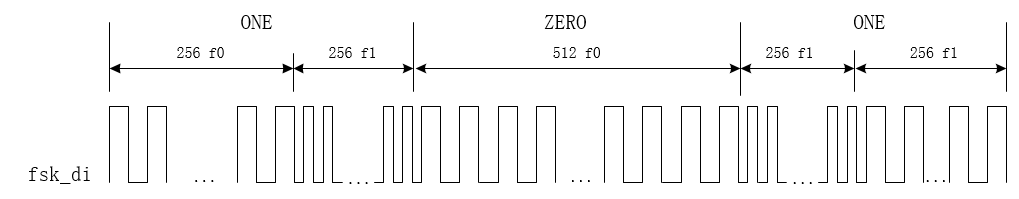


图 2 数字解码模块输入波形

图 2所示的波形携带的信息为“101”，均为数据信息，在真实情况下是无法保证数字解码模块开始工作时输入的波形恰好是完整的数据信息波形的，所以数字通信的过程往往首先有一个起始位。QI协议规定了一个包(packet)由11bit组成，结构如下：

起始位(固定是“0”) + 8bit数据 + 奇偶校验位(奇校验) + 停止位(固定是“1”)

实际设计中往往还存在位模式的需求，此时用数字解码模块检测到的第一个沿作为起始位，后续检测到的沿才作为信息数据进行解码。

**3.2 利用计数器进行解码**

设为数字解码模块的时钟，首先需要一个相位计数器(cycl\_cnt)统计fsk\_di的下降沿个数，记满就产生一个phas\_end脉冲，同时将cycl\_cnt清零。与此同时设计影子计数器phas0\_buf、phas1\_buf、phas2\_buf，phas0\_buf与cycl\_cnt同时开启，同样在phas\_end脉冲产生时就清零。其统计的是的时钟个数，在phas\_end脉冲产生时phas0\_buf的值顺延到phas1\_buf和phas2\_buf。在phas2\_buf不为0且phas\_end脉冲产生时，计算phas0\_buf减去phas2\_buf的绝对值，如果这个绝对值超过一个阈值，则说明检测到了沿。所以为了让解码器能够适应不同的载波频率，通常设计为可配置，此外通过phas2\_buf还可以反推出的频率，可以根据需要决定是否设计寄存器将其值保存下来。

组计数器(grup\_cnt)用来统计phas\_end的脉冲个数，从而统计fsk\_di方波的个数，以为例，表示接收到了256个fsk\_di方波，表示接收到了512个fsk\_di方波。在起始位之后，每组512个fsk\_di方波检测到了1次沿判定为数据“0”，每组512个fsk\_di方波检测到了2次沿判定为数据“1”。设位模式定义长度，如图 3和图 4所示，前7个bit可以通过检测沿的方法判断是为“0”还是“1”，但当最后一个bit发送完成后，可能载波频率就不会发生改变了，所以最后一个bit是无法检测到沿(“0”)或少检测到一个沿(“1”)的，需要通过别的方式进行判断，这点需要注意。

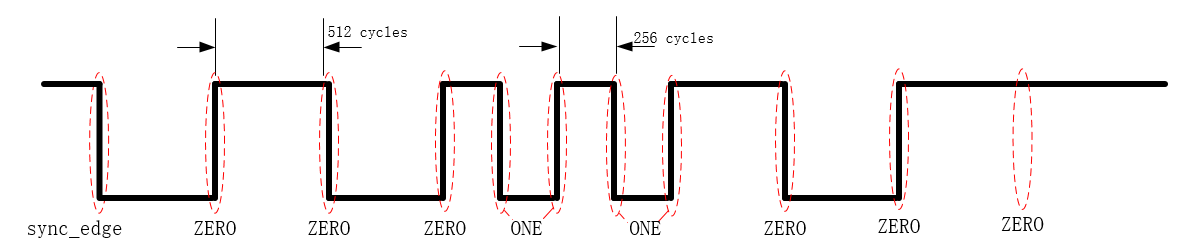


图 3 2FSK宏观波形，第8bit是“0”

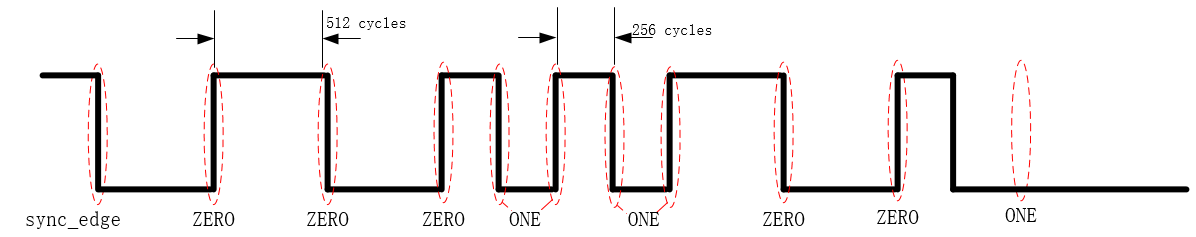


图 4 2FSK宏观波形，第8bit是“1”

**3.3 阈值的计算**

阈值的理论计算，其中指fsk模块的工作时钟

例如，，，，N=32

取整数，

**4 解码异常处理**

发送端发送的码不符合QI协议时，需要给出提示，比如载波频率不符合规定的范围，又或是码对应bit的周期数不够，或者发送的bit的个数不符合项目设计的需求，奇偶校验位错误等，都认为是异常，需要给出提示。此章节先说个大概，有空再完善。

**参考文献**

1. AMBA2.0\_SPEC

**附 录**