|  |
| --- |
| 一种实用的并行CRC电路产生方法 |
|  |
|  |
| 作者：HateHanzo |
| 联系方式：HateHanzo@163.com |

版权所有 侵权必究

**修改记录**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 版本号 | 修改文件 | 描述 | 作者 | 时间 |
| v1.0 |  | 初稿 | HateHanzo | 20220514 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**缩略语与约定符号**

**缩略语**

|  |  |  |
| --- | --- | --- |
| **英文简写** | **英文全称** | **中文描述** |
| AHB | Advanced High-performance Bus | 先进高性能总线 |
| SRAM | Static Random-Access Memory | 静态随机存取存储器 |
| FSM | Finite State Machine | 有限状态机 |
| SR-Latch | Set-Reset-Latch | SR锁存器 |
| ICG | Integrated Clock Gating Cell | 门控时钟 |

**约定符号**

1、对于某信号名A，若无特殊声明，A\_d1表示该信号延时一拍，A\_d2表示延时两拍，以此类推。如ahb\_addr\_d1表示信号ahb\_addr延时一拍。

**目 录**

[**修改记录** I](#_Toc103460330)

[**缩略语与约定符号** II](#_Toc103460331)

[**目 录** 0](#_Toc103460332)

[**1 概述** 1](#_Toc103460333)

[**2 本人认为文章中的错误** 1](#_Toc103460334)

[2.1 错误一 1](#_Toc103460335)

[2.2 错误二 1](#_Toc103460336)

[**3 方法复现** 1](#_Toc103460337)

[3.1 步骤一 2](#_Toc103460338)

[3.2 步骤二 2](#_Toc103460339)

[3.3 步骤三 3](#_Toc103460340)

[3.4 步骤四 3](#_Toc103460341)

[3.5 步骤五 5](#_Toc103460342)

[**参考文献** 5](#_Toc103460343)

[**附 录** 6](#_Toc103460344)

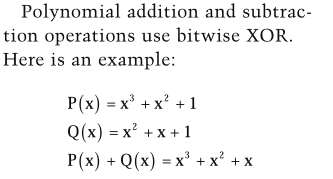
**1 概述**

本文主要是对复现论文“Stavinov E . A Practical Parallel CRC Generation Method[J]. Circuit Cellar, 2010(234):38-39,42-45”的一些记录。文章给出了一种生成并行CRC RTL代码的方法，本人经过实践后记录一些细节。

**2 本人认为文章中的错误**

2.1 错误一

原文：



应修改为：

2.2 错误二

原文：



应修改为：

**3 方法复现**

的电路结构如图 1所示。文章所使用的本原多项式为，输入位宽为4bit。

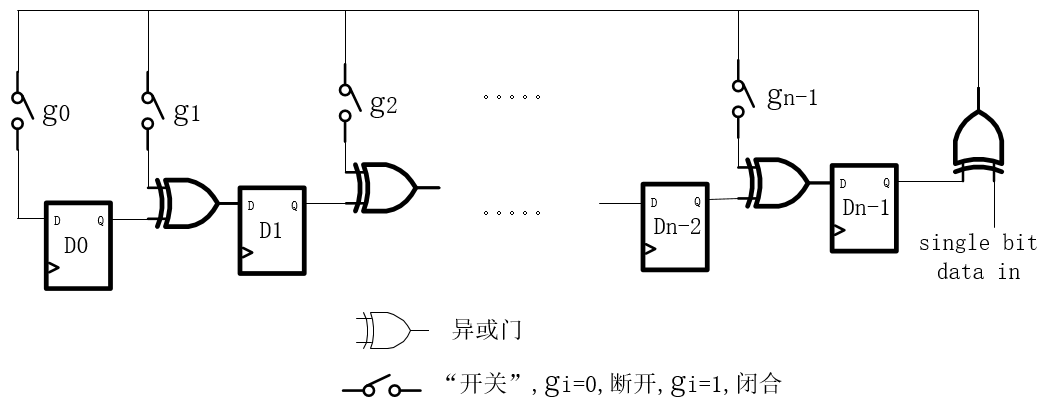


图 1 串行CRC万能模板电路

3.1 步骤一

明确文章所使用的的CRC本原多项式是，输入位宽为4，对应论文中的N=4；本原多项式的最高次幂项为5，所以M=5，也是寄存器的个数。

3.2 步骤二

文章的Listing1给出了生成并行CRC的verilog 代码，对其作一点小小的修改，增加一个输入端口，使得reg [4:0] crc5的值可以被初始化，接下来的步骤会使用图 2这段verilog代码生成H1和H2矩阵。

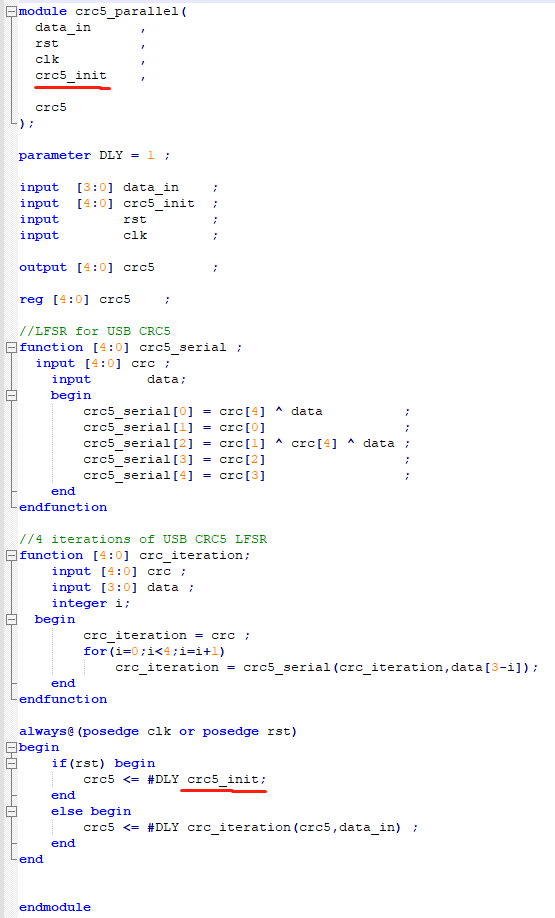


图 2 修改后的crc5\_parallel.v

3.3 步骤三

根据文章理论，代表下一时刻并行CRC M个寄存器的值，代表输入数据，代表当前时刻并行CRC M个寄存器的值。矩阵H1描述的是和之间的关系，所以有。矩阵H2描述的是和之间的关系，所以有。为了生成H1矩阵，crc5\_init的值应为5’h00，输入的data\_in的值为0x1,0x2,0x4,0x8，注意输入新值之前都要产生一个rst脉冲将crc5\_init的值复位为5’h00。为了生成H2矩阵，data\_in的值应该恒为4’h0，变化的是crc5\_init的值，分别为0x1,0x2,0x4,0x8,0x10。可以观察到变化的值都是只有一个bit被置为了“1”。

3.4 步骤四

编写testbench生成H1和H2矩阵，代码如图 7所示，生成的H1、H2和论文的Table1和Table2一致。

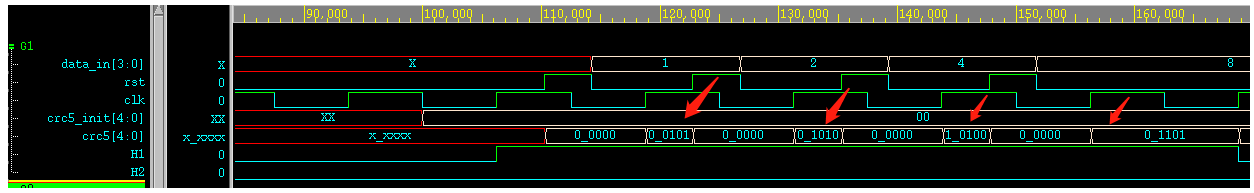


图 3 testbench生成H1矩阵

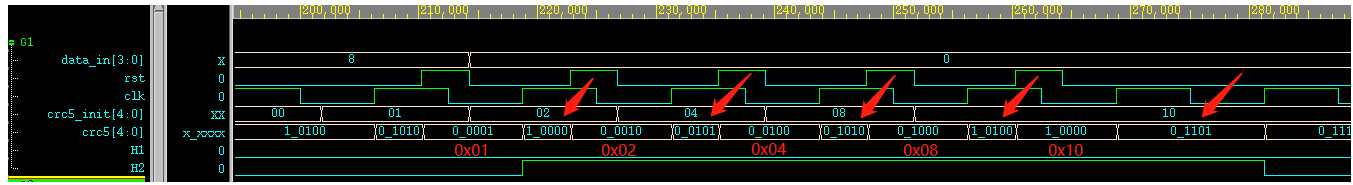


图 4 testbench生成H2矩阵

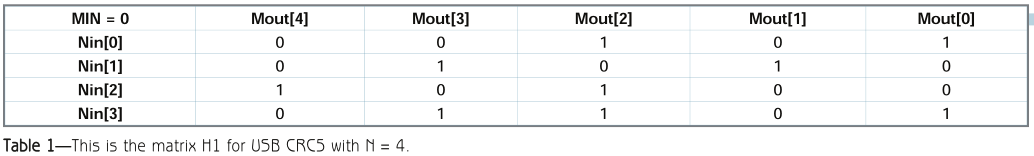


图 5 论文中的H1矩阵

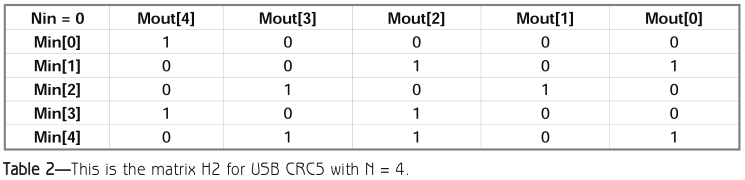


图 6 论文中的H2矩阵

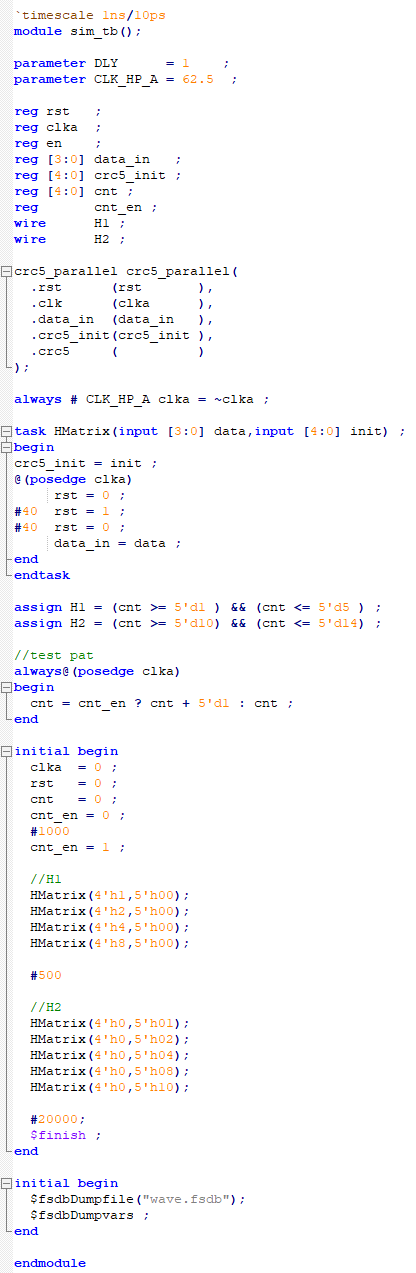


图 7 testbench生成H1和H2矩阵

3.5 步骤五

H1和H2矩阵给出了Mout[i]()和Nin[i] ]()、Min[i] ]()的关系，将为“1”的项全部作异或即可，比如对于Mout[0]，为“1”的值有Nin[0]、Nin[3]、Min[1]、Min[4],所以有

，完全体见图 8，论文的Listing4也给出了一个参考版本，可自行查阅。总体来看，这种方法可以生成任意输入位宽，任意本原多项式的并行CRC Verilog代码，论文作者本人已经写好了一个通用程序，参考[2]，使用方法也可以参考本人的另一篇文章。

https://zhuanlan.zhihu.com/p/465494378

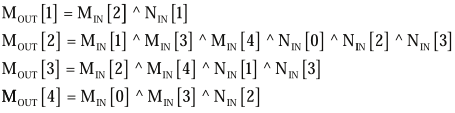


图 8 完全体并行CRC5逻辑部分

**参考文献**

1. Stavinov E . A Practical Parallel CRC Generation Method[J]. Circuit Cellar, 2010(234):38-39,42-45.
2. http://outputlogic.com/

**附 录**