4.1 I3C总线基本原则

I3C的通讯基于帧，帧的格式为至少为START、Header(地址)、Data、STOP

5.1.1 总线配置

5.1.1.2 I3C特征寄存器

5.1.1.2.1 BCR寄存器，I3C协议规定所必须的只读寄存器，描述器件角色和能力

5.1.1.2.2 DCR寄存器，I3C协议规定所必须的只读寄存器，描述器件功能，如加速度计、陀螺仪等，默认值8’b0，通用设备。

5.1.1.2.3 LVR寄存器主要针对想要接入I3C总线的I2C设备，由于古老的i2c设备硬件电路无法改变，所以LVR寄存器以虚拟形式存在，如驱动程序。

5.1.4 总线初始化和动态地址分配模式

动态地址分配需要的信息（5.1.4.1.2）

1. 基于48-bit Pro ID（I3C器件都有）
2. 通过器件的静态地址（可选）

依据以上信息，I3C协议规定共有3种动态地址信息分配方式

1、CCC SETDASA，使用I3C设备自带的静态地址作为标识符获取动态地址

2、CCC SETAASA，使用I3C设备自带的静态地址直接作为动态地址

3、CCC ENTDAA，主机通知所有的I3C设备进入动态地址分配程序，利用48-bit Pro ID作为标识符获取动态地址。

5.1.2.3 I3C Data格式

讲述I3C与I2C数据格式的不同，需精读

5.1.2.3.1 从地址ACK到SDR主机写数据的传输

讲述该过程中SDA和SCL的具体操作流程，需精读

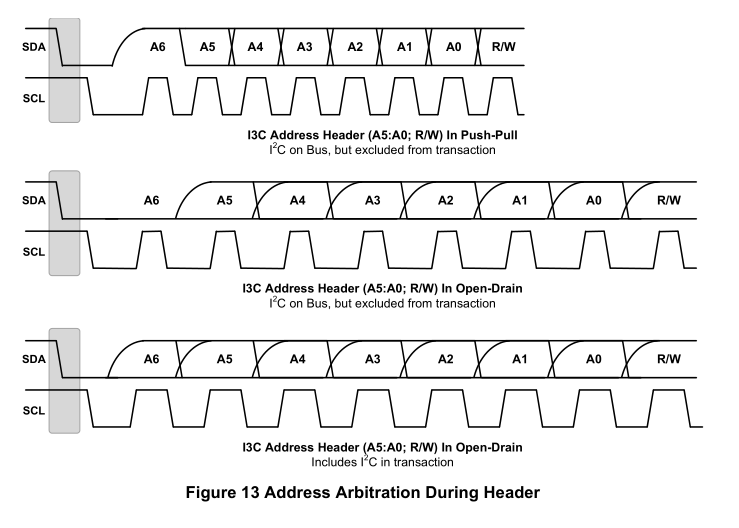
与I2C有明显的不同，需要仔细研究

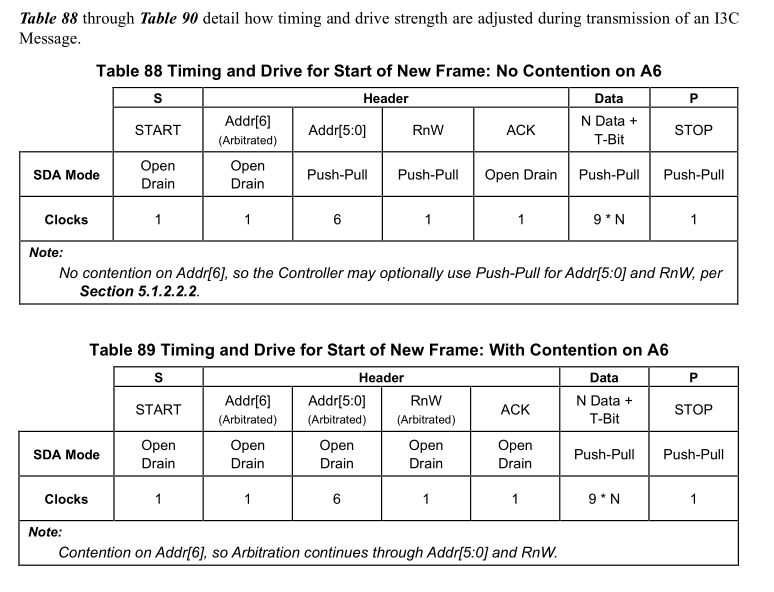
操作流程：

5.1.2.2.2 关于地址仲裁优化的理解

a.总线初始化后的第一个I3C地址头不能采取地址仲裁优化（START后面跟7‘h7E和“0”（R/W））

b.如果为非a中所述地址头，地址仲裁优化的方式是：对A6进行判断，如果是“1”则切换为PP，产生更快的SCL，如Figure 13中的上图（可以看出A6对应的SCL周期较长，切换为PP后SCL周期变短），否则就保持开漏。目前设计暂不考虑地址仲裁优化。





5.1.2.3.3

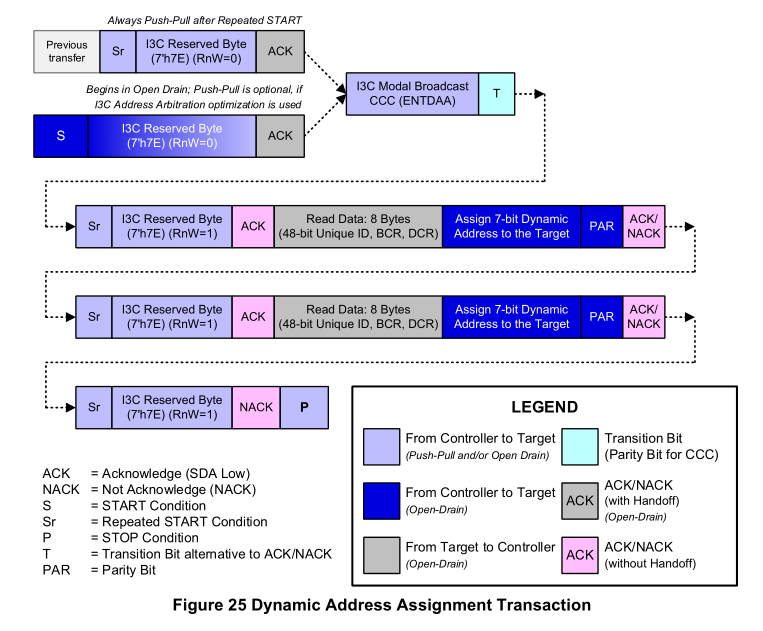
SDR模式主机下写数据的第9个bit是奇偶校验位，采用奇校验的方式。

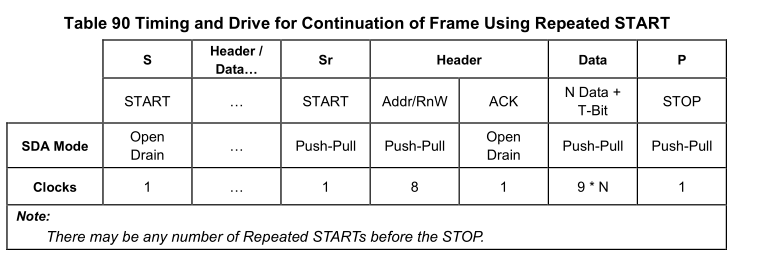
OD与PP要有状态位输出给模拟，OD和PP产生SCL需要各自一套逻辑

5.1.4.2

Figure 25中ACK/NACK Handoff的理解，此处的Handoff指的是在这个ACK bit内是否发生了总线控制权的切换，中的ACK，指的是5.1.2.3.1 中从地址ACK到SDR主机写数据的传输，这个ACK bit 控制权发生了从target到control的转换，而

中的ACK bit控制权只在target，结合401页的Tabel 90也是参考也是符合的。





5.1.2.2.2 I3C

page 226页 err detection and recover