|  |
| --- |
| 一生一芯-answer |
|  |
|  |
| 作者：HateHanzo |
| 联系方式：HateHanzo@163.com |

版权所有 侵权必究

**修改记录**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 版本号 | 修改文件 | 描述 | 作者 | 时间 |
| v1.0 |  | 初稿 | HateHanzo | 20250728 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**缩略语与约定符号**

**缩略语**

|  |  |  |
| --- | --- | --- |
| **英文简写** | **英文全称** | **中文描述** |
| AHB | Advanced High-performance Bus | 先进高性能总线 |
| SRAM | Static Random-Access Memory | 静态随机存取存储器 |
| FSM | Finite State Machine | 有限状态机 |
| SR-Latch | Set-Reset-Latch | SR锁存器 |
| ICG | Integrated Clock Gating Cell | 门控时钟 |

**约定符号**

1、对于某信号名A，若无特殊声明，A\_d1表示该信号延时一拍，A\_d2表示延时两拍，以此类推。如ahb\_addr\_d1表示信号ahb\_addr延时一拍。

**目 录**

[**修改记录** I](#_Toc204682242)

[**缩略语与约定符号** II](#_Toc204682243)

[**目 录** 0](#_Toc204682244)

[**1 F阶段** 1](#_Toc204682245)

[**1.1** **F3** 1](#_Toc204682246)

[**1.1.1 分析门电路** 1](#_Toc204682247)

[**1.1.2 或门的晶体管结构** 2](#_Toc204682248)

[**1.1.3 对比两种实现的晶体管所需要的数量** 2](#_Toc204682249)

[**1.1.4用其他门电路搭建异或门** 2](#_Toc204682250)

[**1.1.5异或门的全定制电路** 3](#_Toc204682251)

[**2 XXX** 3](#_Toc204682252)

[**3 XXX** 4](#_Toc204682253)

[**4 仿真** 4](#_Toc204682254)

[**5 实际工程中的电路** 4](#_Toc204682255)

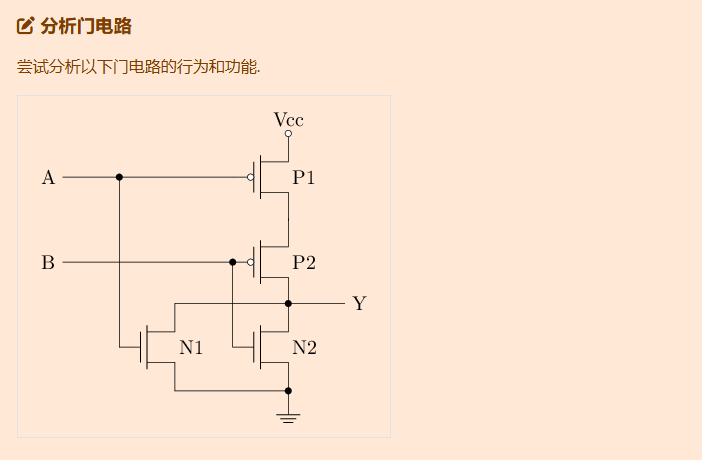
[**参考文献** 4](#_Toc204682256)

[**附 录** 5](#_Toc204682257)

**1 F阶段**

* 1. **F3**

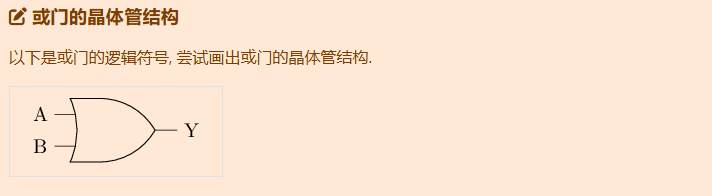
**1.1.1 分析门电路**



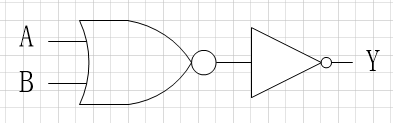
| **A** | **B** | **P1** | **P2** | **N1** | **N2** | **Y** |
| --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 导通 | 导通 | 截止 | 截止 | 1 |
| 0 | 1 | 导通 | 截止 | 截止 | 导通 | 0 |
| 1 | 0 | 截止 | 导通 | 导通 | 截止 | 0 |
| 1 | 1 | 截止 | 截止 | 导通 | 导通 | 0 |

该电路是一个或非门

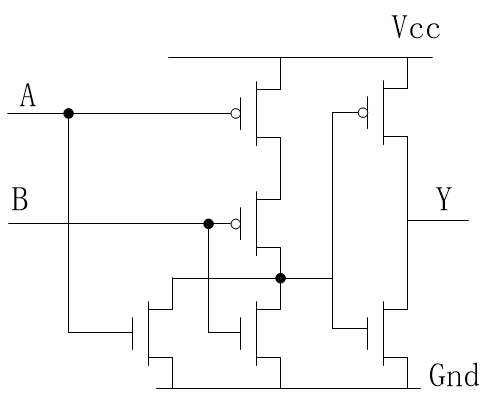
**1.1.2 或门的晶体管结构**



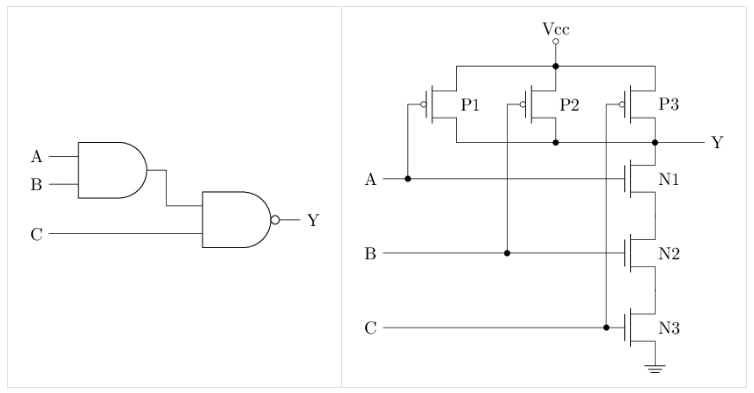
或门只需要或非门电路的输出和非门电路的输入连线即可得到，门电路结构可表示为：



晶体管结构为：

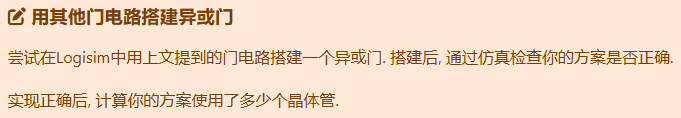


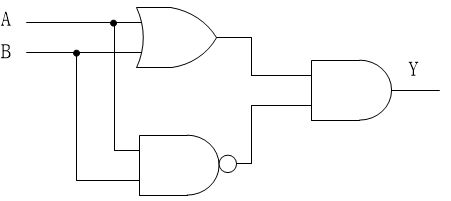
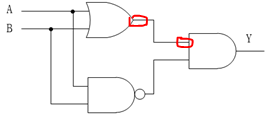
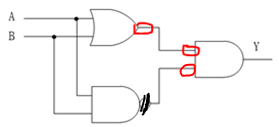
**1.1.3 对比两种实现的晶体管所需要的数量**

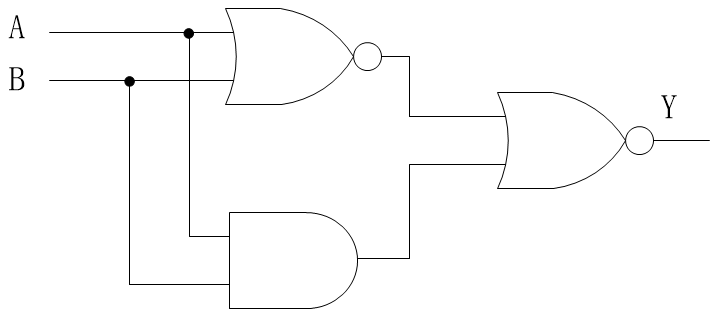
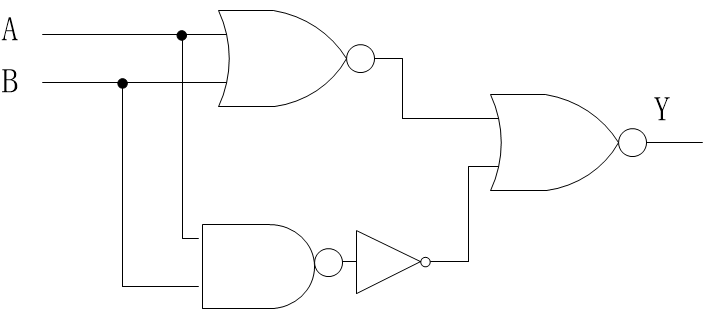


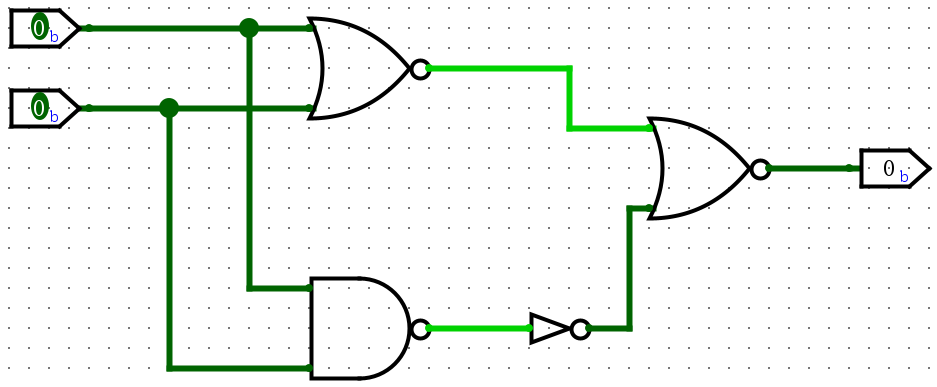
左图为与门+与非门，6+4=10；右图为6。

**1.1.4 用其他门电路搭建异或门**



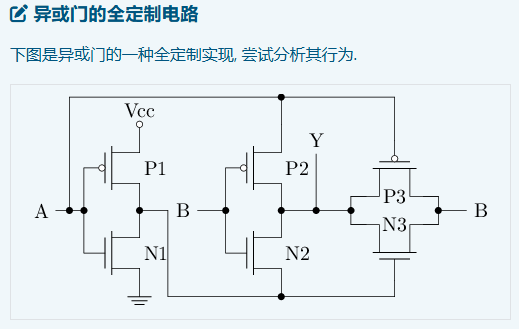
 ->  ->  ->

 -> 

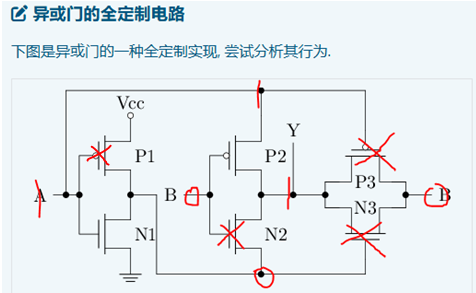


4+4+4+2 = 14

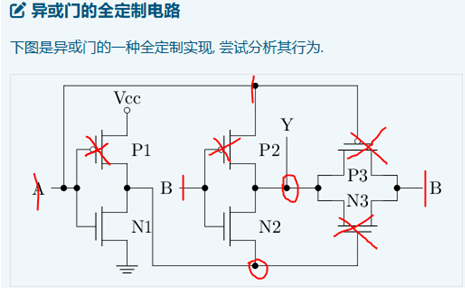
**1.1.5  异或门的全定制电路**



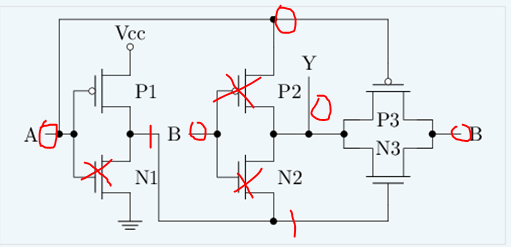
A=1,B=0，Y=1



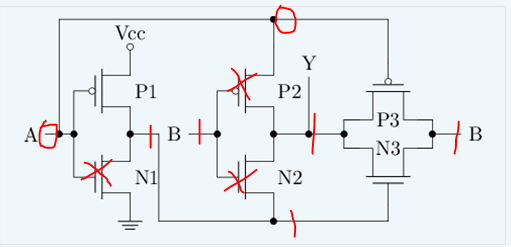
A=1,B=1，Y=0



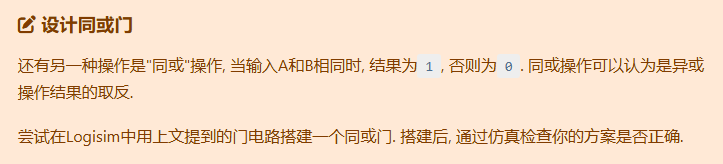
A=0,B=0，Y=0

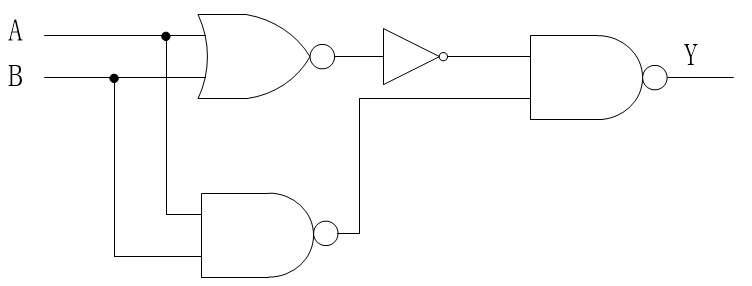


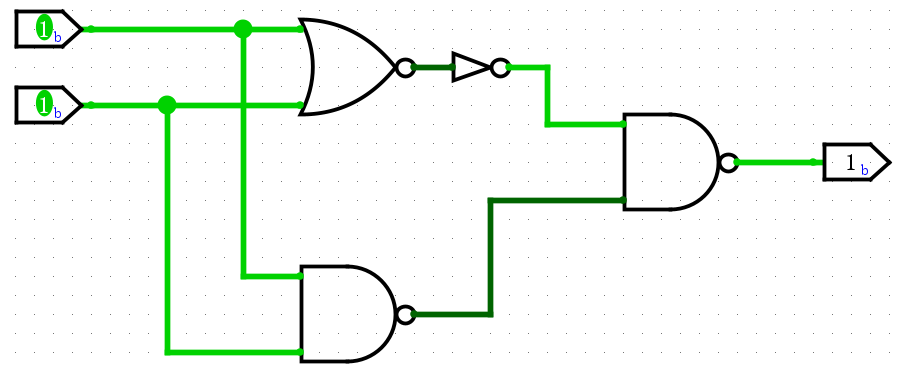
A=0,B=1，Y=1



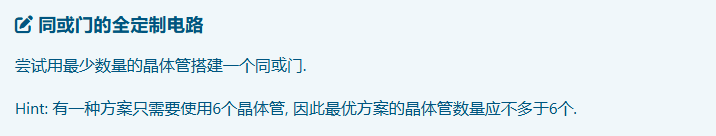
**1.1.6 设计同或门**

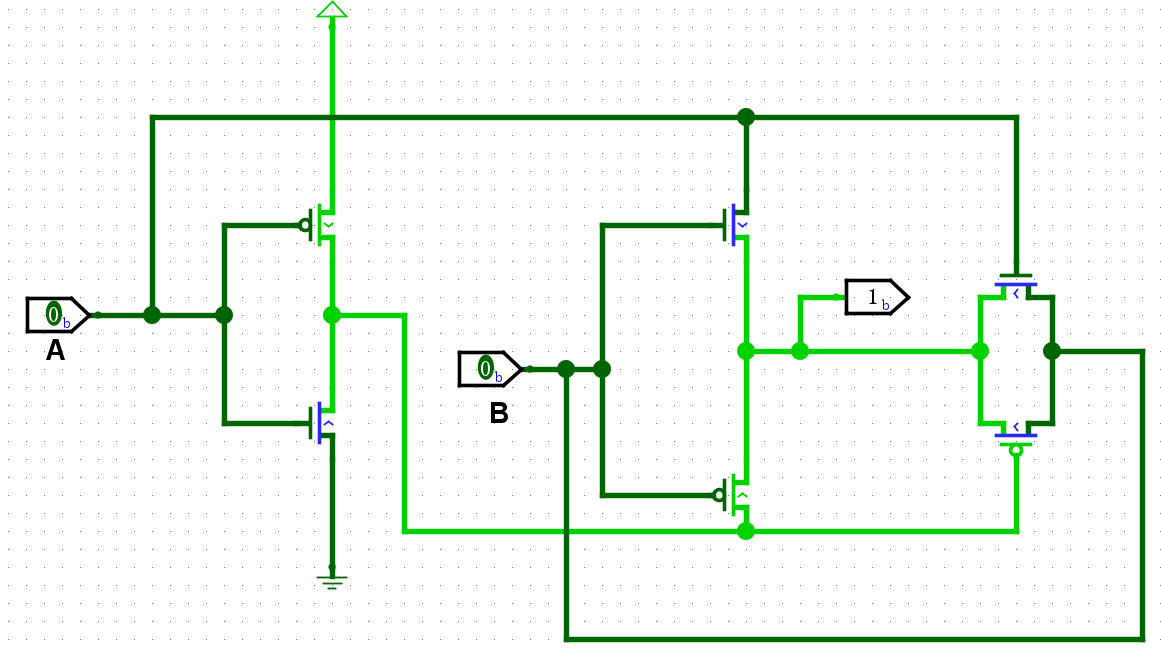






**1.1.7 同或门的全定制电路**





**1.1.8 八进制(octal)计数法**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 2进制 | 100 | 111 | 1000 | 1111 |
| 8进制 | 4 | 7 | 10 | 17 |
| 10进制 | 4 | 7 | 8 | 15 |

2进制转8进制：从最右为起点，每3个bit为一组建立和8进制的一一对应关系，比如000-0；001-1；。。。110-6；111-7，不足3位的用0补齐即可实现

8进制转2进制，每一位按照对应关系转换为2进制即可，比如17，7对应111，1对应001，那么17对应的2进制就是001111，通常把高位的0舍去，变成1111

8进制转10进制就是和2进制转10进制一样，加权求和，比如17转换为10进制就是1\*8^1 + 7\*8^0 = 15

10进制转8进制就是不停的除以8直到商为0，记录下余数，最后把余数倒序排列即可，比如十进制255转成8进制就是：

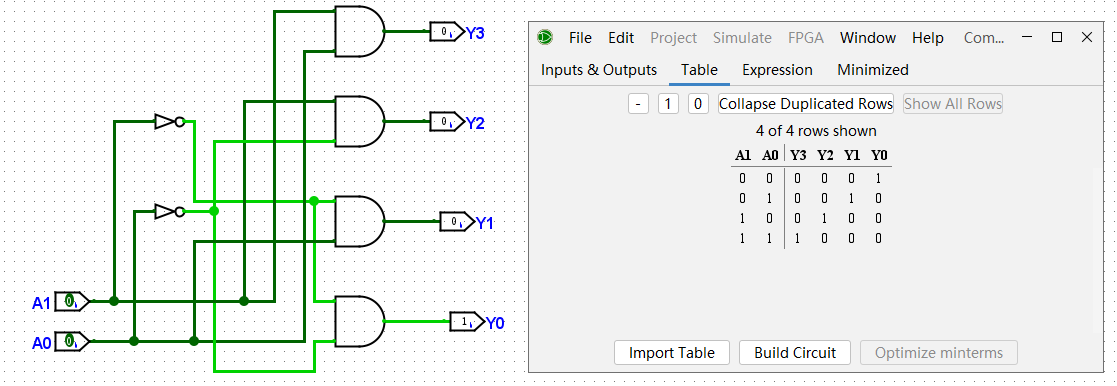
255/8=31…7

31/8=3…7

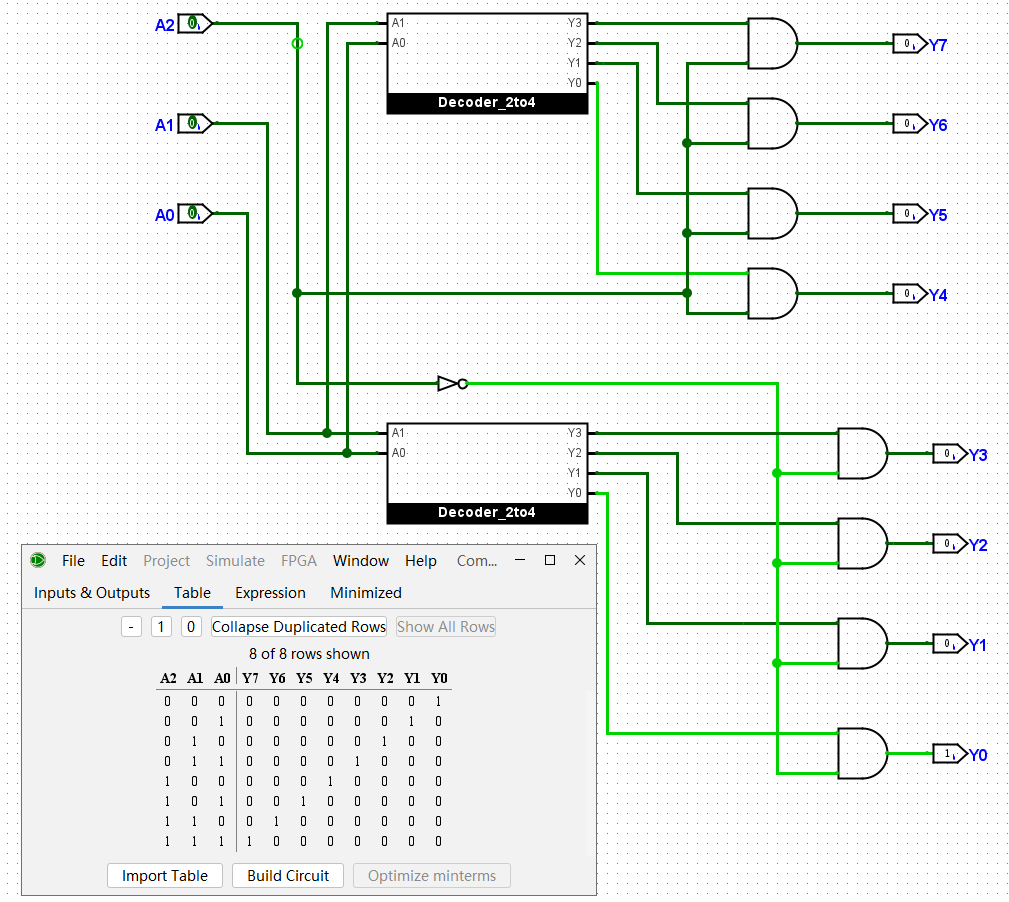
3/8=0…3

所以255对应的8进制就是377

**1.1.9 搭建2-4译码器**



**1.1.a 译码器的扩展**



**1.1.b 搭建七段数码管译码器**



|  |  |  |  |
| --- | --- | --- | --- |
| 拨码开关 | 4-16译码器输出 | 数码管显示数字 | 需点亮的数码管 |
| 0000 | 0000\_0000\_0000\_0001 | 0 | a/b/c/d/e/f |
| 0001 | 0000\_0000\_0000\_0010 | 1 | b/c |
| 0010 | 0000\_0000\_0000\_0100 | 2 | a/b/d/e/f |
| 0011 | 0000\_0000\_0000\_1000 | 3 | a/b/c/d/g |
| 0100 | 0000\_0000\_0001\_0000 | 4 | b/c/f/g |
| 0101 | 0000\_0000\_0010\_0000 | 5 | a/c/d/f/g |
| 0110 | 0000\_0000\_0100\_0000 | 6 | a/c/d/e/f/g |
| 0111 | 0000\_0000\_1000\_0000 | 7 | a/b/c |
| 1000 | 0000\_0001\_0000\_0000 | 8 | a/b/c/d/e/f/g |
| 1001 | 0000\_0010\_0000\_0000 | 9 | a/b/c/d/f |
| 其他 | … | 小数点 | h |

a = b0|b2|b3|b5|b6|b7|b8|b9

b = b0|b1|b2|b3|b4|b7|b8|b9

c = b0|b1|b3|b4|b7|b8|b9

d = b0|b2|b3|b5|b6|b8|b9

e = b0|b2|b6|b8

f = b0|b2|b4|b5|b6|b8

g= b3|b4|b4|b6|b8

h= |b[15:10]

**参考文献**

1. https://ysyx.oscc.cc/docs/2407/f/2.html

**附 录**