

数字电子技术课程设计任务书

一、总体要求:

按照任务书附录中题目规定的具体电路**功能**和**指标**进行**设计**和**仿真**,最后提交电子版(Word 文档)和打印版(A4 纸)的设计报告。

二、设计报告要求:

 **严禁抄袭! 如有超过 50% 内容雷同, 抄袭与被抄袭者分数均不会超过 60 分!**

- 1、字数不少于 2000 字
- 2、画出电路原理图
- 3、写出电路的参数计算和必要的公式推导
- 4、给出能证明电路性能指标的仿真图
- 5、设计报告必须包含以下几部分内容:
 - ① 题目
 - ② 个人信息(专业、班别、姓名、学号)
 - ③ 电路原理及设计论证(含原理图)
 - ④ 参数计算
 - ⑤ 电路仿真
 - ⑥ 元器件清单列表(类别、型号、数值、封装和数量)
 - ⑦ 设计总结(讨论设计是否达到预期的性能指标,有何收获.....)
 - ⑧ 参考文献(严格按照毕业论文的参考文献格式)

三、推荐使用的设计和仿真软件:

Multisim Proteus Protel

四、评分标准:

满分 100 分, 其中:

- a 电路设计合理性占 60%

b 报告内容完整性占 20%

c 报告排版格式占 20%

五、题目：

见附录

附 录

一. 题目： 数字式时钟逻辑电路设计

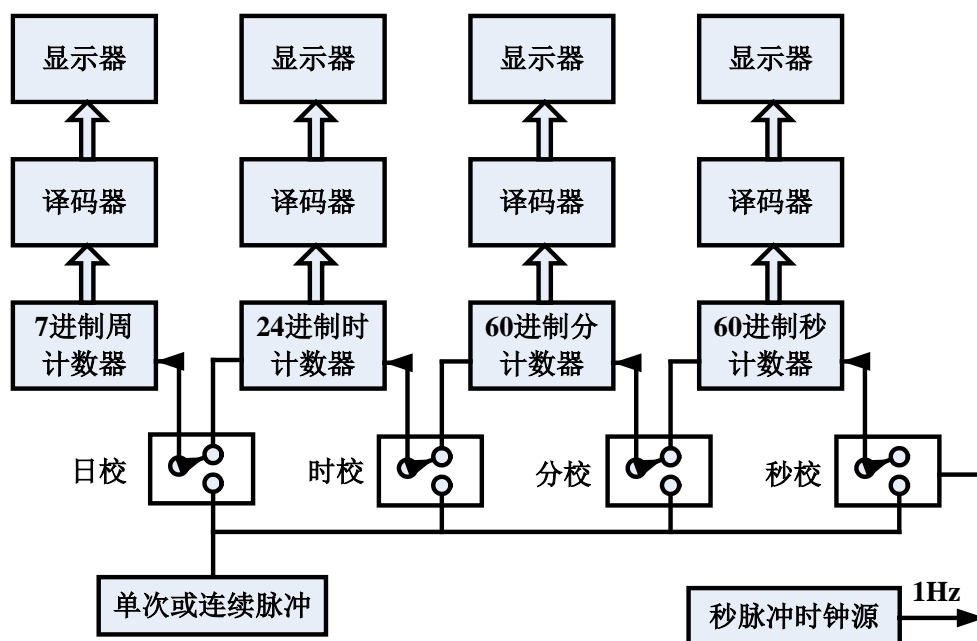
二. 设计要求：

用中、小规模集成电路设计一台能显示日、时、分、秒的数字式时钟，要求如下：

- (1) 由时钟电路产生 **1Hz** 标准秒信号；
- (2) 秒、分为 **00~59** 六十进制计数器；
- (3) 时为 **00~23** 二十四进制计数器；
- (4) 周显示从 **1~日** 为七进制计数器；
- (5) 可**手动校时**：能分别进行秒、分、时、日的校时。只要将开关置于手动位置，可分别对秒、分、时、日进行**手动脉冲**输入调整或**连续脉冲**输入的校正；
- (6) **整点报时**：报时电路要求在每个**整点前**鸣叫 **5 次低音**，**整点时**再鸣叫 **1 次高音**；低音频率为 (**300+10×学号末 2 位**) Hz，高音频率为 (**1000+100×学号末 2 位**) Hz；每次鸣叫时间为 1000 ms；
- (7) **不能使用单芯片集成解决方案**（如单片机，电子钟集成 IC）。

三. 设计提示：

可由脉冲时钟源电路、计数器、译码器、校时电路和显示器等几部分电路构成，详见下图。



(1) 秒脉冲发生器

脉冲发生器是数字钟的核心部分，它的精度和稳定度决定了数字钟的质量，可用晶体振荡器发出的脉冲经过整形、分频获得 1Hz 的秒脉冲，也可用多谐振荡器构成时钟源。

(2) 计数译码显示

秒、分、时、日分别为 60、60、24、7 进制计数器、秒、分均为 60 进制，即显示 00~59，它们的个位为十进制，十位为六进制。时为二十四进制计数器，显示为 00~23，个位仍为十进制，而十位为三进制，但当十进位计到 2，而个位计到 4 时清零，就为二十四进制了。周为七进制数，按人们一般的概念一周的显示日期“日、1、2、3、4、5、6”，所以我们设计这个七进制计数器，应根据译码显示器的状态表来进行。

(3) 校时电路

在刚刚开机接通电源时，由于日、时、分、秒为任意值，所以，需要进行调整。置开关在手动位置，分别对时、分、秒、日进行单独计数，计数脉冲由单次脉冲或连续脉冲输入。

(4) 整点报时电路

当时计数器在每次计到整点前六秒时，需要报时，这可用译码电路来解决。即当分为 59 时，则秒在计数计到 54 时，输出一延时高电平去打开低音与门，使报时声按要求的低音频率鸣叫 5 声，直至秒计数器计到 58 时，结束这高电平脉冲；当秒计数到 59 时，则去驱动高音频率输出而鸣叫 1 声。

四. 参考元器件：

CD4060、74LS74、74LS161、74LS248、74LS48 及常用门电路；

NE555、电容、电阻、电位器、LED 数码管、开关、按键、喇叭或蜂鸣器。。。。。。

换成CB555