Mỗi câu hỏi, các bạn chụp màn hình lại rồi thêm vào file word (dùng snipping tool để chụp màn hình)

1/ Thực hành tạo thư mục

Tạo một thư mục <tên học viên> trong đó có chứa 3 thư mục

* RTL
* Verification
* Synthesis

Trong RTL tạo các thư mục như sau:

* Components
* Module
* Top\_level (DUT + specification)

Trong Verification bao gồm:

* Components
* Sequence
  + (a,b,c) => DUT (top level) => output (x,y) => so sánh x,y với expected values
  + => passed / error
* Scripts (điều khiển testbench)
* Tests (testcase: trường hợp test)
* Testbench
* Test GLS – gate level simulation => pass / error

Trong Synthesis bao gồm

* Working
* Library
* Release
* Module

2/ Tạo file:

Bạn đang đứng ở thư mục <tên học viên>: tạo file readme.txt, trong đó ghi nội dung tên, ngày, chức vị, “học viên trung tâm semicon”

Bạn di chuyển vào RTL: tạo file design.v (nội dung bạn tự copy một mẫu code về bộ đếm tuần tự trên mạng)

Bạn move file vào Module: đứng folder hưng (di chuyển file nằm ở /hưng/RTL/readme.txt):

* mv read.txt RTL/Module
* file đó nằm ở Verification: mv readme.txt ../RTL/Module

mv a b: file/thư mục - file/file - thư mục/thư mục

3/ Copy

Bạn đang đứng ở thư mục RTL/Module: copy file design.v vào Verification/Components

Đổi tên design.v thành sequential\_counter.v

Bạn mở xem file sequential\_counter.v

\*nâng cao: vừa mở file design.v ở RTL/Module, vừa mở sequential\_counter.v ở Verification/Components, kiểu xem dạng chia dọc (dùng:vsplit)

4/ Đổi quyền truy cập

File design.v đổi quyền |toàn quyền|vừa đọc vừa thực thi|vừa ghi vừa thực thi

chmod 753 design.v

File sequential\_counter.v đổi quyền |toàn quyền|vừa đọc vừa ghi|chỉ được ghi

Chmod 762 sequential\_counter.v

Verilog => Systemverilog