

TP 1 Architecture des ordinateurs L2 Informatique 2016-2017
Université des Antilles

Dans ce TP nous allons utiliser le logiciel Logisim (téléchargeable ici <https://sourceforge.net/projects/circuit/>) qui permet de mettre en œuvre des circuits logiques.

A la fin de la séance enregistrez votre travail dans la zone de dépôt e-cursus prévue à cet effet ou envoyez le à l'adresse wsegreti@univ-ag.fr. Le titre du message sera : TP1_Architecture_NOM.

- 1) Réalisez un 1/2 additionneur ayant pour entrée deux signaux a et b et en sortie leur somme (xor) et la retenue résultante (a.b).
- 2) A partir de deux 1/2 additionneurs, réalisez un additionneur complet ayant trois entrées : deux signaux a et b et une retenue d'entrée Cin. En sortie, on retrouvera la somme $a+b+Cin$ et une retenue de sortie Cout.
- 3) A partir des éléments précédents, réalisez un additionneur 8 bits permettant d'additionner deux nombres 8 bits en propageant les retenues.
- 4) On cherche maintenant à réaliser un soustracteur 8 bits. Selon le même principe, on créera d'abord un 1/2 soustracteur puis un soustracteur complet composé de deux 1/2 soustracteurs.

La table de vérité du 1/2 soustracteur est la suivante :

A	B	S	R
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Cherchez les fonctions logiques correspondant à S et R et créez le circuit logique du 1/2 soustracteur.

La table de vérité du soustracteur complet est la suivante :

A	B	C	S	R
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Cherchez les fonctions logiques correspondant a S et R et créez le circuit logique du soustracteur complet.

5) Créez un circuit logique permettant de multiplier ou de diviser un entier sur 8 bits par 2. On utilisera le principe du décaleur vu en cours.

6) A partir des éléments précédents proposez un circuit logique permettant de multiplier un entier sur 8 bits par 5.

7) Concevoir un circuit permettant de détecter la parité d'un mot de 4 bits codé sur les entrées A, B, C et D. La sortie vaudra 0 si le nombre de 1 en entrée est pair (ex : 0011) et 1 sinon (ex : 1000).

a) Ecrire la table de vérité correspondante.

b) Réalisez un multiplexeur 16×4 implémentant cette fonction.

c) Réalisez un démultiplexeur 4×16 implémentant cette fonction.

8) Un codeur n bits est un circuit à 2^n entrées (mutuellement exclusives) et n sorties qui permet d'encoder le numéro de la ligne d'entrée activée en binaire. Par exemple, si la 6e ligne d'un encodeur 3 bits est activée, alors les sorties seront A = 1, B = 0 et C = 1.

a) Écrire la table de vérité pour l'encodeur 4 bits.

b) Réaliser le circuit logique correspondant.

c) Utilisez ce codeur 4 bits comme entrée à l'additionneur, au soustracteur, au multiplieur/diviseur et au détecteur de parité précédemment réalisés. Il suffira alors de sélectionner une entrée du codeur pour leur envoyer des entiers (8 bits, les 4 bits restants seront mis a zéro).