**УО «Белорусский государственный университет информатики и**

**радиоэлектроники»**

**Кафедра ПОИТ**

**Отчет по лабораторной работе №1**

**по предмету**

**Аппаратные основы компьютерной техники**

**Вариант 10**

**Выполнил**

**Никитко А.А.**

**Проверил**

**Леванцевич В.А.**

Группа:

**8**51004

**Минск 2019**

1. **Цифровой компаратор (двухразрядный)**

Цифровые компараторы выполняют сравнение двух чисел А и В, заданных в двоичном коде с одинаковым количеством разрядов.

Цифровые компараторы имеют три выхода: Fa > b, Fa = b, Fa < b.

Таблица истинности:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | Выходы | | |
| *X1* | *X0* | *Z1* | *Z0* | *X>Z* | *X<Z* | *X=Z* |
| **0** | **0** | **0** | **0** | **0** | **1** | **0** |
| **0** | **0** | **0** | **1** | **0** | **1** | **0** |
| **0** | **0** | **1** | **0** | **0** | **1** | **0** |
| **0** | **1** | **0** | **0** | **1** | **0** | **0** |
| **1** | **0** | **0** | **0** | **1** | **0** | **0** |
| **1** | **0** | **0** | **1** | **1** | **0** | **0** |
| **1** | **0** | **1** | **0** | **0** | **0** | **1** |
| **1** | **1** | **0** | **0** | **1** | **0** | **0** |
| **1** | **1** | **0** | **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **0** | **1** | **0** | **0** |
| **1** | **1** | **1** | **1** | **0** | **0** | **1** |

Карта Карно для A=B

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1X0\Z1Z0 | 00 | 01 | 11 | 10 |
| 00 | **1** | 0 | 0 | 0 |
| 01 | 0 | **1** | 0 | 0 |
| 11 | 0 | 0 | **1** | 0 |
| 10 | 0 | 0 | 0 | **1** |

Карта Карно для A>B

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1X0\Z1Z0 | 00 | 01 | 11 | 10 |
| 00 | 0 | **1** | **1** | **1** |
| 01 | 0 | 0 | **1** | **1** |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | **1** | 0 |

Карта Карно для A<B

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1X0\Z1Z0 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 0 | 0 |
| 01 | **1** | 0 | 0 | 0 |
| 11 | **1** | **1** | 0 | **1** |
| 10 | **1** | **1** | 0 | 0 |

СДНФ:

Y0 = ‾X0 \* ‾X1\* ‾X2 \* ‾X3;

Y1 = ‾X0 \* ‾X1\* ‾X2 \* X3;

Y2 = ‾X0 \* ‾X1\* X2 \* ‾X3;

Y3= ‾X0 \* ‾X1\* X2 \* X3;

Y4 = ‾X0 \* X1\* ‾X2 \* ‾X3;

Y5= ‾X0 \* X1\* ‾X2 \* X3;

Y6= ‾X0 \* X1\* X2 \* ‾X3;

Y7 = ‾X0 \* X1\* X2 \* X3;

Y8 = X0 \* ‾X1\* ‾X2 \* ‾X3;

Y9= X0 \* ‾X1\* ‾X2 \* X3;

Y10 = X0 \* ‾X1\* X2 \* ‾X3;

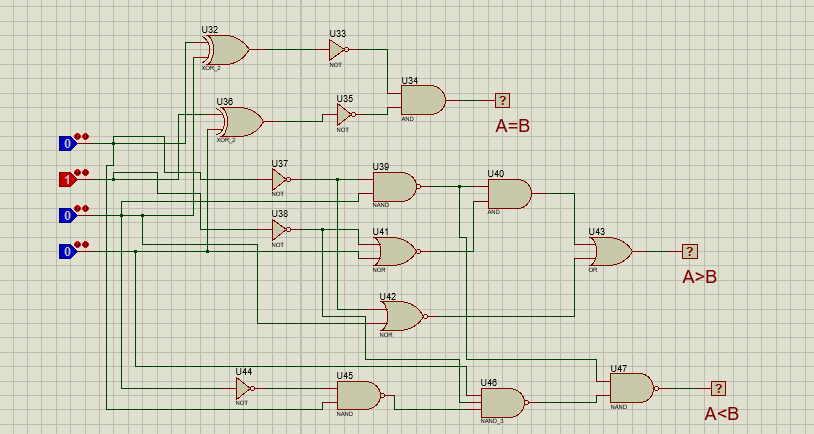
Y11 = X0 \* ‾X1\* X2 \* X3;

Y12 = X0 \* X1\* ‾X2 \* ‾X3;

Y13= X0 \* X1\* ‾X2 \* X3;

Y14 = X0 \* X1\* X2 \* ‾X3;

Y15 = X0 \* X1\* X2 \* X3;



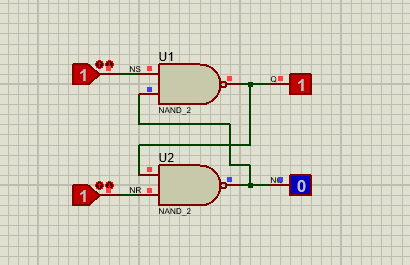
1. **Асинхронный RS-триггер**

В простейшем RS-триггере информационные сигналы подаются непосредственно на входы S (Set — установка) и R(Reset — сброс) .

RS-триггеры применяются как самостоятельно, так и в составе других более сложных триггеров, а также входят в состав регистров и счётчиков.

Триггер может быть реализован как на элементах NOR так и на элементах NAND

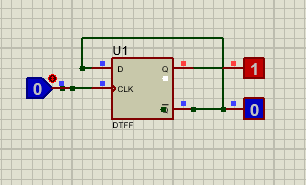
При использовании NAND - логики переключение триггер происходит инверсными сигналами. При этом режим хранения задается при S=1 и R=1 и запрещенная комбинация при S=0 и R=0



1. **T-триггер (на основе двухтактного D-триггера)**

Т – триггеры работают в счетном режиме и меняют свое состояние на противоположное на каждом периоде тактового сигнала

Т – триггер делит тактовую частоту импульсов в два раза.



**13. Суммирующий счетчик с коэффициентом пересчета 4**

Счётчик предназначен для счёта поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Поэтому счётчик состоит из запоминающих ячеек – триггеров.

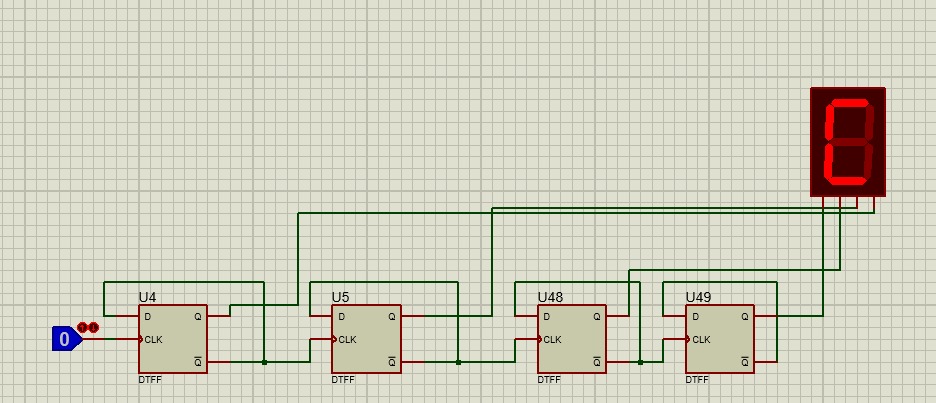
Каждый разряд счётчика может находиться в двух состояниях.

Число устойчивых состояний , которое может принимать двоичный счётчик, разрядностью n называют коэффициентом пересчёта:

Kcч=2n

Коэффициент пересчета равен количеству импульсов, которое может подсчитать счетчик.

Максимальное число N , которое может быть получено в счетчике равно разрядностью n: N=2n - 1

****