

一：选择题（70分）

1. 堆栈指针的作用是用来指示 B 。
A 栈底地址 B 栈顶地址
C 下一条要执行指令的地址 D 上一条要执行指令的地址
2. CPU对存储器或I/O端口完成一次读/写操作所需的时间为一个 B 。
A 指令周期 B 总线周期 C 时钟周期 D 机器周期
3. 微机读写控制信号的作用是 D 。
A 决定数据总线上的数据流的方向
B 控制存储器读写操作的类型
C 控制流入、流出存储器信息的方向
D 以上三种作用
4. 80X86中IP/EIP寄存器的作用是 C 。
A 保存当前栈顶地址
B 保存代码段的基地址
C 指示下一条要执行的指令地址
D 暂存当前执行的指令地址
5. 一个具有24根地址线的微机系统中，装有16KB ROM、480KB RAM和 100MB的硬盘，说明其内存容量为 A 。
A 496KB B 16MB C 100.496MB D 100MB
6. 查询方式输入/输出时，在I/O接口中设有状态寄存器，通过它来确定I/O设备是否准备好。输入时，准备好表示（1）A，输出时准备好表示（2）B。
(1) A.稳定 B.已空 C.已满
(2) A.稳定 B.已空 C.已满
7. 根据下面所提供的某80X86微机内存中的数据，判断INT 11H中断服务程序的入口地址是（A）。

0000:0040 B3188ACC4DF800F0
41F800F0C5188ACC
0000:0050 39E700F0A0198ACC
2EE800F0D2EF00F0

A. F000:F84D

B. A019:8ACC

C. CC8A:19A0

D. 4DF8:00F0

8. 存储字长是指 B 。

A 存放在一个存储单元中的二进制代码组合

B 存放在一个存储单元中的二进制代码位数

C 存储单元的个数

D 寄存器的位数

9. 指令寄存器的位数取决于 B 。

A 存储器的容量 B 指令字长 C 机器字长 D 存储器的类型

10. 主机与设备传送数据时，采用 C ，CPU的效率最高。

A 程序查询方式

B 中断方式

C DMA方式

D 软件查询方式

11. 从硬件的角度而言，采用硬件最少的数据传送方式是 D 。

A DMA控制

B 中断传送

C 查询传送

D 无条件传送

12. 按微机系统中与存储器的关系，I/O端口的编址方式分为 D 。

A 线性和非线性编址

B 集中和分散编址

C 重叠和非重叠编址

D 统一和独立编址

13. I/O口与主机信息的交换采用中断方式的特点是 B 。

A CPU与设备串行工作，传送与主程序串行工作

B CPU与设备并行工作，传送与主程序串行工作

C CPU与设备并行工作，传送与主程序并行工作

D CPU与设备串行工作，传送与主程序并行工作

14. 8255A中的工作方式控制字一定 。 C

A. 不等于80H B. 小于等于80H C. 大于等于80H

15. 在数据传送过程中，数据由串行变为并行，或由并行变为串行，这种转换是通过接口电路中的 D 实现的。

A 数据寄存器

B 控制寄存器

C 锁存器

D 移位寄存器

16. 在某一存储器系统中，设有只读存储器10KB，随机存储器54KB，使用16位地址来寻址，其中，只读存储器位于低地址段，其地址范围为

A 。

A 0000 ~ 27FFH

B 0000 ~ 0FFFFH

C 0000 ~ 3FFFFH

D 0000 ~ 4AFFH

17. Intel 8255A使用了 个端口地址。 D

A 1

B 2

C 3

D 4

18. 当多片8259A级联使用时，对于从8259A，级联信号 CAS2、CAS0是 A 。

A. 输入信号

B. 输出信号

C. 双向信号

D. 中断信号

19. 波特率是串行通信中的一项重要参数，以下说明中正确的是 B 。

A 波特率是指单位时间内传送的字符数

B 波特率是指单位时间内传送的 二进制数的位数

C 波特率也称为波特率因子

D 通常收 / 发时钟频率等于波特率

20. 指令队列的作用是 D 。

A 暂存操作数地址 B 暂存操作数

C 暂存指令地址

D 暂存预取指令

21. 当M/IO=1, RD=1, WR=0时，8086 CPU完成的操作是 C 。

A 存储器读

B I/O读

C 存储器写

D I/O写

22. 8255A能实现双向传送功能的工作方式为 C 。

C

A 方式0 B 方式1 C 方式2 D 方式3

23. 8086/8088的复位信号至少维持 D 个时钟周期的高电平有效。

A 1 B 2 C 3 D 4

24.在微机中，CPU访问各类存储器的频率由高到低的次序为 A 。

A Cache 内存 磁盘 磁带

B 内存 磁盘 磁带 Cache

C 磁盘 内存 磁带 Cache

D 磁盘 Cache 内存 磁带

25. 总线握手的作用是 (C) 。

A 控制总线占用权，防止总线冲突

B 实现I/O操作的同步冲突

C 控制每个总线操作周期中数据传送的开始和结束

D 促使数据传输成功

26. 关于EPROM下面的说法中，正确的是 D 。

A EPROM 是不能改写的

B EPROM 是可改写的，故是一种随机读写存储器

C EPROM 只能改写一次

D EPROM 是可改写的，但它不能作为随机读写存储

27. CPU在 D 时响应中断。

A 取指周期结束

B 外设提出中断申请

C INTR为高电平

D 一条指令结束

28. 存储周期是 (D) 。

A 存储器的读出时间；

B 存储器的写入时间；

C 存储器进行连续读和写操作所允许的最短时间间隔；

D 存储器进行连续写操作所允许的最短时间间隔

29. 在Intel 8255A中可以进行按位置位/复位的端口是

C。

A. 端口A B. 端口B C. 端口C D. 控制口

30. 在DMA数据传送方式中，实现地址的修改与传送字节数技术的主要功能部件是 D。

A CPU B 运算器

C 存储器 D DMAC

31. 在异步串行输入/输出接口中，实现并行数据与串行数据的转换的主要功能部件是 A。

A 发送和接收移位寄存器 B 波特率发生器

C 发送和接收数据缓冲器 D 控制字寄存器

31. 异步串行通信的主要特点是 A。

A 传送的每个字符是独立发送的

B 通信双方不需要同步

C 字符之间的间隔时间应相同

D 传送的数据中不含有控制信息

33. 如果有多个中断同时发生，系统将根据中断优先级响应优先级最高的中断请求。若要调整中断事件的响应顺序，可以利用 B。

34. 并行接口和串行接口的区别主要表现在 B 之间的数据传输前者是并行，后者是串行。

A 接口与CPU B 接口与外设

C 接口与CPU及外设 D 接口与内存

A 中断响应 B 中断屏蔽 C 中断向量 D 中断嵌套

35. 8086对下列中断优先级响应最高的请求是 C。

A NMI B INTR C 内部软件中断 D 单步中断

36. 中断向量地址是 C。

A 子程序入口

B 中断服务程序入口地址

C 中断服务程序入口地址的地址

D 传送数据的起始地址

37. 下列8259A的命令字中，必须在正常操作开始前写入的是 A。

A 初始化命令字ICW B 操作命令字OCW

- C 初始化命令字ICW1 D 初始化命令字ICW3
38. 下面中断中, 只有 C 需要中断类型码。
A INTO B INT_n C INTR D NMI
39. 设存储器的地址线为20条, 存储单元为字节, 使用全译码方式组成存储器。该系统构成需要64K*1位的存储器芯片的数量需 (D) 块。
A 16 B 32 C 64 D 128
40. 在存储器连线时, 线片控制采用 (D) 方式时, 不存在 () 的问题, 即所分配的地址是连续的。
A 全译码 地址重叠 B 线选控制 地址浮动
C 线选控制 地址重叠 D 全译码 地址浮动
41. 当用 8259A中断控制器时, 其中断服务程序执行EOI命令的作用是 B 。
- A 屏蔽正在被服务的中断, 使其不再发出中断请求
B 清除该中断服务寄存器中的对应位, 以允许同级或低级的中断能被响应
C 清除该中断请求寄存器中的对应位, 以免重复响应该中断。
D 判定优先级
1. 冯·诺依曼机的基本特征是 。
- B. 存储程序控制
2. 关于计算机语言,下面叙述正确的是 。
- A. 汇编语言书写的指令性语句与机器语言是一一对应的
3. 芯片内置了高性能浮点处理部件的处理器为 。
- B. 80486
4. 下面有关GB2312汉字编码的叙述中, 正确的是 。
- A. 汉字的区位码由该汉字在编码表中的区号和位号组成
5. 用8位字长表示的数值(补码)为FFH、若改用16位字长表示该值应为 。

B. FFFFH

6. 若给定一个字节为 (01100001)₂, 当其为ASCII码和BCD码时分别表示 字符、BCD。

A. 'a', 61

7. 下列有关计算机中数据表示 (原码、反码和补码) 的说法不正确的是 。

C. 对负数, 三种表示都一样

8. 下列不同数制的四个数中, 最小的数是 。

A. (1000000)₂

9. 以2为底的一个二进制浮点数的格式如下:

D7 D6 D5 D4 D3 D2 D1 D0

阶符 阶码 数符 尾数

则规格化浮点数机器数10011100表示的数值为

。

B. -0.75

10. 计算 $(10101.01)_2 + (25.2)_8 =$ 。

B. 42.5

11. 用来表示堆栈指针的寄存器是 。

SP

12. 下列四个寄存器中, 可作为十六位寄存器的是 。

C. BP

13. 当执行指令ADD AX, BX后, 若AX的内容为2BA0H, 设置的奇偶标志位PF=1, 下面的叙述正确的是 。

A. 表示结果中含1的个数为偶数

14. 8086通过数据总线对 进行一次访问所需的时间为一个总线周期。

A. 内存

15. 在8086/8088中, 一个最基本的总线周期由4个时钟周期 (T状态) 组成, 在T1状态, CPU在总线发出 信息。

C. 地址

16. 8088的MN/MX引脚的作用是 。

A. 模式控制

17. 8088/8086CPU的存储器采用分段方式管理，每个段最多可以有 字节。

B. 64K

18. 8086 CPU加电时,执行第一条指令所存放的内存地址是 。

A. FFFF: 0000H

19. 8086存贮器的地址区域00000H~003FFH是 。

B. 中断向量区

20. CPU访问存储器时，在地址总线上送出的地址称为 地址。

D. 物理

30. 在存贮器读周期时序图中，地址信号A15-0有效后，还需要 信号

和 信号有效，才能进行存贮器读操作。

A. WR DT/R B. RD DT/R

C. RD ALE D. WR ALE

答：C

31. 汇编语言源程序经汇编后直接生成的文件是 。

A. OBJ文件 B. MAP文件 C. EXE文件
D. DEF文件

答：C

32. 指令ADD AX, 14[BX]中源操作数的寻址方式为 。

A. 立即寻址 B. 寄存器寻址

C. 寄存器相对寻址 D. 寄存器间接寻址

答：C

33. 指令MOV AX,2[BX][SI]，其操作数的有效地址EA和物理地址分别为 。

- A. $EA = [(SI) + (BX)] * 2 \quad (DS) + EA$
- B. $EA = (BX) + (SI) + 2 \quad (ES) * 10H + EA$
- C. $EA = [(BX) + (SI)] * 2 \quad (DS) + EA * 10H$
- D. $EA = (BX) + (SI) + 2 \quad (DS) * 10H + EA$

答: D

34. BUF DW 10H DUP (3, 5)

上述语句汇编后, 为变量BUF分配的存储单元字节数是

- A. 64H B. 64 C. 20 D. 20H

答: B

35. 与MOV BX, OFFSET VAR指令完全等效的指令是

- A. MOV BX, VAR; B. LDS BX, VAR
- C. LES BX, VAR; D. LEA BX, VAR

答: D

36. 指令从DX指定的端口地址读入一个字节到AL寄存器中。

- A. IN DX, AL B. IN AL, DX
- C. INT DX, AL D. INT AL, DX

答: B

37. 下面的数据传送指令中, 错误的操作是

- A. MOV SS: [BX+DI], 1000H B. MOV DX, 1000H
- C. MOV WORD PTR[BX], 1000H D. MOV DS, 1000H

答: D

38. 执行INC指令除对SF.ZF有影响外, 还要影响的标志位是

- A. OF, AF, PF B. OF, AF, DF
- C. OF, PF, CF D. AF, PF, TF

答: A

39. 完成BX-CX→AX的错误操作是

- A. SUB BX, CX MOV AX, BX B. SUB AX, BX

SUB AX, CX

C. XCHG AX, BX SUB AX, CX D. MOV
AX, BX SUB AX, CX

答: C

45. 以下那条指令转移与状态位有关。

A. JMP B. RET C. CALL D. JNE

答: A

46. 下面指令中, 合理而有意义的指令是。

A. REP LODSB B. REP SCASB
C. REP CMPSB D. REP MOVSB

答: D

47. 下面程序段中, 当满足条件转到NEXT标号执行时, AL中的值正确的是。

CMP AL, 0FBH
JNL NEXT

.....

NEXT:

A. AL=80H B. AL=8FH C. AL=0F0H
D. AL=0FFH

48. 执行下列三条指令后, AX寄存器中的内容是

MOV AX, '8'
ADD AL, '9'
AAA

A. 0017H B. 0077H C. 0107H D. 0071H

答: D

49. 下列指令序列执行后的BX=。

MOV BX, 0FFFCH
MOV CL, 2
SAR BX, CL

A. 3FFFH B. 0FFFFH C. 0FFFCH
D. 0FFF5H

答: B

50. 子程序又称为过程, 由伪操作PROC定义, 由ENDP结束, 属性可以是 或FAR。

- A. NEXT B. NEAR
C. LONG FAR D. LONG NEAR

答: NEAR

51. 对于下列程序段:

CLD

AGAIN: MOV ES: [DI], AL

INC DI

LOOP AGAIN

可用指令 完成相同的功能。

- A. REP MOVSB B. REP LODSB
C. REP STOSB D. REPE SCASB

答: REP MOVSB

52. 下列不正确的指令是 。

- A. INC WORD PTR[BX] B. INC [BX]
C. INC BYTE PTR[BX] D. INC BX

答: B

53. 下面指令执行后, 变量DAB中的内容是

。

DAW DW 2A05H

DAB DB 0FAH

:

MOV AL, BYTE PTR DAW

SUB DAB, AL

- A. 0DAH B. 0FAH C. 0F5H D. 0D0H

答: C

2.1 以CPU为核心, 加上存储器、I/O接口和系统总线组成 。（B）

- A 微处理器 B 微型计算机 C 微型计算机系统

统

2.2 下面的说法中, 不正确的是 。（A）

- A 计算机的速度完全取决于主频
- B 计算机的速度不完全取决于主频
- C 计算机的速度与主频、机器周期内平均含时钟周期数和平均指令周期含平均机器周期数等有关

2.3 指令寄存器的位数取决于 (B)

- A 存储器的容量
 - B 指令字长
 - C 机器字长
- 2.4 指令队列的作用是 (D)

- A 暂存操作数地址
- B 暂存操作数
- C 暂存指令地址
- D 暂存预取指令

2.5 8086/8088的复位信号至少维持 个时钟周期的高电平有效。 (D)

- A 1
 - B 2
 - C 3
 - D 4
- 2.6 80X86中IP/EIP寄存器的作用是 (C)

- A 保存当前栈顶地址
- B 保存代码段的基地址
- C 指示下一条要执行的指令地址
- D 暂存当前执行的指令地址

2.7 当M/I0=0,RD=0,WR=1时, 8086 CPU完成的操作是 (B)

- A 存储器读
- B I/O读
- C 存储器写
- D I/O写

2.8 当M/I0=1,RD=1,WR=0时, 8086 CPU完成的操作是 (C)

- A 存储器读
- B I/O读
- C 存储器写
- D I/O写

2.9 8086有两种工作模式, 即最小模式和最大模式, 它由 (1) B 决定。最小模式的特点是 (2) A , 最大模式的特点是 (3) C 。

- (1) A BHE/S7 B
- C INTA D HOLD="1"
- (2) A CPU提供全部的控制信号
- B 由编程进行模式设定
- C 不需8286收发器

- D 需要总线控制器8288
- (3) A M/IO引脚可直接引用
B 由编程进行模式设定
C 需要总线控制器8288
D 适用于单一处理机系统
- 2.10 堆栈指针的作用是用来指示 。 (B)
A 栈底地址 B 栈顶地址
C 下一条要执行指令的地址
- 2.11 CPU对存储器或I/O端口完成一次读/写操作所需的时间为一个 。 (B)
A 指令周期 B 总线周期 C 时钟周期
- 2.12 在8086/8088中, 一个最基本的总线周期由
(1) A时钟周期组成, 在T1状态, CPU往总线发出
(2) B信息。
(1) A 4个 B 2个 C 5个
(2) A 数据 B 地址 C 状态
- 2.13 微机读写控制信号的作用是 。 (D)
A 决定数据总线上的数据流的方向
B 控制存储器读写操作的类型
C 控制流入、流出存储器信息的方向
D 以上三种作用
- 2.14 总线中地址线的功能是 。 (C)
A 用于选择存储器单元
B 用于选择进行信息传输的设备
C 用于指定存储器单元和I/O设备接口电路的选择地址
- 2.15 80386/80486工作于虚拟保护方式时, 段的最大长度可达 。 (A)
A. 4GB B. 1MB C. 4MB D. 64KB
- 2.1 存储周期是 。 (C)
A. 存储器的读出时间
B. 存储器的写入时间
C. 存储器进行连续读或写操作所允许的最短时间

隔

D. 存储器进行连续写操作所允许的最短时间间隔

2.2 存储字长是指 (B)

A. 存放在一个存储单元中的二进制代码组合

B. 存放在一个存储单元中的二进制代码位数

C. 存储单元的个数

D. 寄存器的位数

2.3 在微机中, CPU访问各类存储器的频率由高到低的次序为 (A)

A. Cache 内存 磁盘 磁带

B. 内存 磁盘 磁带 Cache

C. 磁盘 内存 磁带 Cache

D. 磁盘 Cache 内存 磁带

2.4 关于EPROM下面的说法中, 正确的是

。(D)

A. EPROM 是不能改写的

B. EPROM 是可改写的, 故是一种随机读写存储器

C. EPROM 只能改写一次

D. EPROM 是可改写的, 但它不能作为随机读写存储器

2.5 一个具有24根地址线的微机系统中, 装有16KB ROM、480KB RAM和100MB的硬盘, 说明其内存容量为 (A)

A. 496KB B. 16MB C. 100.496MB D. 100MB

2.6 设存储器的地址线为20根, 存储单元为字节, 使用全译码方式组成存储器。该系统构成需要 $64K \times 1$ 位的存储器芯片的数量为 块。(D)

A. 16 B. 32 C. 64 D. 128

2.7 在存储器连线时, 线片控制采用(1)方式时, 不存在(2)的问题, 即所分配的地址是连续的。(A. C)

A. 全译码 B. 线选控制 C. 地址重叠 D. 地址浮动

2.8 在某一存储器系统中，设有只读存储器10KB，随机

存储器54KB，使用16位地址来寻址，其中，只读存

储器位于低地址段，其地址范围为 。

(A)

- A. 0000 ~ 27FFH B. 0000 ~ 0FFFH
C. 0000 ~ 3FFFH D. 0000 ~ 4AFFH

2.9 8086系统中，设BUFFER为内存数据段的一个偶地址单元，当A0=0且BHE=0时，可能执行的指令为 。（B）

- A MOV BYTE PTR BUFFER, AL
B MOV AX, WORD PTR BUFFER
C MOV AL, BYTE PTR BUFFER+1
D MOV WORD PTR BUFFER+1, AX

2.1 从硬件的角度而言，采用硬件最少的数据传送方式是 。（D）

- A. DMA控制 B. 中断传送
C. 查询传送 D. 无条件传送

2.2 查询方式输入/输出时，在I/O接口中设有状态寄存器，通过它来确定I/O设备是否准备好。输入时，准备好表示（1），输出时准备好表示（2）。

(A, B)

- (1) A. 稳定 B. 已空 C. 已满
(2) A. 稳定 B. 已空 C. 已满

2.3 按微机系统中与存储器的关系，I/O端口的编址方式分为 。（D）

- A. 线性和非线性编址 B. 集中和分散编址
C. 重叠和非重叠编址 D. 统一和独立编址

2.4 在I/O接口的各种寄存器中 必须具有三态输出功能。（C）

A. 控制寄存器 B. 数据缓冲寄存器 C. 状态寄存器

2.5 I/O口与主机信息的交换采用中断方式的特点是。
(B)

A. CPU与设备串行工作，传送与主程序串行工作

B. CPU与设备并行工作，传送与主程序串行工作

C. CPU与设备并行工作，传送与主程序并行工作

D. CPU与设备串行工作，传送与主程序并行工作

2.6 在数据传送过程中，数据由串行变为并行，或由并行变为串行，这种转换是通过接口电路中的实现的。
(B)

A. 数据寄存器

B. 控制寄存器

C. 锁存器

D. 移位寄存器

2.7 主机与设备传送数据时，采用 ，CPU的效率最高。
(C)

A. 程序查询方式 B. 中断方式 C. DMA方式

2.8 CPU在 时响应中断。
(D)

A. 取指周期结束

B. 外设提出中断申请

C. INTR为高电平

D. 一条指令结束

2.9 在DMA数据传送方式中，实现地址的修改与传送字节数技术的主要功能部件是 。
(D)

A. CPU

B. 运算器

C. 存储器

D. DMAC

1.1 Intel 8255A使用了 个端口地址。
(D)

A. 1 B. 2 C. 3 D. 4

1.2 8255A中的工作方式控制字一定 。
(C)

A. 不等于80H B. 小于等于80H C. 大于等于80H

1.3 一台微机化仪器采用8255A芯片作为数据传送接口，并规定使用地址总线的最低两位做芯片内部寻址，已知芯片A口地址为0F4H，则当CPU执行输出指令访问0F7H端口时，其操作为 。 (C)

- A. 数据从端口C送数据总线
- B. 数据从数据总线送端口C
- C. 控制字送控制寄存器
- D. 数据从数据总线送端口B

1.4 下列可作为简单输入接口的电路是 。
(B)

A. 译码器 B. 三态缓冲器 C. 反相器 D. 锁存器

1.5 在Intel 8255A中可以进行按位置位/复位的端口是 。 (C)

A. 端口A B. 端口B C. 端口C D. 控制口

1.6 8255A能实现双向传送功能的工作方式为 。 (C)

A. 方式0 B. 方式1 C. 方式2 D. 方式3

1.7 并行接口和串行接口的区别主要表现在 之间的数据传输前者是并行，后者是串行。 (B)

- A. 接口与CPU B. 接口与外设
- C. 接口与CPU及外设 D. 接口与内存

1.8 并行通信与串行通信相比，具有 的优点。 (A)

- A. 接口简单、数据传输速度高
- B. 接口简单、数据传输距离远
- C. 数据传输速度高、传输距离远

1.9 异步串行通信的主要特点是 。 (A)

- A. 传送的每个字符是独立发送的
- B. 通信双方不需要同步
- C. 字符之间的间隔时间应相同
- D. 传送的数据中不含有控制信息

1.10 波特率是串行通信中的一项重要参数，以下说明中正确的是。(B)

- A. 波特率是指单位时间内传送的字符数
- B. 波特率是指单位时间内传送的二进制数的位数

- C. 波特率也称为波特率因子
- D. 通常收 / 发时钟频率等于波特率

1.11 下列关于串行通信的叙述正确的是。(C)

- A. 串行通信只需一根导线
- B. 半双工就是串口只工作一半工作时间
- C. 异步串行通讯是以字符为单位逐个发送和接收的
- D. 同步串行通讯的发、收双方可使用各自独立的局部时钟

1.12 两台PC机通过其串行口直接通信时，通常只使用 三根信号线。(A)

- A. TXD、RXD和GND
- B. TXD、CTS和GND
- C. DSR、CTS和GND
- D. DTR、RTS和GND

1.13 在通用微机中普遍采用的串行接口标准是。(D)

- A. RS485
- B. RS423
- C. RS-422
- D. RS-232C

1.14 一装置采用8251A进行串行同步通信，当选定通信速率为9600波特时，施加于8251A芯片的TXD及RXD引脚上的时钟信号频率为。(C)

- A. 4800HZ
- B. 2400HZ
- C. 9600HZ
- D. 19200HZ

1.15 RS-232C接口采用的信号电平范围是

。(C)

A. 0~+5V

B. -5V~+5V

C. -15V~+15V

D. 0~+15V

1.16 异步串行通信中，常采用波特率的16倍频作为接收时钟，其目的是。(B)

A. 提高采样精度

B. 识别正确的起始位

C. 提高接收速率

1.17 在异步串行输入/输出接口中，实现并行数据与串行数据的转换的主要功能部件是。(A)

A. 发送和接收移位寄存器

B. 波特率发生器

C. 发送和接收数据缓冲器

D. 控制字寄存器

1.18 规定异步通信的数据帧为5位数据位、偶校验和2位停止位。在接收时，如果收到5位数据位和1位校验位后，再收到1位高电平和1位低电平，其结果表示。(D)

A. 一个字符数据已正确接收

B. 已经开始接收下一个字符

C. 传输中出现了奇偶错

D. 传输中出现了帧格式错

1.19 在异步串行输入/输出接口中，发生溢出错(重叠错)是指

的内容被新送进来的数据覆盖。

(C)

A. 发送数据寄存器

B. 发送移位寄存器

C. 接收数据寄存器

D. 接收移位寄存器

1.20 如果8251A设定为异步通信方式，发送器时钟输入端和接收器时钟输入端都连接到频率19.2KHz的输入信号，波特率因子为16，则波特率为。

(A)

A. 1200

B. 2400

C. 9600

D. 19200

1.2 如果有多个中断同时发生，系统将根据中断优先级响应优先级最高的中断请求。若要调整中断事件的响应顺序，可以利用。(B)

A. 中断响应 B. 中断屏蔽 C. 中断向量 D. 中断嵌套

1.3 8086对下列中断优先级响应最高的请求是 。
(C)

A. NMI B. INTR C. 内部软件中断 D. 单步中断

1.4 执行INT n指令或响应中断时，CPU入栈操作保护的次序是 。(A)

A. FLAGS, CS, IP B. CS, IP, FLAGS
C. FLAGS, IP, CS D. IP, CS, FLAGS

1.5中断向量地址是 。(C)

A. 子程序入口
B. 中断服务程序入口地址
C. 中断服务程序入口地址的地址
D. 传送数据的起始地址

1.6 8086的中断源来自两个方面，即 。(A)

A. 外部中断和内部中断
B. 可屏蔽和非屏蔽中断
C. CPU产生的中断和软件中断
D. 单步和溢出错误

1.7下面中断中，只有 需要中断类型码。 (C)

A. INTO B. INT n C. INTR D. NMI

1.8 当多片8259A级联使用时，对于从8259A，级联信号CAS2~CAS0是 。(A)

A. 输入信号 B. 输出信号
C. 双向信号 D. 中断信号

1.9 当用 8259A中断控制器时，其中断服务程序执行EOI命令的作用是 。(B)

A. 屏蔽正在被服务的中断，使其不再发出中断请求
B. 清除该中断服务寄存器中的对应位，以允许同级或低级的中断能被响应
C. 清除该中断请求寄存器中的对应位，以免重复响应该中断。

D. 判定优先级

1.10 下列8259A的命令字中，必须在正常操作开始前写入的是 (A)

A. 初始化命令字ICW

B. 操作命令字OCW

C. 初始化命令字ICW1

D. 初始化命令字ICW3

1.11 有三片8259级联，从片分别接入主片的IR2和IR5，则主8259的ICW3中的内容为 ; 两片从片8259的ICW3的内容分别为 (A, D)

A. 24H B. 42H C. 00H,01H D. 02H,05H

分析：初始化命令ICW3的功能是设置级联控制方式。对主片，各位对应IR0~IR7的连接情况，此题给定的条件是IR2、IR5接有从片，所以控制字为00100100B=24H。对从片，ICW3的高5位为0，低三位是对应主片IRi的编码，所以接IR2的从片控制字为00000010H=02H，接IR5的从片控制字为00000101B=05H

1.12 当80486工作在实地址方式下时，已知中断类型号为14H,则其中断向量存放在存储器的 单元中。(C)

A. 00051H~00054H

B. 00056H~00059H

C.

0000:0050H~0000:0053H

D.0000:0056H~0000:0059H

H 分析：当80486工作在实地址方式下时，和8086一样，中断向量地址=中断类型号*4

1.13 80X86系统中，用来确定硬件中断服务程序的入口地址的是 (C)

A.主程序中的调用指令

B.主程序中的转移指令

C.中断控制器发出的类型码

D.中断控制器中的中断服务寄存器ISR

1.14 CPU通常在 时响应中断。 (D)

A. 取指周期结束

B. 外设提出中断申请

C. INTR为高电平

D. 一条指令结束

1.15 80X86系统中, IRET指令执行的出栈恢复操作不包括断点处的 。 (B)

A. CS

B. SS

C. FLAGS

D. IP

1.1 定时器/计数器8253共有 d 种工作方式, 共有 4 个I/O端口地址。 (D B)

A. 3

B. 4

C. 5

D. 6

1.2 8253无论工作在哪种方式, 在初始化编程时, 写入控制字后, 输出端OUT将 c 。 (C)

A. 变为高电平

B. 保持原状态不变, 直到计数结束

C. 变为相应的高电平或低电平

D. 变为低电平

1.3 某一计算机应用系统中采用8253的计数初值应该为 c 。 (C) 通道0作频率发生器, 通道0的计数时钟频率为1.2775MHZ, 欲使它输出一个频率为2500HZ的信号, 则在初始化时, 送到通道0的

A. 0FFFH

B. 02FFH

C. 01FFH

D.

00FFH

1.4 某一测控系统要使用一个连续的方波信号, 如果要使用可编程定时器/计数器8253来实现此功能, 则8253应工作在 d 。 (D)

A. 方式0

B. 方式1

C. 方式2

D.

方式3

E. 方式4

F. 方式5

1.5 某一测控系统要用一脉冲信号产生单稳信号, 如果使用可编程定时/计数器8253来实现此功能,

则8253应工作在_____。(B)

- A. 方式0 B. 方式1 C. 方式2
D. 方式3 E. 方式4 F. 方式5

二、判断题。

2.1 80X86的外部硬件中断包括非屏蔽中断 (NMI) 和可屏蔽中断 (INTR) 两类，它们都受CPU内部的中断允许标志 (IF) 的控制。(×)

2.2 任何一种可编程I/O接口芯片，工作前都必须先向它的控制寄存器写入控制字，以选择所需工作方式和功能。(√)

2.3 一般情况下，无论外部中断还是CPU内部异常，中断处理完后均返回被中断指令的下一条指令开始执行。(√)

2.4 对于可屏蔽中断的嵌套处理原则是允许高级中断打断低级中断，允许同级中断相互打断，而不允许低级中断打断高级中断。(×)

2.5 CPU响应外设的中断请求时，要把标志寄存器的IF和TF清零。(√)

2.6 在80X86系统中，所有中断都要执行两个中断响应周期。(×) (只有可屏蔽中断才是)

2.7 任何内部软件中断都不受IF和TF影响。(×)
(单步中断受)

2.8 8259A管理的8路外部中断向量存放在中断向量表中连续的32个字节中。(√)

2.9 8086系统中，软件中断和非屏蔽中断执行两个中断响应总线周期。(×)

2.10 在执行某一级的中断服务程序中，如果有较高优先级的中断源请求中断，则都要立即响应较高优先级的中断。(×)

2.11 中断屏蔽位为程序员提供了控制中断处理顺序的手段。(√)

2.12 8259A可以编程实现某些低优先级中断打断高优先级中断的工作方式。(√)

- 2.13 中断向量表是指中断类型编码表。 (×)
- 2.14 8259A的普通全嵌套方式中, 各中断源的优先级是固定的, IR0的优先级最高, IR7的最低。 (√)
- 2.15 当中断允许时, CPU在每条指令的最后一个时钟周期检测中断请求。 (√)
- 2.16 8086CPU响应外部可屏蔽中断INTR时, 在第二个中断响应周期, 由数据总线读入外设的中断类型码。 (√)
- 2.17 同步串行传送能够得到比异步串行传送更高的传输速率和传输效率。 (√)
- 2.18 异步串行通信中, 检测一个新字符的开始是利用极性相反的停止位(空闲位)与起始位之间的负跳变来实现的。 (√)
- 2.19 在微型计算机中, 串行输入输出端口与微处理器之间是采用串行方式交换数据的。 (×)
- 2.20 奇偶校验位是根据传送数据中的“1”的个数进行编码的。 (√)
- 2.21 异步通信与同步通信的差别主要表现在字符与字符间的传送一个是异步, 一个是同步, 至于字符内部的位与位之间, 两者都是同步传送的。 (√)
- 2.1 锁存器即可作为输出接口, 又可作为输入接口使用。 (×)
- 2.2 CPU送给8255A的控制字, 以及输入数据和输出数据都通过8255A内的数据总线缓冲器传送。 (√)
- 2.3 8255A工作于方式0时, 只适合无条件传送方式。 (×)
- 2.4 8255A工作于方式1时, 可用于查询方式传送或中断方式传送。 (√)
- 2.4 8255A工作于方式2时, A口、B口均可作为双向数据传送端口, C口各位作为它们的应答控制线。 (×)
- 2.5 8255A有三种工作方式, 在任一种方式下, 都可以分别设置A口、B口、C口高4位和C口低4位这四部

分的输入、输出状态。 (×)

2.6 利用8255A的C口按位置位/复位功能，一次可使C口的几位同时置1或置0。 (×)

2.7 所谓并行接口和串行接口，顾名思义，就是指I/O接口与CPU和外设之间的通信方式都是一个为并行，一个为串行。 (×)

2.8 8255A工作于方式2时，C口的8条线均不能用于输入/输出。 (×)

2.9 8255A工作于方式0时，不能使用中断，而在方式1或方式2时，既可用中断，也可不用中断。 (√)

2.10 8255A工作于选通的输出方式时，由ACK有效来使OBF无效；工作于选通的输入方式时，由STB有效自动将IBF置位。 (√)

2.11 异步串行通信的基本特点是：以字符为基本单位，传送时字符间异步，字符内各位间同步。 (√)

2.12 对同步串行通信，收/发双方必须采用同一时钟控制数据流。 (√)

2.13 异步串行通信的收/发双方无需用同一时钟源，只需用同一频率的收发时钟，就能保证可靠的通信。 (√)

2.14 异步串行通信传送的数据中不含有控制信息。 (×)

2.15 采用串行数据通信时，数据在传输线上是一位一位的传输，因此发送端在输出一位数据后，需要在接收端收到此数据之后才能送出下一位数据。 (×)

2.16 调制解调器是将数字信号转换为适合在传输线上进行传输的音频模拟信号，或者将传输线上的音频模拟信号还原为数字信号。 (√)

2.17 同步串行传送能够得到比异步串行传送更高的传输速率和传输效率。 (√)

2.18 异步串行通信中，检测一个新字符的开始是利用极性相反的停止位（空闲位）与起始位之间的负跳变来实现的。 (√)

2.19 在微型计算机中，串行输入输出端口与微处理器之间是采用串行方式交换数据的。(×)

2.20 奇偶校验位是根据传送数据中的“1”的个数进行编码的。(√)

2.21 异步通信与同步通信的差别主要表现在字符与字符间的传送一个是异步，一个是同步，至于字符内部的位与位之间，两者都是同步传送的。(√)

1. 808 2.22 异步串行通信的主要特点之一是字符之间的间隔时间相同。(×)

2.23 异步串行通信在工作时，通信双方不需要同步。(×)

2.24 Intel 8251A是一个既可工作在同步方式，又可工作在异步方式的通用串行通信接口芯片。(√)

2.25 8251A工作在异步串行方式时，每个字符的数据位的长度为5~8位，因此通信双方可以在此范围内任意改变数据长度。(×)

2.26 8251A不能同时实现发送数据和接收数据的功能。(×)

2.27 若8251A的TxRDY信号高电平，则表示8251A发送缓冲器为空，已准备好发送一个字符。(√)

2.28 当8251A从CPU得到一个字符后，TxRDY的电平保持不变。(×)

2.29 8251A芯片复位以后，第一次用奇地址端口写入的值进入控制寄存器。(×)

2.30 对8251A芯片的偶地址端口进行读操作时，可从状态寄存器中读出状态信息。(×) 6微处理器内部由执行部件和总线接口部件构成。(√)

2. 主存储器和CPU之间增加高速缓冲存储器的目的是为了扩大主存储器的容量。(×)

3. 存储器的存储空间与微机的地址线位数有关。(√)

4. 8086 CPU响应外设的中断请求时，要把标志寄存

器的IF和TF清零。(√)

5. 异步串行通信传送的数据中不含有控制信息。
(×)

6. 8086CPU响应外部可屏蔽中断INTR时, 在第二个中断响应周期, 由数据总线读入外设的中断类型码。(√)

7. 8086系统中, 软件中断和非屏蔽中断执行两个中断响应总线周期。
(×)

8. 8086在对存储器进行访问时, 数据线和地址线分时复用, 数据线先于地址线有效。(×)

9. 8255A工作于方式2时, A口、B口均可作为双向数据传送端口, C口各位作为它们的应答控制线。
(×)

10. DMA方式的I/O操作与程序查询方式和中断控制式相比, 用硬件控制代替了那里的软件控制, 且无需经CPU传数, 因此数据传送速度明显提高。
(√)

11. 8086 的最大工作模式用于多处理机系统, 8086作为主处理器, 其它的处理器为协处理器, 协助主处理器工作。
(√)

主存储器和CPU之间增加高速缓冲存储器的目的是为了扩大主存储器的容量。
(×)

12. 高速缓冲存储器主要是为了解决CPU运算速度与内存读写速度不匹配的矛盾。(√)

13. CPU对外设的访问实质上是对外设接口电路中相应的端口进行访问。
(√)

14. 若I/O端口与主存单元统一用主存地址编址, 那么在计算机的指令系统中可以不设专门的I/O指令。
(√)

15. 8255A工作于方式0时, 不能使用中断, 而在方式1或方式2时, 既可用中断, 也可不用中断。

(√)

16. 任何内部软件中断都不受IF和TF影响。 (×)

17. 在对存储器进行访问时，地址线有效和数据线有效的时间关系应该是数据线较先有效。 (×)

18. Intel 8251A是一个既可工作在同步方式，又可工作在异步方式的通用串行通信接口芯片。

(√)

19. 异步串行通信的收/发双方无需用同一时钟源，只需用同一频率的收发时钟，就能保证可靠的通信。

(√)

20. 在三种基本I/O同步控制方式中，以DMA式控制最好，中断驱动次之，程序查询方式最差。 (×)

21. DMA方式用于高速外围设备的信息传送，能够代替中断方式。 (×)

22. 80X86的外部硬件中断包括非屏蔽中断(NMI)和可屏蔽中断(INTR)两类，都受CPU内部的中断允许标志(IF)的控制。 (×)

23. 在存储器的三种片选译码方法中，全译码不仅存储空间利用率最高、译码电路简单，且不存在地址重叠问题。 (×)

24. 输入/输出设备可以不经过适配器(接口)而直接接到系统总线上和主机进行信息交换。 (×)

25. 虚拟存储器技术的引入，使CPU可寻址的存储空间范围几乎扩展到无穷大。 (×)

26. ROM只可用作微程序设计计算机的控制存储器。 (×)

27. 80X86 MPU提供了两种I/O端口寻址方式：立即数寻址方式和DX寄存器间接寻址方式。前者寻址0~255，后者寻址范围0~64K。

(×)

1.1 32位微机的含义是：这种机器能同时处理32位二进制数。 (√)

1.2 微型计算机工作的过程，本质上就是执行一个特定指令序列的过程。而每执行一条指令都包括取指令、分析、执行和数据处理四个阶段。（×）

1.3 现代高档微机中普遍采用了流水线结构，因此每条指令的执行时间明显缩短。（×）

1.4 标志寄存器是微处理器的基本组成部件之一，其作用是寄存ALU操作结果的某些重要特征。（√）

1.5 程序计数器是确保微处理器有序的执行程序的关键性寄存器，用于存放下一条要执行的指令的地址码。（√）

1.6 任何微处理器都有运算和控制功能，但不具备存储功能。（×）

1.7 微型计算机的工作过程是执行程序的过程，而程序的执行又是重复执行指令的过程，因此计算机的工作过程本质上就是执行指令的过程。（√）

1.8 无论什么微机，其CPU都具有相同的机器指令。（×）

1.9 CPU是中央处理器的简称，它至少包含一个处理器，为了提高计算速度，CPU也可以由多个处理器组成。（√）

1.10 微机的字长愈长，计算精度愈高，指令处理功能愈强。（√）

1.11 8086微处理器内部由执行部件和总线接口部件构成。（√）

1.12 8086和8088的外部数据总线都是16位。（×）

1.13 8086可以工作在两种工作模式，即最小工作模式和最大工作模式。（√）

1.14 8086 的最小工作模式用于单机系统，系统中所有总线控制信号全部由8086 CPU直接提供，因此系统中的总线控制电路可减到最少。（√）

1.15 8086 的最大工作模式用于多处理机系统，8086作为主处理器，其它的处理器为协处理器，协助主处理器工作。（√）

- 1.16 8086在最大工作模式下，系统的控制信号需要由总线控制器8288来变换和组合。（√）
- 1.17 8086具体工作在最大模式还是最小模式，由软件和硬件连接共同决定。（×）
- 1.18 微机中的控制总线提供所有内存储器和I/O设备的时序信号和控制信号，或接收来自I/O设备和内存储器的相应信号。（√）
- 1.19 微处理器在实模式下操作时，段寄存器的用途是定位一个64KB存储器段的起始地址。（√）
- 1.20 总线周期是微处理器中处理动作最小的时间单位。（×）
- 1.21 80X86系列MPU的逻辑段允许段的重叠和交叉。（√）
- 1.22 80486标志寄存器共有32位，其中低16位与8086的16位标志寄存器兼容，且每一位都有含义。（×）
- 1.23 80486工作在实地址时，逻辑段空间最大为64KB，实际应用中可能小于64KB。（√）
- 1.24 8086在对存储器进行访问时，数据线和地址线分时复用，数据线先于地址线有效。（×）
- 1.25 80X86的外部硬件中断包括非屏蔽中断（NMI）和可屏蔽中断（INTR）两类，它们都受CPU内部的中断允许标志（IF）的控制。（×）
- 1.26 虚拟8086方式下每个任务的寻址空间是1MB。（√）
- 1.27 80386的虚拟8086方式往往是CPU工作于多任务下的某一任务对应的方式。（√）
- 1.28 保护模式存储器寻址中，段寄存器中含有一个选择子，该选择子用于从局部或全局描述符表中选择一个描述符。（√）
- 1.29 无论页式、段式或段页式虚拟存储器都是使用驻留在内存中的转换函数表来完成逻辑地址向物理地址的变换。（√）

1.30 虚拟存储器是在存储体系层次结构基础上，通过硬件和软件的综合来扩大用户可用存储空间的一种新的计算机存储技术，它提供比物理存储器大得多的逻辑地址空间。（√）

1.1 在80X86主存中，一个字节数据占用一个存储单元，一个字占用两个相邻的单元，字的高8位存放在高地址单元，低8位存放在低地址单元。（√）

1.2 ROM只可用作微程序设计计算机的控制存储器。（×）

1.3 在设计随机存储器时，当存储容量较小时一般使用静态存储器；而当容量较大时则多使用动态存储器。（√）

1.4 主存储器和CPU之间增加高速缓冲存储器的目的是为了扩大主存储器的容量。（×）

1.5 ROM可用作输入/输出缓冲区。（×）

1.6 RAM是非易失性的存储器，即使电源关断，其内容也不会丢失。（×）

1.7 对所有的只读存储器都只能进行读取操作，而不能执行写操作。（×）

1.8 在微型计算机中，多用SRAM存储芯片构成高速缓冲存储器。（√）

1.9 在对存储器进行访问时，地址线有效和数据线有效的关系应该是数据线较先有效。（×）

1.10 静态随机存储器的内容可以永久性保存。（×）

1.11 EPROM中存放的信息，在计算机执行程序时只能读，且断电后仍能保持原有的信息。（√）

1.12 在存储器的片选译码方法中，全译码不仅存储空间利用率最高、译码电路简单，且不存在地址重叠问题。（×）

1.13 在实际存储容量超过微处理器的地址线所能提供的最大寻址范围时必须采用扩充地址法。（√）

1.14 动态RAM组成的存储器，必须周期性进行刷新，否则存放的内容就会丢失。而刷新对用户是透明

的。(√)

1.15 存储器的存储空间与微机的地址线位数有关。

(√)

1.16 微机中所有的存储器通常都直接与系统总线相连。(×)

1.17 高速缓冲存储器主要是为了解决CPU运算速度与内存读写速度不匹配的矛盾。(√)

1.18 静态随机存取存储器SRAM的存取速度快，一般用作微机中的主存储器。(×)

1.19 8086的存储器组织中，当A0=0时，访问奇体中的一个字节；当BHE=0时，访问偶体中的一个字节。(×)

1.20 8086存储器系统中，当A0=0且BHE=0时，访问奇地址起始的一个字。(×)

1.21 8086存储器系统中，偶地址数据由数据线低8位传送。(√)

1.22 8086存储器系统中，奇地址数据由数据线高8位传送。(√)

1.23 计算机存储器连接中采用部分译码电路时，地址空间有重叠区。(√)

1.1 输入/输出设备必须经过适配器（接口）才能接到系统总线上和主机进行信息交换。(√)

1.2 若I/O端口与主存单元统一用主存地址编址，那么在计算机的指令系统中可以不设专门的I/O指令。(√)

1.3 80X86在采用独立I/O方式编址时，I/O端口地址与存储器地址一样由段基址和偏移地址两部分组成。

(×)

1.4 通常每个外设都有一个接口寄存器与主机交换信息。因此，主机只能用一个唯一地址来访问一个外设。(×)

1.5 DMA方式的I/O操作与程序查询方式和中断控制式相比，用硬件控制代替了那里的软件控制，且无需

经CPU传数，因此数据传送速度明显提高。(√)

1.6 主机与外设采用查询方式传送数据时，主机与设备是串行工作的。(√)

1.7 在三种基本I/O同步控制方式中，以DMA方式控制最好，中断驱动次之，程序查询方式最差。(×)

1.8 在I/O接口的各种寄存器中，状态寄存器必须具有三态输出功能。(√)

1.9 8086 CPU响应外设的中断请求时，要把标志寄存器的IF和TF清零。(√)

1.10 80X86的PC系列机中，I/O端口采用与存储器统一的编址方式。(×)

1.11 数据信息、状态信息和控制信息通常都以数据形式通过数据总线同CPU进行传送。(√)

1.12 CPU对外设的访问实质上是对外设接口电路中相应的端口进行访问。(√)

1.13 基本输出接口是保持微处理器输出数据的一个锁存器。(√)