

Sayısal Sistemler-H13CD2

Kaydediciler

Dr. Meriç Çetin
versiyon281224

Flip-Flop İçeren Devreler

- Saat ayarlı (clocked) ardışık bir devre, bir grup flip-flop ve birleşik kapılardan oluşur.
- Flip-flop'ların kullanımı gereklidir, çünkü bu yapıların yokluklarında devre tamamen kombinyasyonel bir devreye indirgenir (kapılar arasında geri bildirim olmaması şartıyla).
- Flip-flop'lu bir devre, kombinyasyonel kapıların yokluğunda bile ardışık bir devre olarak kabul edilir.
- Flip-flop içeren devreler genellikle işleve göre sınıflandırılır. Bunlar:
 - **Sayıcılar ve**
 - **Kaydedicilerdir.**

Kaydediciler (Yazmaç→Register)

- Kaydedici, her biri ortak bir saat darbesi (clock) paylaşan ve bir bitlik bilgi depolayabilen bir flip-flop grubudur.
- Bir n-bitlik yazmaç, **n bitlik** ikili bilgi depolayabilen **n adet flip-flop**'tan oluşur.
- Bir kaydedicide flip-flop'lara ek olarak belirli veri işleme görevlerini gerçekleştiren kombinasyonel devreler olabilir.
- En geniş tanımıyla, bir kaydedici, işlemlerini etkileyen kapılarla birlikte bir grup flip-flop'tan oluşur. Flip-flop'lar ikili bilgiyi tutar ve kapılar, bilginin kaydediciye nasıl aktarılacağını belirler.
- Bir sayıcı, esasen önceden belirlenmiş bir ikili durum dizisinden geçen bir kaydedicidir. Sayıcıdaki kapılar, öngörülen durum sırasını oluşturacak şekilde bağlanır. Sayıcılar özel bir kaydedici türü olsa da, onlara farklı bir ad vererek onları ayırt etmek yaygındır.

Kaydedici, Sayıcı, Bellek ?

- Kaydediciler, sayıcılar ve bellekler, genel olarak sayısal sistemlerin ve özelde sayısal bilgisayarların tasarımında yaygın olarak kullanılmaktadır.
- **Kaydediciler**, sıralı devrelerin tasarımını kolaylaştırmak için de kullanılabilir.
- **Sayıcılar**, sayısal bir sistemdeki işlemleri sıralarken veya kontrol ederken zamanlama değişkenleri oluşturmak için kullanışlıdır.
- **Bellekler**, programların ve verilerin sayısal bir bilgisayarda depolanması için gereklidir.
- Bu bileşenlerin işleyişine ilişkin bilgi, sayısal sistemlerin organizasyonunun ve tasarımının anlaşılması için vazgeçilmezdir.

Kaydediciler

- Ticari olarak çeşitli kaydedici türleri mevcuttur. Yalnızca flip-flop'lardan oluşan kaydedici en basit kaydedicidir.
- Bir sonraki şekilde dört bitlik bir veri depolama kaydı oluşturmak için dört tane D tipi flip-flop ile oluşturulmuş bir kaydedici gösterilmiştir.
- Ortak clock, her darbenin pozitif kenarındaki tüm flip-flopları tetikler ve dört girişte bulunan ikili veriler kaydedici listesine aktarılır.
- Saat darbesinden önceki (I3, I2, I1, I0) değer, saat darbesinden sonraki (A3, A2, A1, A0) değeri belirler.
- Kaydedicide depolanan ikili bilgiyi elde etmek için dört çıkış herhangi bir zamanda örneklenebilir.
- Clear_b girişi, dört flip-flop'un hepsinin R(sıfırlama) girişine gider. Bu giriş 0'a gittiğinde, tüm flip-flop'lar asenkron olarak sıfırlanır. Clear_b girişi, clock'dan önce kaydediciyi temizlemek için kullanışlıdır.
- Normal çalışma sırasında R girişleri lojik 1'de tutulmalıdır.

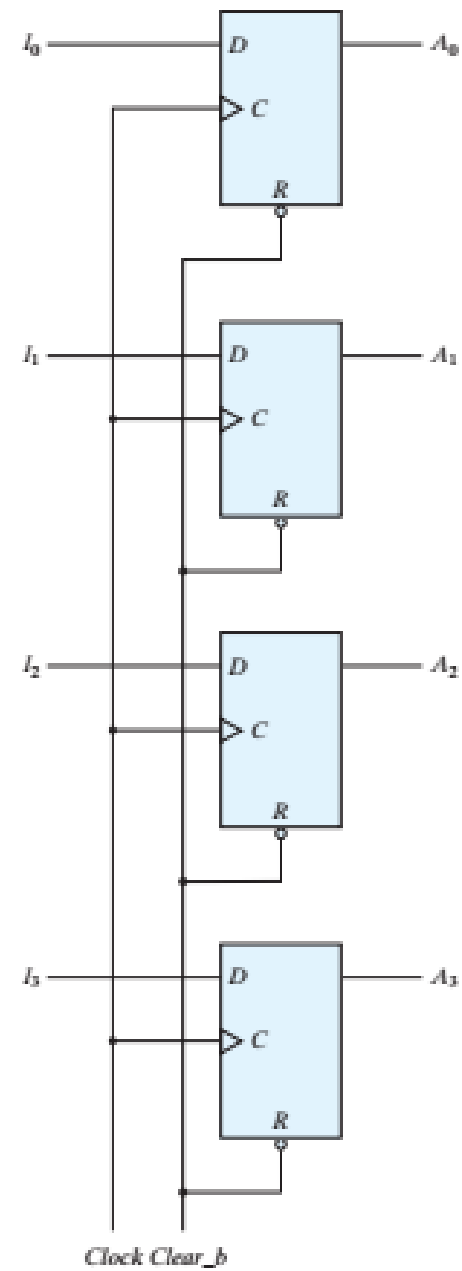
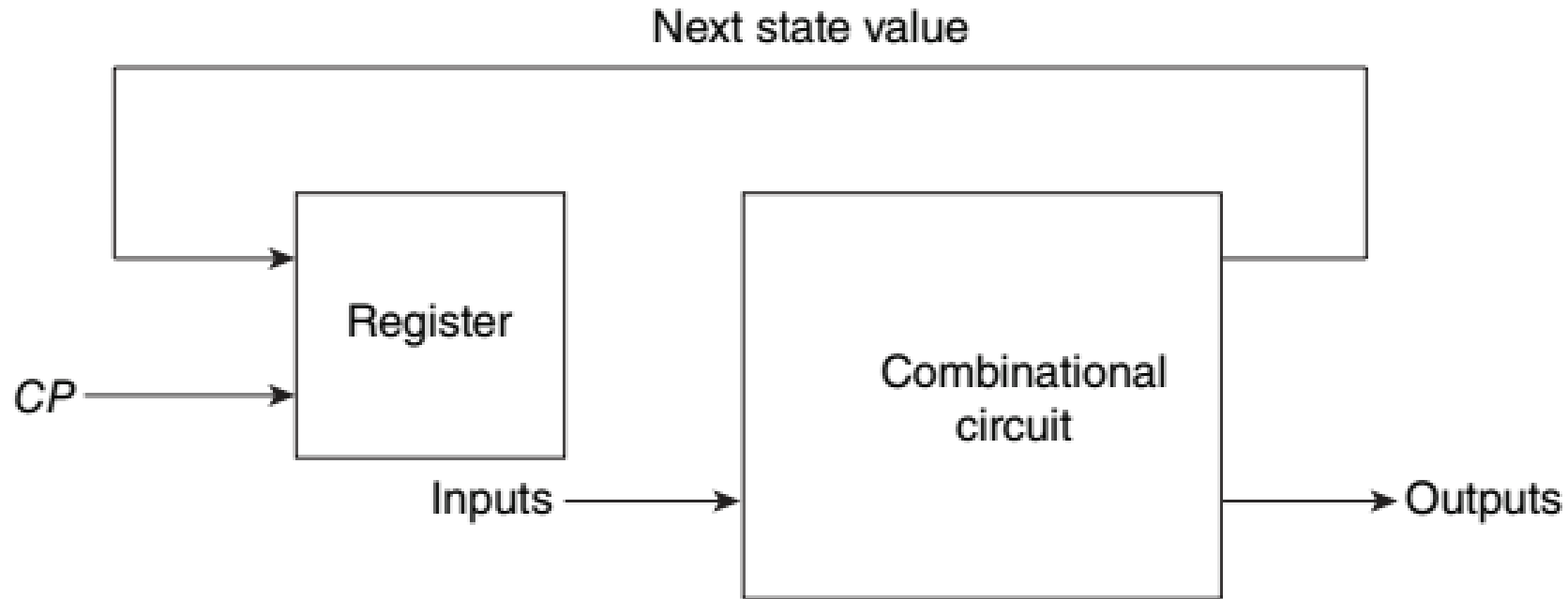


FIGURE 6.1
Four-bit register

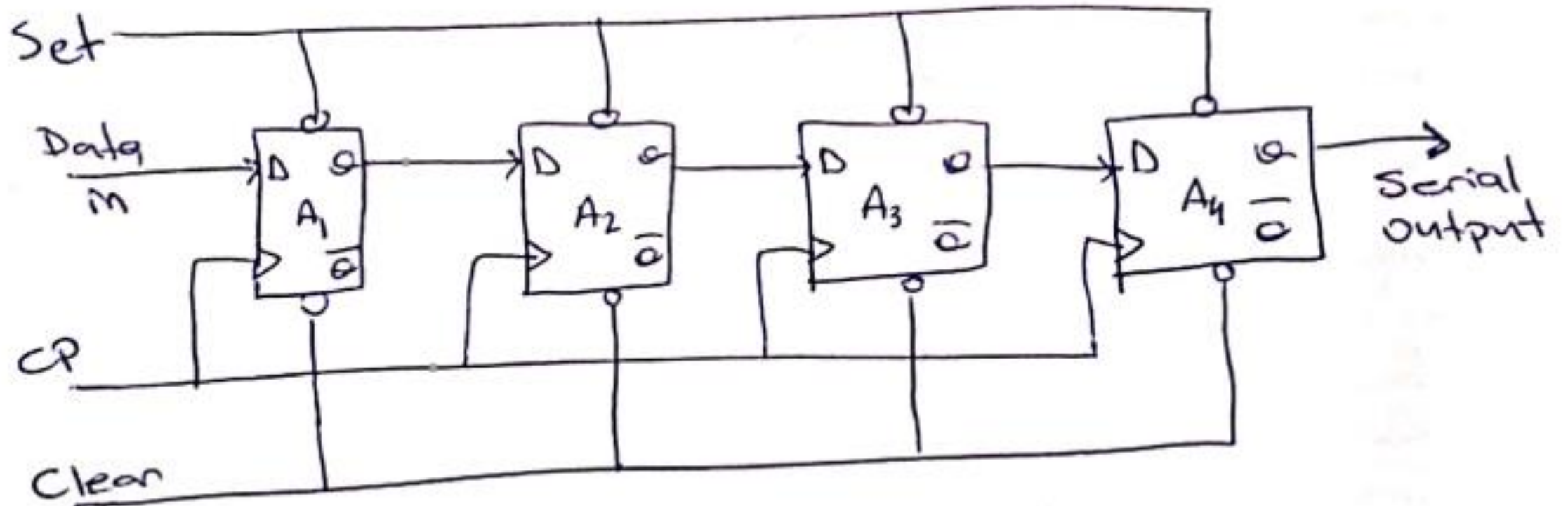
- Bir kaydedici kullanan sıralı bir devrenin blok diyagramı şekilde görülmektedir.
- Kaydedicinin mevcut durumu ve harici girişler, kaydedicinin bir sonraki durumunu ve harici çıkışların değerlerini belirler.
- Kombinasyonel devrenin bir kısmı bir sonraki durumu belirler ve diğer kısım çıktıları üretir.
- Kombinasyonel devreden gelen bir sonraki durum değeri, bir clock ile yazmaca yüklenir.



Kaydediciler

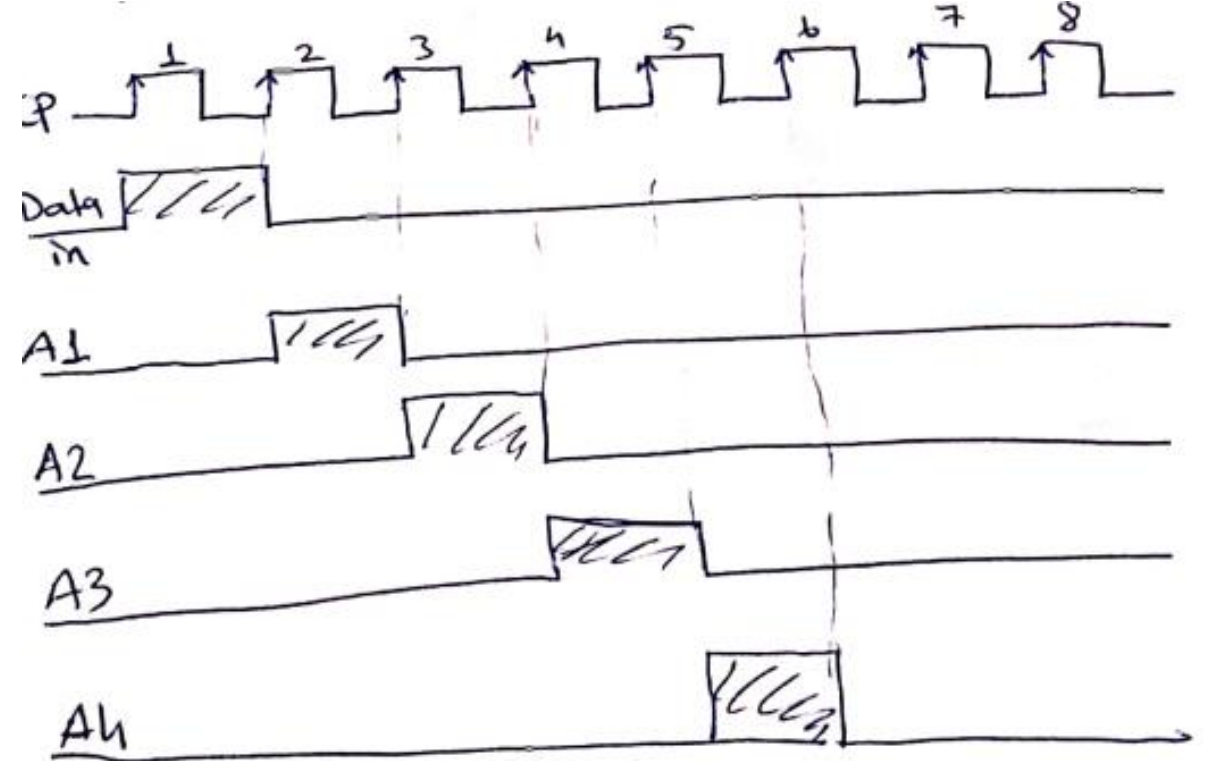
- Hafıza elemanları içinde ve tampon belleklerde kullanılan kaydediciler 4 sınıfa ayrılır:
 - SISO → Serial-Input Serial-Output
 - SIPO → Serial-Input Parallel-Output
 - PISO → Parallel-Input Serial-Output
 - PIPO → Parallel-Input Parallel-Output

SISO



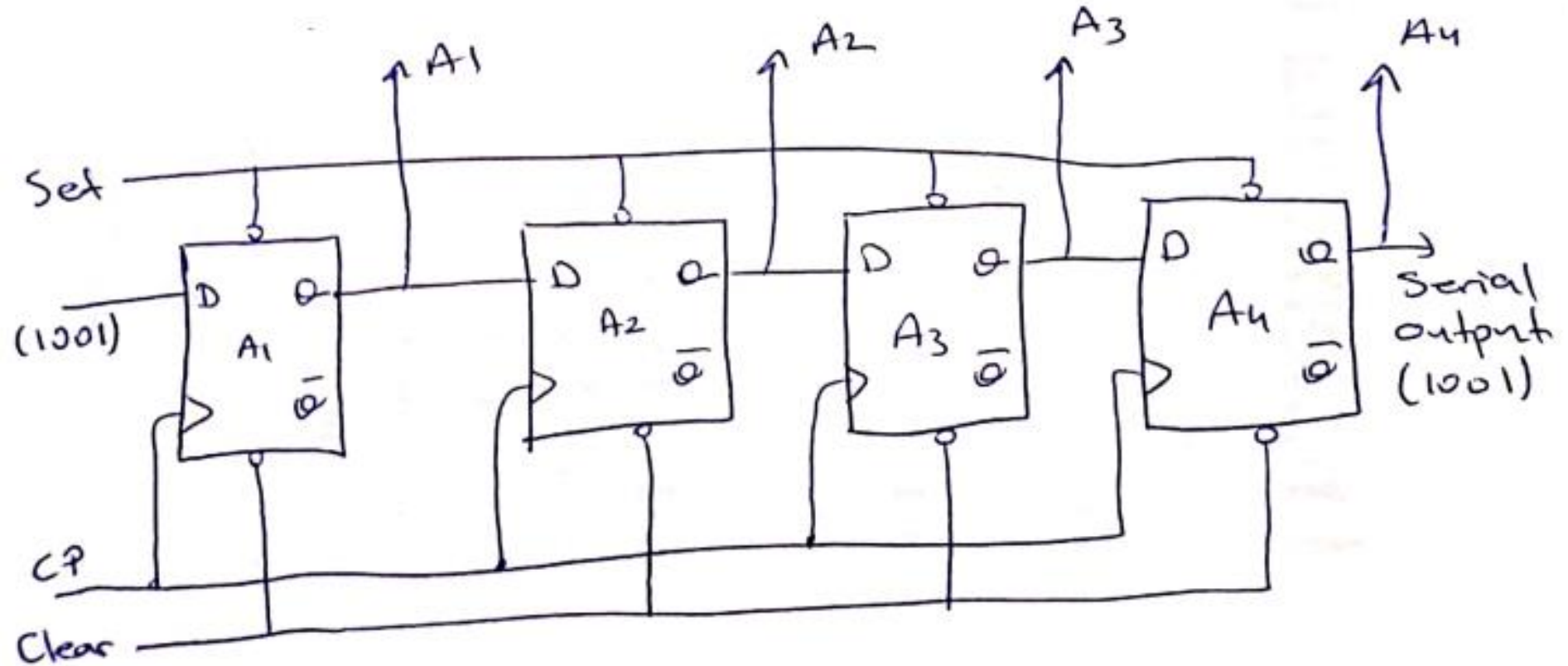
SISO

- Veri girişine gönderilen bitler A1, A2, A3, A4 flip-flop'larının çıkışlarından darbe genişliği kadar zaman farkıyla geçmektedir. Bir darbenin genişliği clock genişliğinde olmaktadır. Bu nedenle, giriş darbesiyle çıkış darbesi arasında bir zaman farkı doğmaktadır. Bu zaman farkının hesabı şöyledir:
- Eğer darbenin frekansı f ise bir alternansın değişim zamanı (periyodu) $T=1/f(\text{sn})$ 'dir.
- 4 adet flip-flop olduğuna göre giriş darbesi çıkışa gelinceye kadar geçecek zaman $4 \cdot T(\text{sn})$ olacaktır. Kaydedicideki flip-flop sayısı ne kadar fazlaysa gecikme zamanı da o kadar uzun sürer.



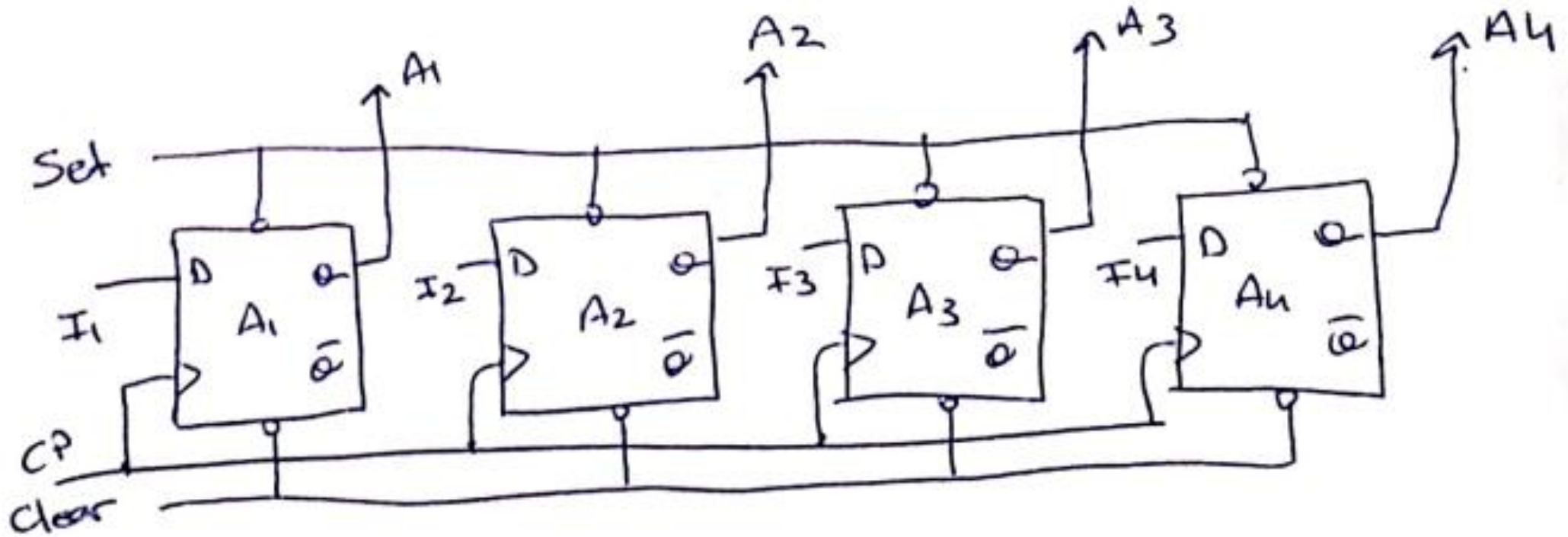
SIPO

- 4 bitlik bilgi 4 CP'den sonra okunur

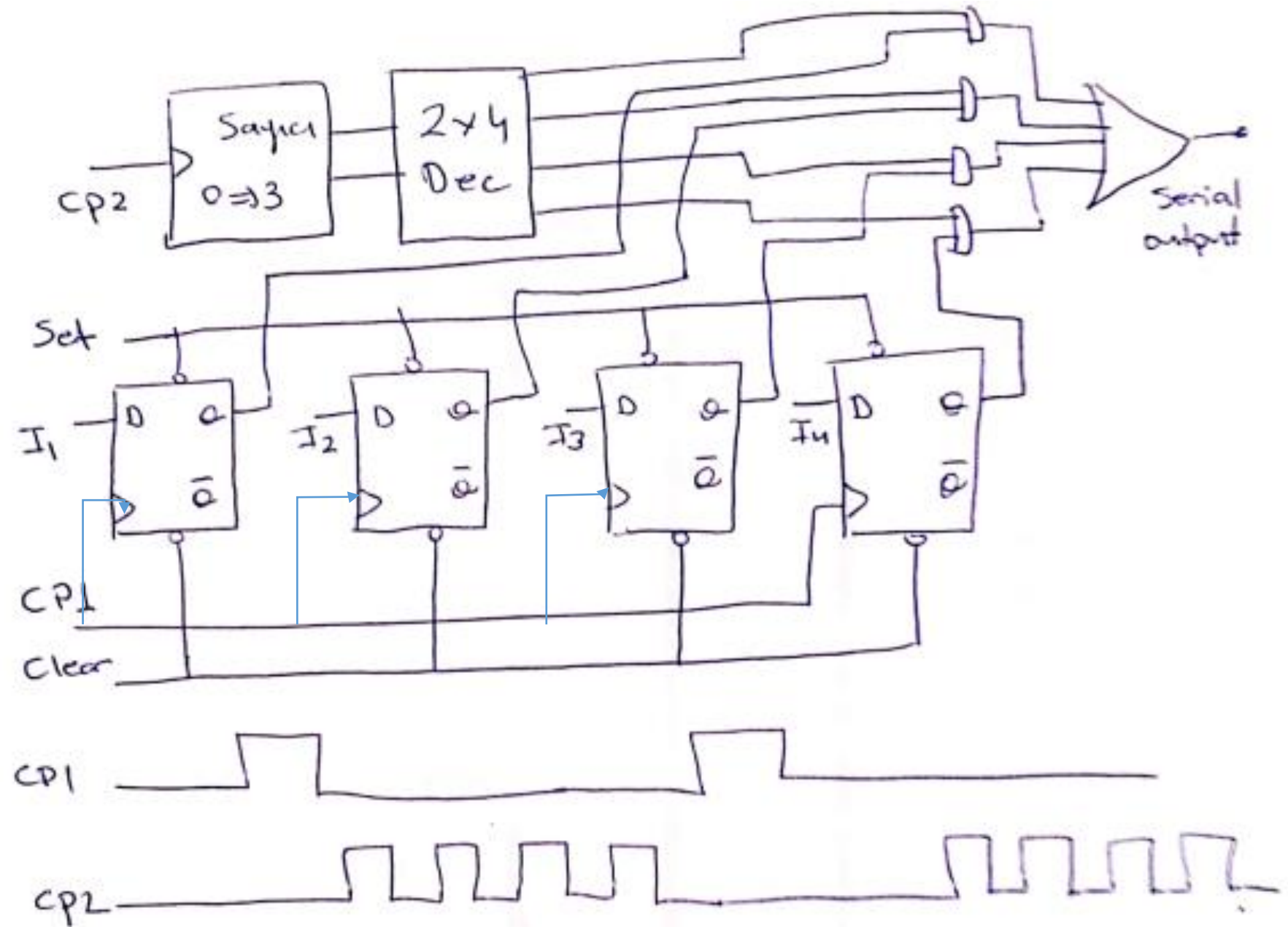


PIPO

- Paralel girişlerden gönderilen 4 bitlik bilgi 1 CP'den sonra okunur



PISO



Kaydedici Kullanarak Ardışık Lojik Devre Tasarımı

- A1, A2 flip-flop,
- x giriş,
- y çıkış
- olmak üzere durum tablosu verilen ardışık lojik devreyi tasarlayınız.

Present state			Next state			Output
A ₁	A ₂	x	A ₁	A ₂	y	
0	0	0	0	0	0	
0	0	1	0	1	0	
0	1	0	0	1	0	
0	1	1	0	0	1	
1	0	0	1	0	0	
1	0	1	0	1	0	
1	1	0	1	1	0	
1	1	1	0	0	1	

(a) State Table

Kaydedici Kullanarak Ardışık Lojik Devre Tasarımı

$$A_1(t + 1) = \Sigma(4,6)$$

$$A_2(t + 1) = \Sigma(1, 2, 5, 6)$$

$$y(A_1, A_2, x) = \Sigma(3, 7)$$

- Karnaugh diyagramları ile sadeleştirirsek;

$$A_1(t + 1) = A_1x'$$

$$A_2(t + 1) = A_2 \oplus x$$

$$y = A_2x$$

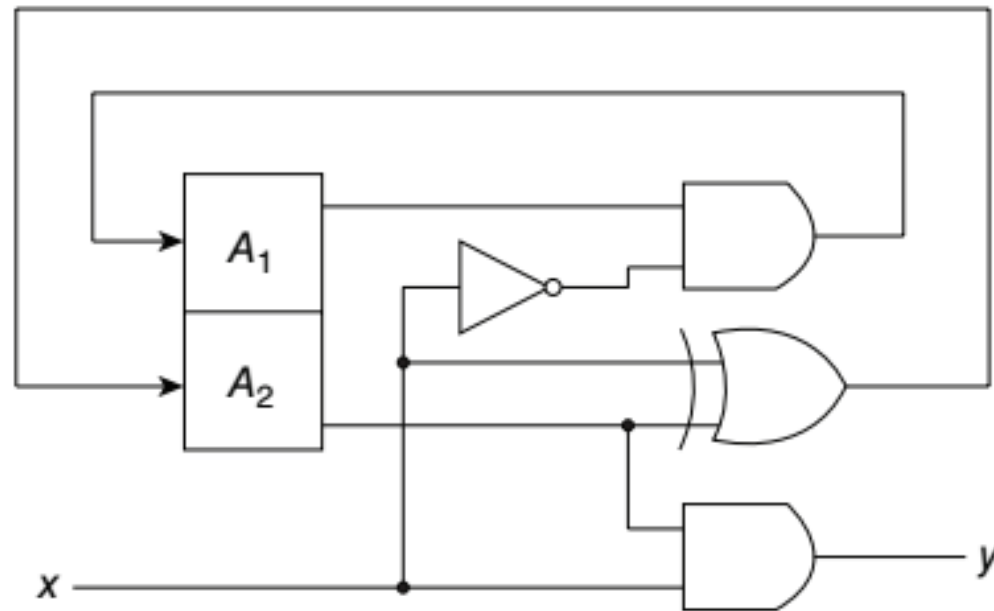
Present state			Next state		Output
A_1	A_2	x	A_1	A_2	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	0	0
1	0	1	0	1	0
1	1	0	1	1	0
1	1	1	0	0	1

(a) State Table

Kaydedici Kullanarak Ardışık Lojik Devre Tasarımı

Present state			Input		Next state		Output
A_1	A_2	x	A_1	A_2	A_1	A_2	y
0	0	0	0	0	0	0	0
0	0	1	0	1	0	1	0
0	1	0	0	1	0	1	0
0	1	1	0	0	0	0	1
1	0	0	1	0	1	0	0
1	0	1	0	1	0	1	0
1	1	0	1	1	1	1	0
1	1	1	0	0	0	0	1

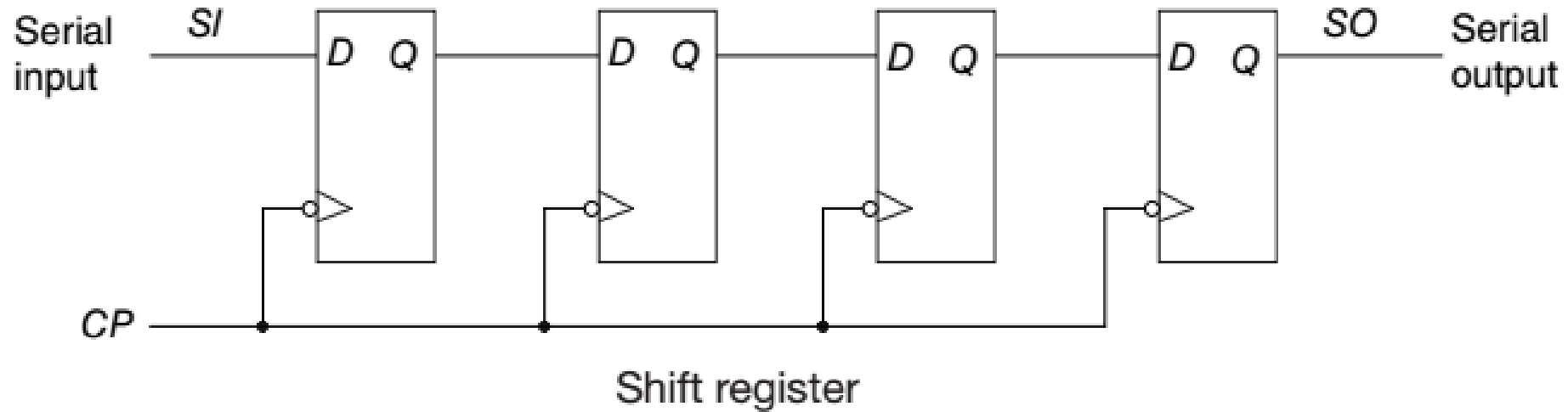
(a) State Table



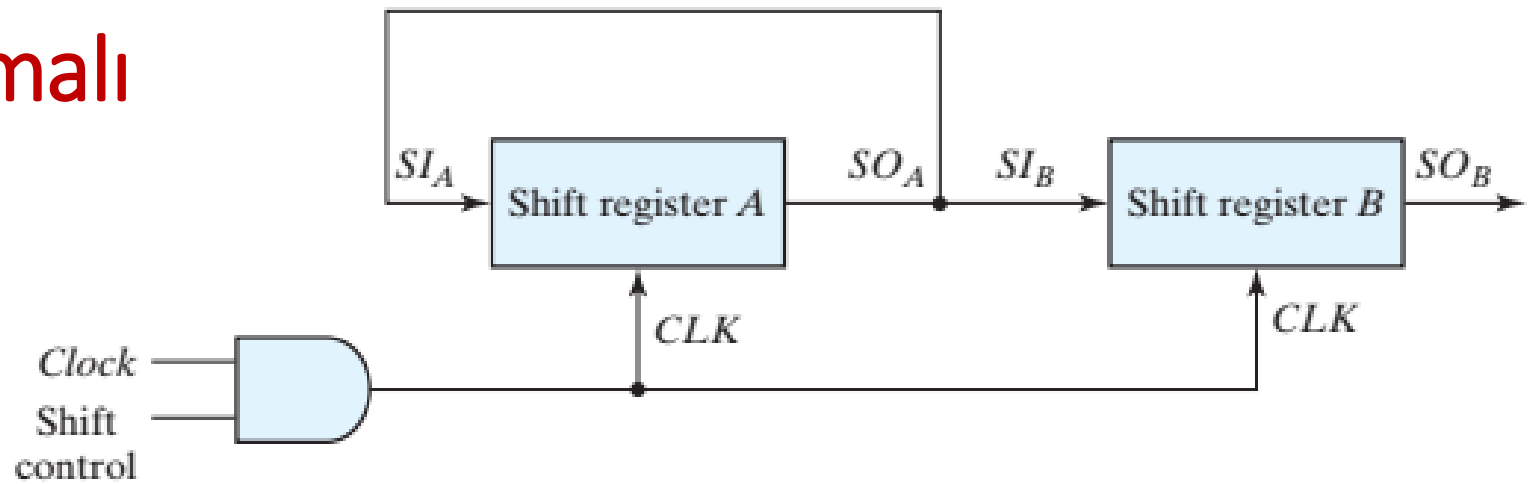
(b) Logic Diagram

Sağ-sola Kaydırmalı Kaydediciler (Shift Registers)

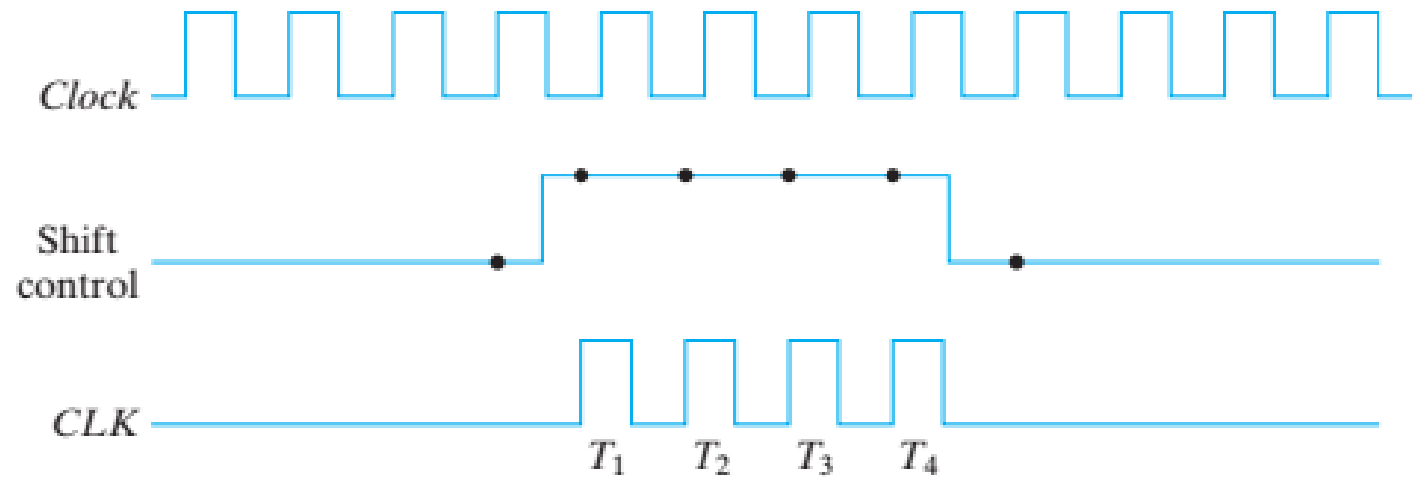
- Üzerindeki ikili (binary) bilgiyi sağa veya sola kaydırarak aktaran kaydedicilerdir.
- Çoğunlukla D tipi flip-flop'lar kullanılır.



Sağa-sola Kaydırmalı Kaydediciler (Shift Registers)



(a) Block diagram

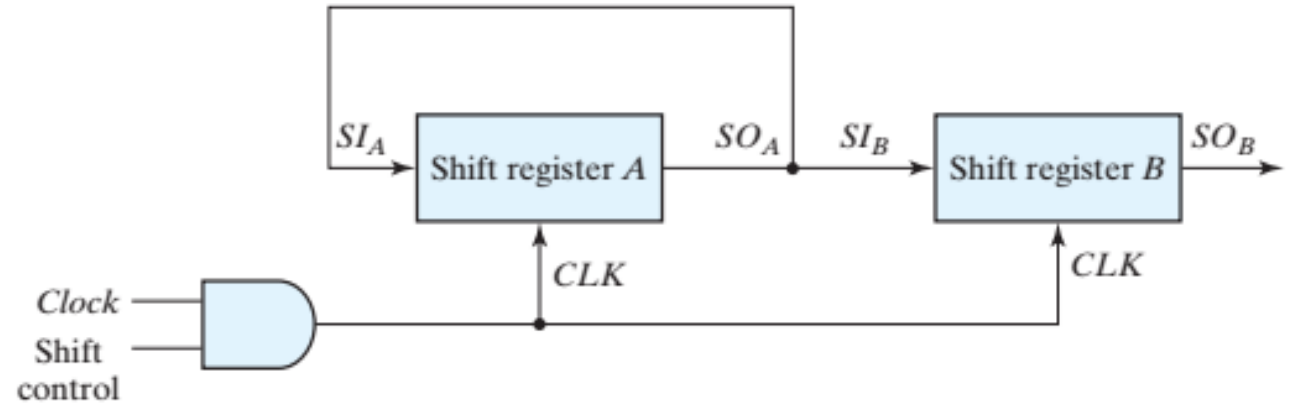


(b) Timing diagram

FIGURE 6.4

Serial transfer from register *A* to register *B*

Sağa-sola Kaydırmalı Kaydediciler (Shift Registers)

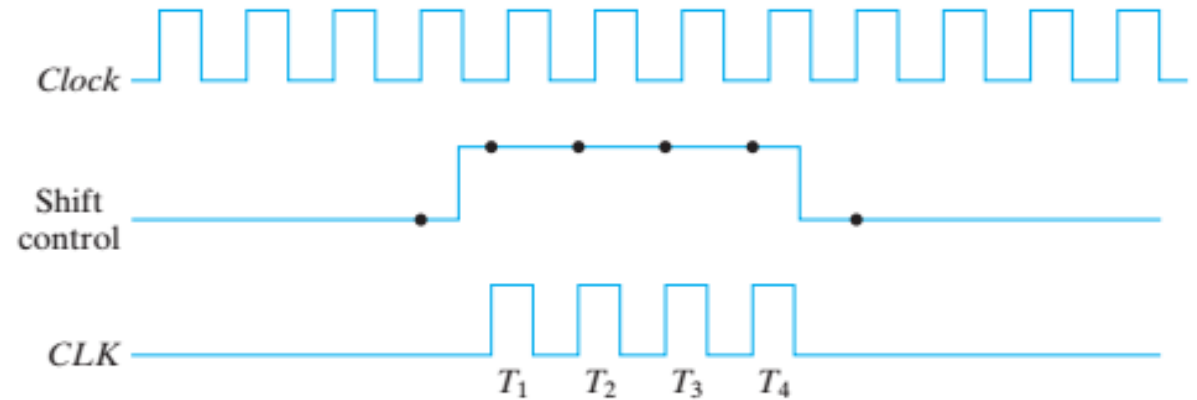


(a) Block diagram

Table 6.1

Serial-Transfer Example

Timing Pulse	Shift Register A				Shift Register B			
Initial value	1	0	1	1	0	0	1	0
After T_1	1	1	0	1	1	0	0	1
After T_2	1	1	1	0	1	1	0	0
After T_3	0	1	1	1	0	1	1	0
After T_4	1	0	1	1	1	0	1	1



(b) Timing diagram

FIGURE 6.4

Serial transfer from register A to register B

Sağa-sola Kaydırmalı Kaydediciler (Shift Registers)

Serial transfer example

Timing pulse	Shift register <i>A</i>				Shift register <i>B</i>				Serial output of <i>B</i>
Initial value	1	0	1	1	0	0	1	0	0
After T_1	1	1	0	1	1	0	0	1	1
After T_2	1	1	1	0	1	1	0	0	0
After T_3	0	1	1	1	0	1	1	0	0
After T_4	1	0	1	1	1	0	1	1	1