

Sayısal Sistemler-H11CD2

Ardışık Lojik Devre Tasarım Örnekleri

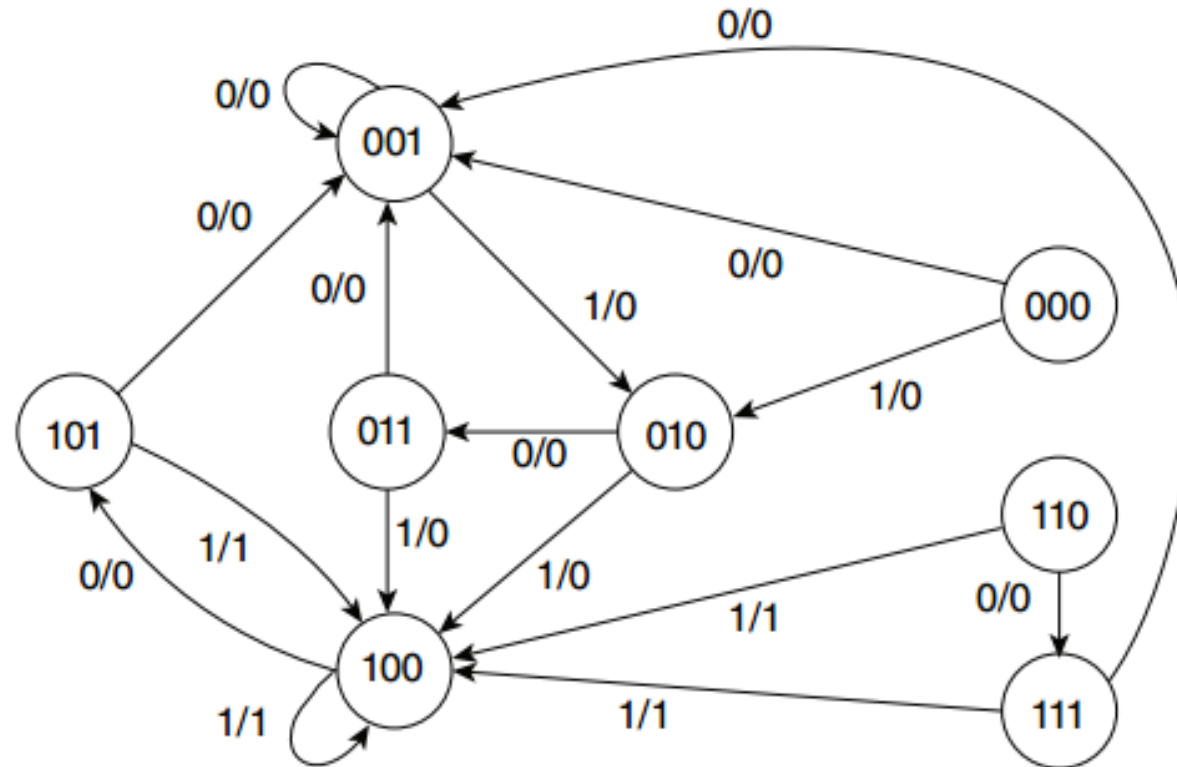
Dr. Meriç Çetin
versiyon161224

Ardışık Lojik Devre Tasarım Prosedürü

- Ardışık lojik devre tasarımı için şu yol takip edilmelidir:
 - Devre davranışı tanımlanır. Bu, durum diyagramlarıyla belirlenir.
 - Elde edilen değerler durum tablosuna taşınır.
 - Gerekli flip-flop sayısı ve flip-flop türü belirlenir.
 - Karnaugh veya diğer indirgeme metotları kullanılarak kombinasyonel devre çıkış ve flip-flop giriş denklemleri elde edilir.
 - Elde edilen bu sonuçlara göre lojik devre tasarımı yapılır.

Ardışık lojik devre tasarım örneği

- Aşağıda durum diyagramı verilen lojik devreyi R-S flip-floplarını kullanarak gerçekleştiriniz.

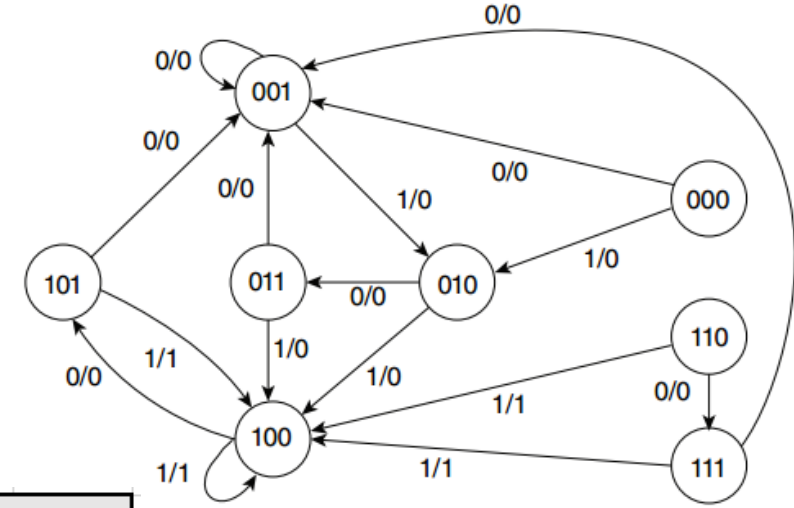


State diagram for the circuit

Ardışık lojik devre tasarım örneği

- Tüm durumları düşünürsek aşağıdaki tablo üzerinden çözüme gidilir.

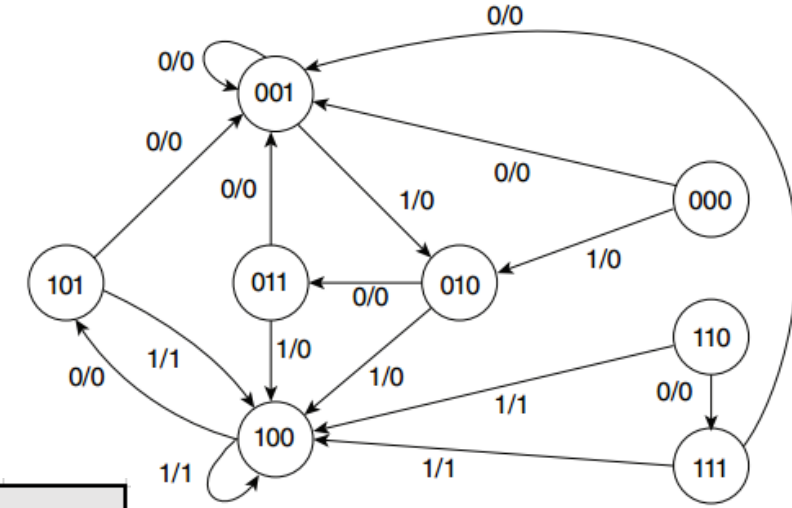
Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıktıları						
Önceki Durum			Giriş				Flip-Flop Girişleri						Çıkış
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	0	0	0	0	1							
0	0	0	1	0	1	0							
0	0	1	0	0	0	1							
0	0	1	1	0	1	0							
0	1	0	0	0	1	1							
0	1	0	1	1	0	0							
0	1	1	0	0	0	1							
0	1	1	1	1	0	0							
1	0	0	0	1	0	1							
1	0	0	1	1	0	0							
1	0	1	0	0	0	1							
1	0	1	1	1	0	0							
1	1	0	0	1	1	1							
1	1	0	1	1	0	0							
1	1	1	0	0	0	1							
1	1	1	1	1	0	0							



State diagram for the circuit

Ardışık lojik devre tasarım örneği

- Bu soruda bazı durumların **kullanılmadığını/önemsiz olduğunu varsayalım**. Bu soru için 000, 110 ve 111 koşulları kullanılsın. Durum tablosu şöyle olur.

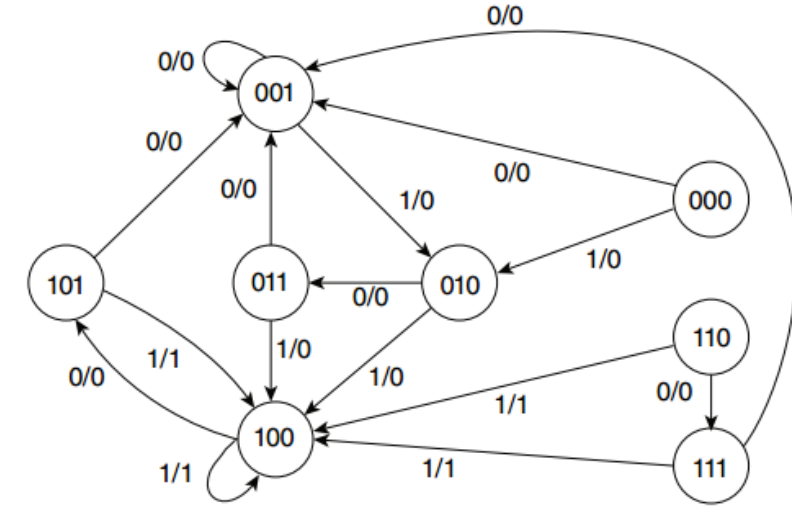


State diagram for the circuit

Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıktıları						
Önceki Durum			Giriş				Flip-Flop Girişleri						Çıkış
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	0	0	0	0	1							
0	0	0	1	0	1	0							
0	0	1	0	0	0	1							
0	0	1	1	0	1	0							
0	1	0	0	0	1	1							
0	1	0	1	1	0	0							
0	1	1	0	0	0	1							
0	1	1	1	1	0	0							
1	0	0	0	1	0	1							
1	0	0	1	1	0	0							
1	0	1	0	0	0	1							
1	0	1	1	1	0	0							
1	1	0	0	1	1	1							
1	1	0	1	1	0	0							
1	1	1	0	0	0	1							
1	1	1	1	1	0	0							

Ardışık lojik devre tasarım örneği

- Bu soru için 000, 110 ve 111 koşulları kullanılsın.



State diagram for the circuit

Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıkışları						
Önceki Durum		Giriş	Flip-Flop Girişleri						Çıkış				
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	1	0	0	0	1							
0	0	1	1	0	1	0							
0	1	0	0	0	1	1							
0	1	0	1	1	0	0							
0	1	1	0	0	0	1							
0	1	1	1	1	0	0							
1	0	0	0	1	0	1							
1	0	0	1	1	0	0							
1	0	1	0	0	0	1							
1	0	1	1	1	0	0							

Flip-flop durum geiş tabloları

Flip-flop excitation tables

$Q(t)$	$Q(t+1)$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

(a) RS

$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(b) JK

$Q(t)$	$Q(t+1)$	D
0	0	0
0	1	1
1	0	0
1	1	1

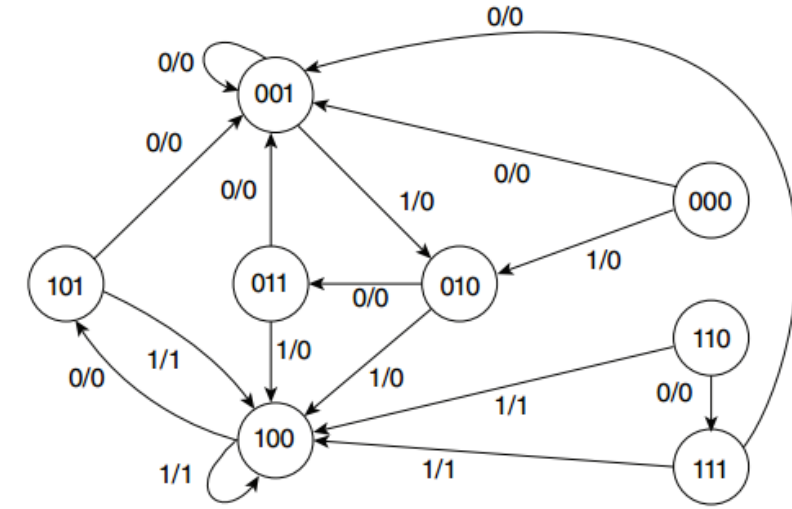
(c) D

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

(d) T

Ardışık lojik devre tasarım örneği

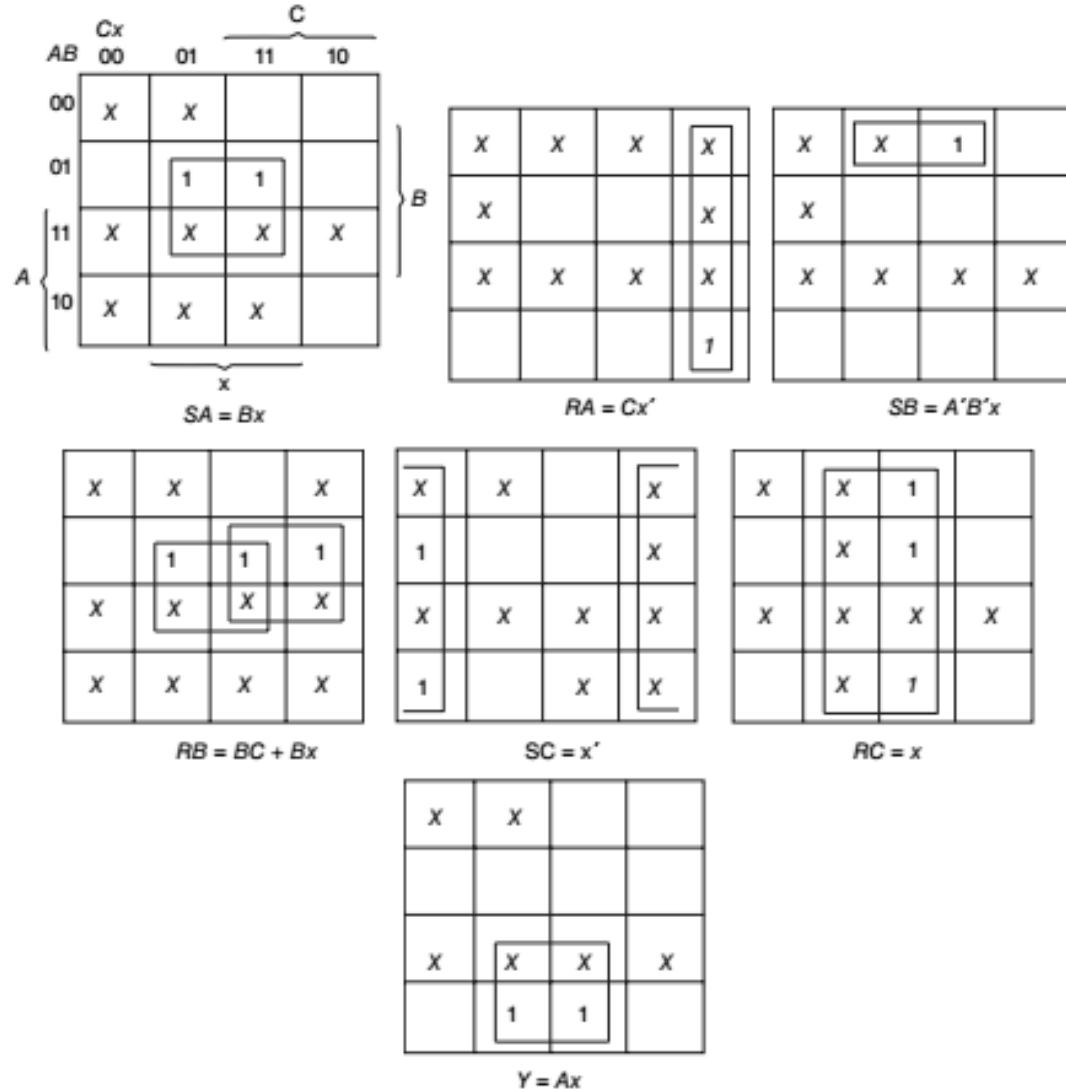
- Bu soru için 000, 110 ve 111 koşulları kullanılsın.



State diagram for the circuit

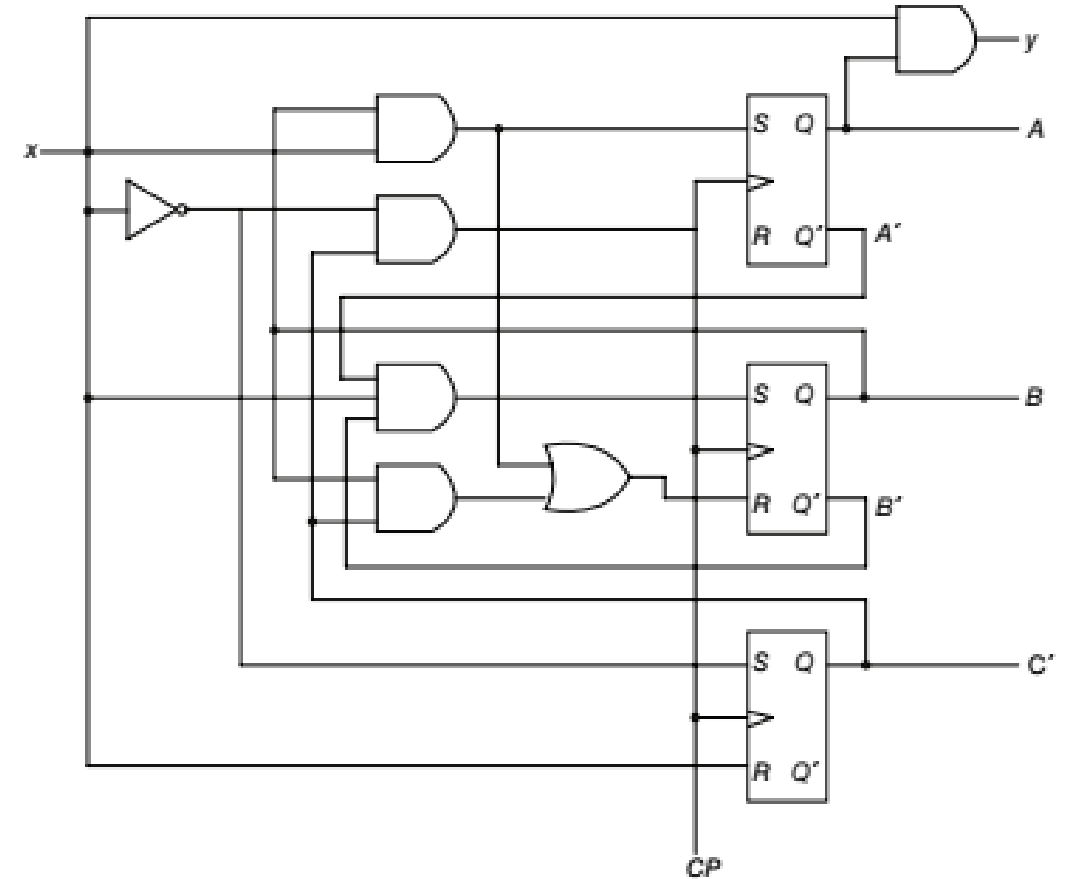
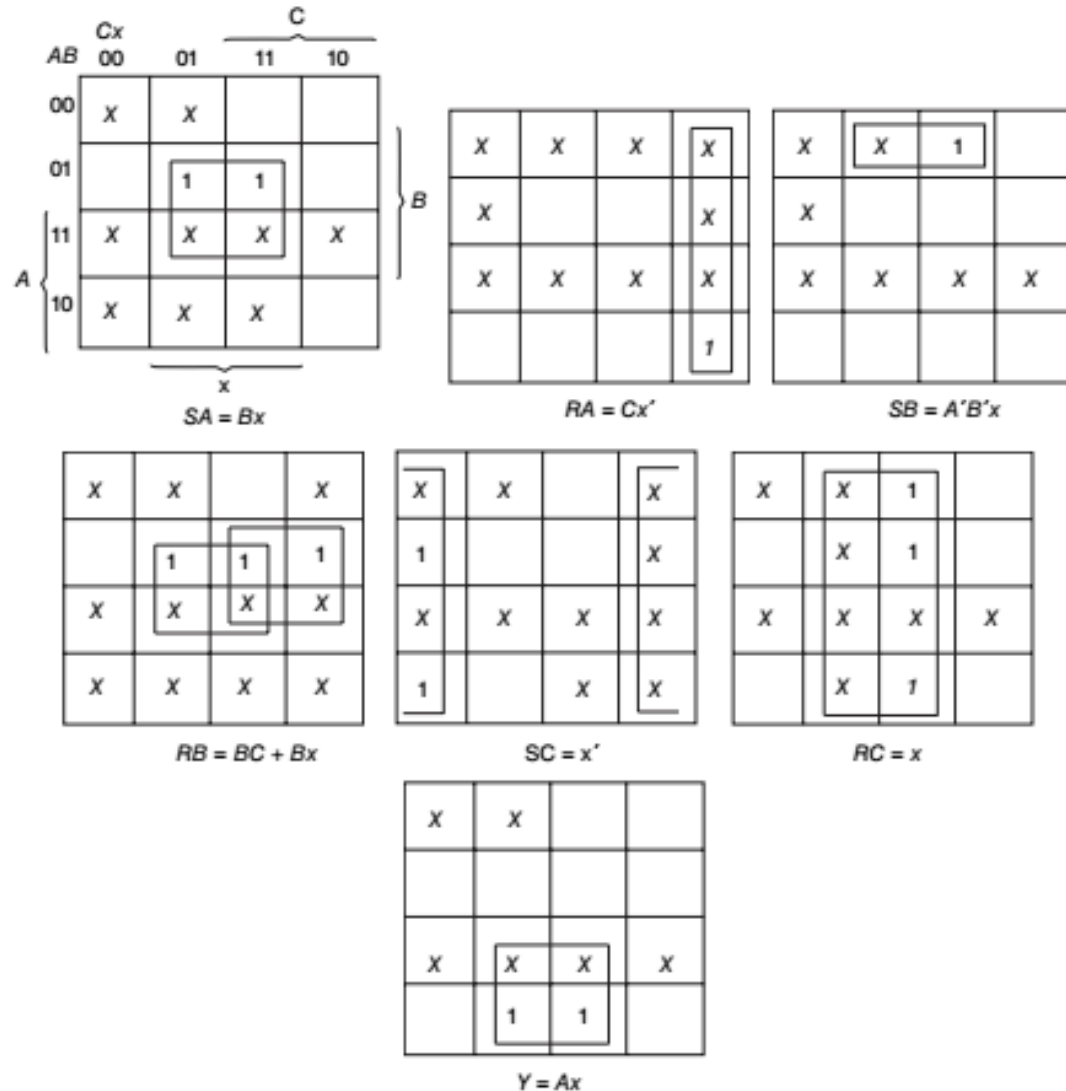
Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıktıları						
Önceki Durum			Giriş				Flip-Flop Girişleri						Çıkış
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	1	0	0	0	1	0	X	0	X	X	0	0
0	0	1	1	0	1	0	0	X	1	0	0	1	0
0	1	0	0	0	1	1	0	X	X	0	1	0	0
0	1	0	1	1	0	0	1	0	0	1	0	X	0
0	1	1	0	0	0	1	0	X	0	1	X	0	0
0	1	1	1	1	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	X	0	0	X	1	0	0
1	0	0	1	1	0	0	X	0	0	X	0	X	1
1	0	1	0	0	0	1	0	1	0	X	X	0	0
1	0	1	1	1	0	0	X	0	0	X	0	1	1

Ardışık lojik devre tasarım örneği



Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıktıları						
Önceki Durum				Giriş			Flip-Flop Girişleri						Çıkış
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	1	0	0	0	1	0	X	0	X	X	0	0
0	0	1	1	0	1	0	0	X	1	0	0	1	0
0	1	0	0	0	1	1	0	X	X	0	1	0	0
0	1	0	1	1	0	0	1	0	0	1	0	X	0
0	1	1	0	0	0	1	0	X	0	1	X	0	0
0	1	1	1	1	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	X	0	0	X	1	0	0
1	0	0	1	1	0	0	X	0	0	X	0	X	1
1	0	1	0	0	0	1	0	1	0	X	X	0	0
1	0	1	1	1	0	0	X	0	0	X	0	1	1

Ardışık lojik devre tasarım örneği



Ardışık lojik devre tasarım örneği

- D Flip-Flopları kullanarak devre tasarımını yapınız.

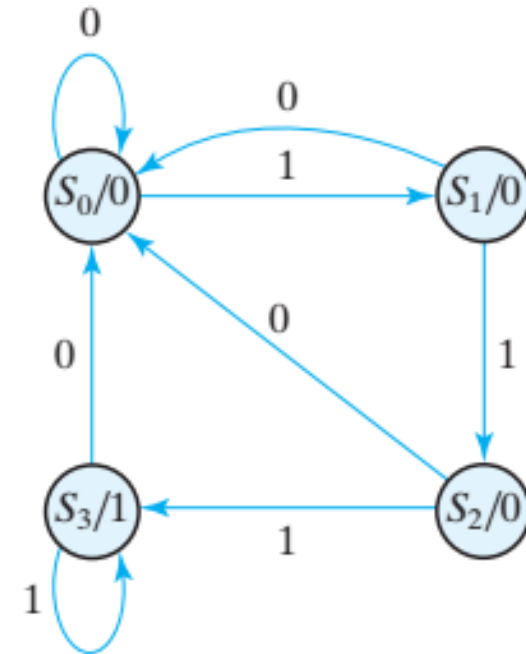


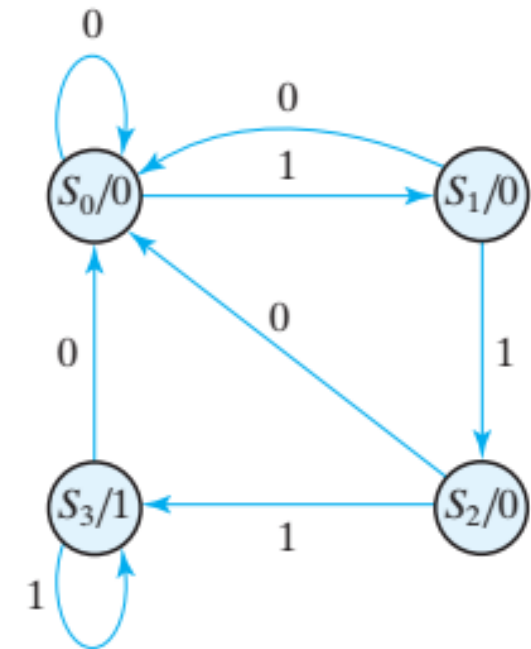
FIGURE 5.27

State diagram for sequence detector

D Flip-Flop Temelli Tasarım

Table 5.11
State Table for Sequence Detector

Present State		Input x	Next State		Output y
A	B		A	B	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1



Ardışık lojik devre tasarım örneği

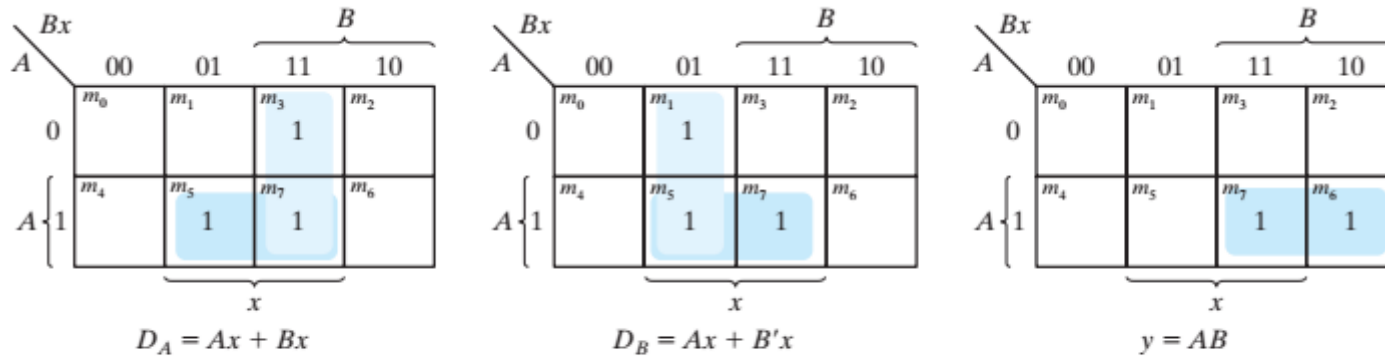


FIGURE 5.28
K-Maps for sequence detector

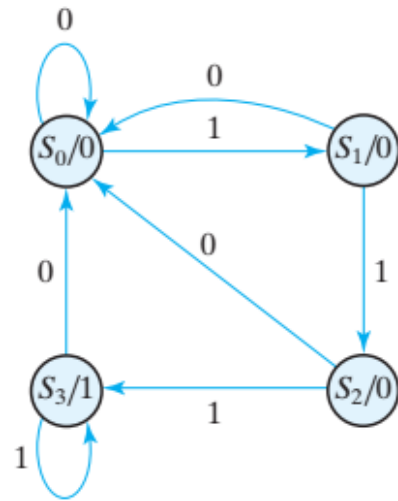
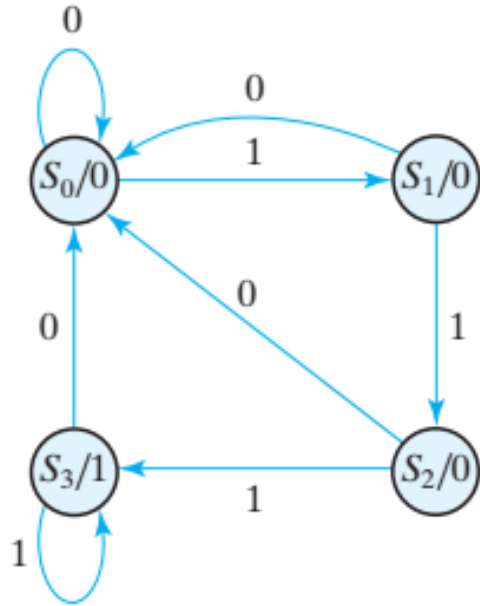


Table 5.11
State Table for Sequence Detector

Present State		Input x	Next State		Output y
A	B		A	B	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1

Ardışık lojik devre tasarım örneği



		Bx			
		00	01	11	10
A	0	m_0	m_1	1	m_2
	1	m_4	1	1	m_6

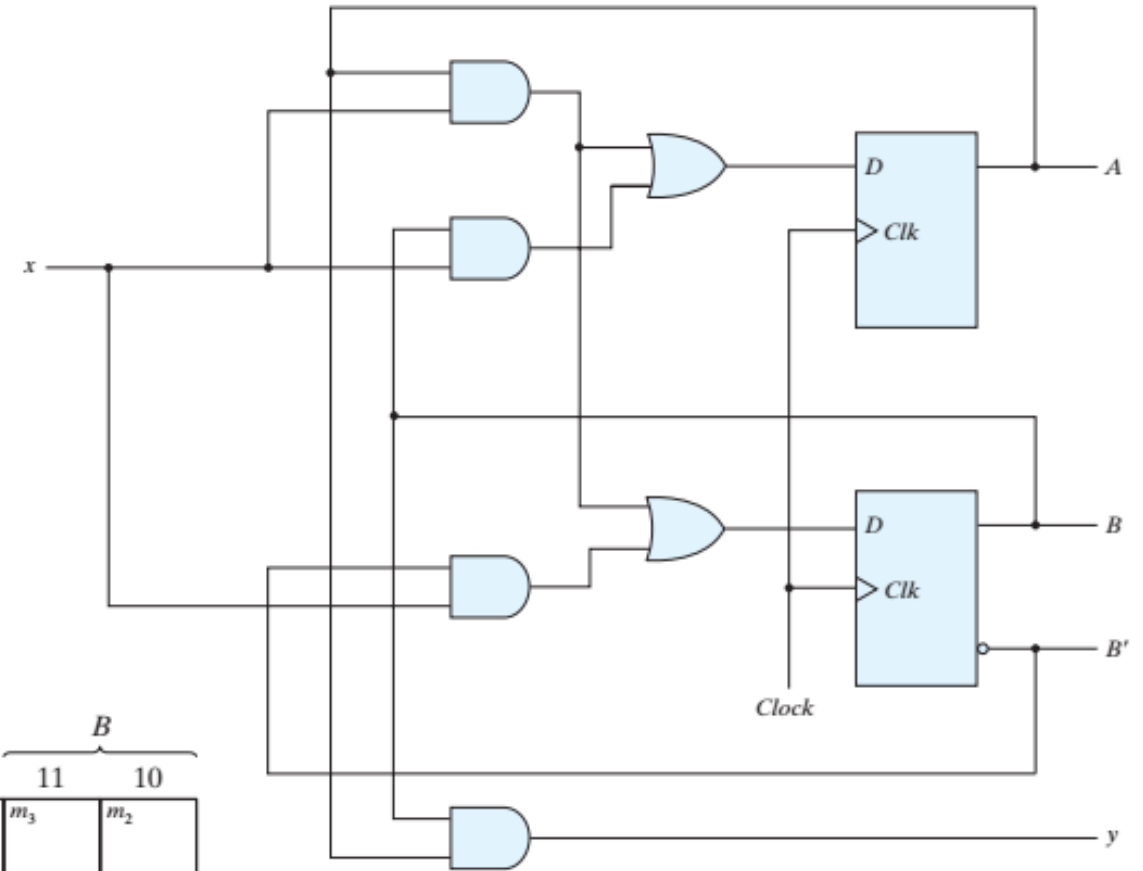
$D_A = Ax + Bx$

		Bx			
		00	01	11	10
A	0	m_0	1	m_3	m_2
	1	m_4	1	1	m_6

$D_B = Ax + B'x$

		Bx			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	1	1

$y = AB$



J-K Flip-Flop Temelli Farklı Bir Örnek

Table 5.13

State Table and JK Flip-Flop Inputs

Present State		Input	Next State		Flip-Flop Inputs			
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>	<i>J_A</i>	<i>K_A</i>	<i>J_B</i>	<i>K_B</i>
0	0	0	0	0				
0	0	1	0	1				
0	1	0	1	0				
0	1	1	0	1				
1	0	0	1	0				
1	0	1	1	1				
1	1	0	1	1				
1	1	1	0	0				

J-K Flip-Flop Temelli Tasarım

Table 5.13
State Table and JK Flip-Flop Inputs

Present State		Input	Next State		Flip-Flop Inputs			
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>	<i>J_A</i>	<i>K_A</i>	<i>J_B</i>	<i>K_B</i>
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

J-K Flip-Flop Temelli Tasarım

$A \backslash Bx$		B			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6
		x			
		$J_A = Bx'$			

$A \backslash Bx$		B			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6
		x			
		$K_A = Bx$			

$A \backslash Bx$		B			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6
		x			
		$J_R = x$			

$A \backslash Bx$		B			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6
		x			
		$K_R = (A \oplus x)'$			

Table 5.13

State Table and JK Flip-Flop Inputs

Present State		Input	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

J-K Flip-Flop Temelli Tasarım

Four Karnaugh maps are shown, each with variables A and B on the vertical axis and x on the horizontal axis. The maps are labeled with their corresponding Boolean expressions:

- Top-left: $J_A = Bx'$. The 1s are in cells m_2 and m_6 .
- Top-right: $K_A = Bx$. The 1s are in cells m_3 and m_7 .
- Bottom-left: $J_R = x$. The 1s are in cells m_1, m_3, m_5, m_7 .
- Bottom-right: $K_R = (A \oplus x)'$. The 1s are in cells m_0, m_2, m_4, m_6 .

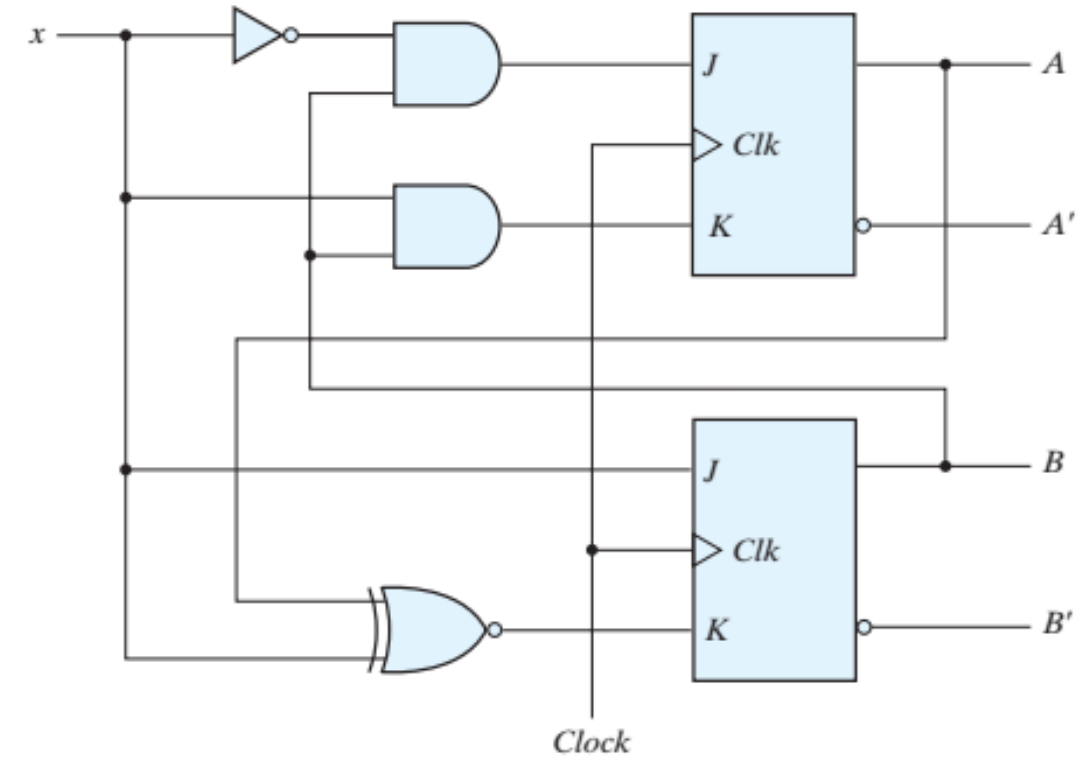


FIGURE 5.31
Logic diagram for sequential circuit with J/K flip-flops