

Sayısal Sistemler-H2CD2

Giriş

Dr. Meriç Çetin
versiyon081024

Bu derste öğreneceklerimiz

1 Digital Systems and Binary Numbers 1

1.1	Digital Systems	1
1.2	Binary Numbers	3
1.3	Number-Base Conversions	6
1.4	Octal and Hexadecimal Numbers	8
1.5	Complements of Numbers	10
1.6	Signed Binary Numbers	14
1.7	Binary Codes	18
1.8	Binary Storage and Registers	27
1.9	Binary Logic	30



2 Boolean Algebra and Logic Gates 38

2.1	Introduction	38
2.2	Basic Definitions	38
2.3	Axiomatic Definition of Boolean Algebra	40
2.4	Basic Theorems and Properties of Boolean Algebra	43
2.5	Boolean Functions	46
2.6	Canonical and Standard Forms	51
2.7	Other Logic Operations	58
2.8	Digital Logic Gates	60
2.9	Integrated Circuits	66



İkili Mantık (Binary Logic)

- İkili mantık, iki ayrı değer alan değişkenlerle ve mantıksal anlam üstlenen işlemlerle ilgilenir.
- Değişkenler A, B, C, x, y, z, vb. gibi alfabe harfleri ile belirtilir ve her değişken ancak ve ancak iki farklı olası değere sahiptir:
 - **1 ve 0.**
- Üç temel mantıksal işlem vardır:
 - **VE ,**
 - **VEYA ve**
 - **DEĞİL.**

AND			OR			NOT	
x	y	$x \cdot y$	x	y	$x + y$	x	x'
0	0	0	0	0	0	0	1
0	1	0	0	1	1	1	0
1	0	0	1	0	1		
1	1	1	1	1	1		

Lojik Kapılar

Lojik Kapılar – Mantık Devreleri

- Elektronik sayısal devrelere mantık devreleri de denir, çünkü doğru girişle mantıksal manipülasyon yolları oluştururlar.
- Hesaplama veya kontrol için istenen herhangi bir bilgi, ikili sinyallerin çeşitli mantık devreleri kombinasyonlarından geçirilmesiyle çalıştırılabilir, her sinyal bir değişkeni temsil eder ve bir bit bilgi taşır.
- Kapı adı verilen bu devreler, giriş mantık gereksinimleri karşılanırsa lojik-1 veya lojik-0 çıkış sinyali üreten donanım bloklarıdır.
- Aynı tip devreler için, dijital devreler, anahtarlama devreleri, mantık devreleri veya kapı şeklinde dört farklı isimlendirme kullanılabilir.

Lojik Kapılar – devam

- Mantık kapıları, bir çıkış sinyali üretmek için bir veya daha fazla giriş sinyali üzerinde çalışan elektronik devrelerdir.
- Gerilim veya akım gibi elektrik sinyalleri, 0 ila 3 V gibi belirli bir sürekli aralıkta değerlere sahip analog sinyaller olarak bulunur, ancak dijital bir sistemde bu voltajlar, iki tanınabilir değerden biri olarak yorumlanır, 0 veya 1.
- Mantık devreleri, lojik 1 veya lojik 0'a eşit bir ikili değişkeni temsil eden iki ayrı voltaj düzeyine yanıt verir.
- Örneğin, belirli bir sayısal sistem, lojik 0'ı 0 V'ye eşit bir sinyal ve lojik 1'i 3 V'a eşit bir sinyal olarak tanımlayabilir.

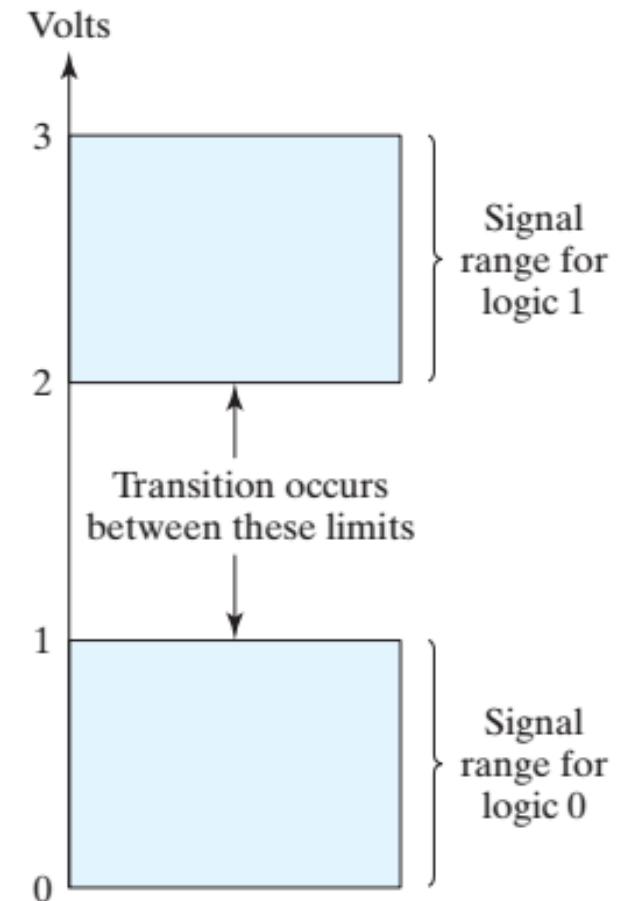


FIGURE 1.3
Signal levels for binary logic values

Bütünleşik Devreler-Entegreler

- Bir entegre devre (integrated circuit -IC), sayısal kapılar oluşturmak için elektronik bileşenler içeren, çip adı verilen bir silikon yarı iletken kristal kalıbı üzerinde üretilir.
- Bir yarı iletken devre oluşturmak için kullanılan karmaşık kimyasal ve fiziksel süreçler bu dersin konusu değildir. Gerekli devreyi oluşturmak için çeşitli kapılar çipin içinde birbirine bağlanır. Çip, seramik veya plastik bir kaba monte edilir ve entegre devreyi oluşturmak için bağlantılar harici pinlere kaynaklanır. Pin sayısı, küçük bir IC paketinde 14 iken daha büyük bir pakette birkaç bine kadar değişebilir.
- Her bir IC, tanımlama için paketin yüzeyine basılmış sayısal bir atama sahiptir. Satıcılar, ürettikleri IC'ler hakkında açıklamalar ve bilgiler içeren veri kitapları, kataloglar ve İnternet web siteleri sağlar.



74LS08, 74HC08

Entegrasyon Seviyeleri

- Sayısal IC'ler, tek bir paketteki mantık kapılarının sayısı ile ölçüldüğü üzere, genellikle devrelerinin karmaşıklığına göre kategorize edilir.
- **Küçük ölçekli entegrasyon** (Small-scale integration-SSI) cihazları, tek bir paket birkaç bağımsız kapı içerir. Kapıların giriş ve çıkışları doğrudan paketteki pinlere bağlanır. Kapı sayısı genellikle 10'dan azdır.
- **Orta ölçekli entegrasyon** (Medium-scale integration-MSI) cihazları, tek bir pakette yaklaşık 10 ila 1000 kapı karmaşıklığına sahiptir. Genellikle belirli temel dijital işlemleri (kod çözücüler, toplayıcılar, çoklayıcılar kaydedici, sayıcı vb.) gerçekleştirirler.
- **Büyük ölçekli entegrasyon** (Large-scale integration-LSI) cihazları, tek bir pakette binlerce kapı içerir. İşlemciler, bellek yongaları ve programlanabilir mantık aygıtları gibi dijital sistemleri içerir.
- **Çok büyük ölçekli entegrasyon** (Very-large-scale integration-VLSI) cihazları artık tek bir pakette milyonlarca geçit içeriyor. Büyük bellek dizileri ve karmaşık mikrobilgisayar çipleri örnek olarak verilebilir.

Dijital Mantık Ailesi

- Dijital entegre devreler, yalnızca karmaşıklıkları veya mantıksal işlemleriyle değil, aynı zamanda ait oldukları belirli devre teknolojisi ile de sınıflandırılır.
- Her mantık ailesi, üzerinde daha karmaşık dijital devrelerin ve bileşenlerin geliştirildiği kendi temel elektronik devresine sahiptir.
- Her teknolojiye temel devre bir NAND, NOR veya inverter kapısıdır.
- Temel devrenin yapımında kullanılan elektronik bileşenler genellikle teknolojiyi adlandırmak için kullanılır.
- Dijital entegre devrelerin ait olduğu en popüler mantık aileleri:

TTL	transistor–transistor logic;
ECL	emitter-coupled logic;
MOS	metal-oxide semiconductor;
CMOS	complementary metal-oxide semiconductor.

Dijital Mantık Ailesi-devam

TTL	transistor–transistor logic;
ECL	emitter-coupled logic;
MOS	metal-oxide semiconductor;
CMOS	complementary metal-oxide semiconductor.

- TTL, 50 yıldır kullanımda olan ve standart kabul edilen bir mantık ailesidir.
- ECL, yüksek hızda çalışma gerektiren sistemlerde avantaja sahiptir.
- MOS, yüksek bileşen yoğunluğuna ihtiyaç duyan devreler için uygundur ve
- CMOS, dijital kameralar, kişisel medya oynatıcılar ve diğer taşınabilir cihazlar gibi düşük güç tüketimi gerektiren sistemlerde tercih edilir.
- Düşük güç tüketimi, VLSI tasarımı için gereklidir; bu nedenle CMOS baskın mantık ailesi haline gelirken, TTL ve ECL kullanımda azalmaya devam etmektedir.

TTL ve CMOS Kapı Karakteristikleri

- **TTL ve CMOS lojik ailesine mensup tümdevrelerin kendilerine has özellikleri şu şekilde verilebilir:**
- TTL-teknolojisi (74xx) : Lojik devrelerde en sık kullanılan teknolojidir ve iki temel unsur ile karakterize edilebilir. Kapı başına gecikme süresi, yaklaşık olarak 20ns ve güç tüketimi 15mA/lojik kapı.
- TTL-teknolojisi (54xx) : Temel olarak TTL tümdevreler ile aynı özelliklere sahiptir, fakat askeri amaçlara yönelik üretilirler.
- TTL-L (74Lxx) : Daha az güç harcarken, daha düşük hıza sahiptirler.
- TTL-S (Schottky : 74Sxx) : TTL-LS tümdevreler kadar hızlı olmasına rağmen fazla güç tüketirler.
- TTL-LS (Low Schottky : 74LSxx) : TTL tümdevrelerden daha az güç tüketirken, TTL tümdevreler ile aynı işlem süresine sahiptir.

TTL ve CMOS Kapı Karakteristikleri-devam

- TTL-AS (Advanced Schottky : 74ASxx) : Yüksek frekanslarda çalışabilmelerine rağmen TTL tümdevrelerden daha fazla güç harcarlar.
- TTL-ALS (Advanced LS : 74ALSxx) : LS tümdevrelerden daha hızlı ve daha yüksek çıkış akımına sahiptir.
- TTL-H (High speed : 74Hxx) : Yüksek frekanslarda çalışabilmelerinin yanı sıra gürültü marjları yüksektir.
- TTL-F (Fast I/O : 74F) : Yüksek hızlara sahiptir ve bunun için çok fazla güç harcar.
- TTL-OC : Bu sayısal tümdevreler, TTL ile benzer özelliklere sahiptir fakat TTL ile karşılaştırıldığında daha fazla propagasyon gecikme süresine sahiptir.
- CMOS (4xxx & 74Cxx) : Bu teknolojinin en önemli avantajı, düşük güç tüketimine sahip olmasıdır.
- CMOS-AC (74ACxx) : Yüksek hızlı ve TTL uyumludur.
- CMOS-HC (74HCxx) : Yüksek hızlara sahiptir.
- CMOS-H (High speed : 74HCTxx) : Düşük güç tüketimi sağlarken daha yüksek frekanslarda çalışma olanağı sağlar.

TTL ENTEGRE AİLESİ

- ✓ Günümüzde en yaygın olarak kullanılan dijital entegre ailesidir.
- ✓ TTL 'de çok emiterli transistörler kullanılmıştır.
- ✓ Bundan dolayı TTL entegreler hızlı çalışır.
- ✓ değerlerine göre çıkış uçlarında Lojik 1 veya Lojik 0 gözlenir.
- ✓ Bütün TTL entegreler +5V besleme voltajı ile çalışır.
- ✓ Alt gruplarında hız ve güç açısından çeşitli farklılıklar vardır.
- ✓ TTL entegrelerin girişi;
 - ✓ 0 - 0,8 Volt aralığında lojik 0,
 - ✓ 2 – 5 Volt aralığında lojik 1 olarak algılanır.
- ✓ TTL entegreler 74xx ve 54xx serilerinde imal edilirler.
- ✓ Bütün kapı entegrelerinde giriş uçlarına uygulanan Lojik 1 veya Lojik 0 değerlerine göre çıkış uçlarında Lojik 1 veya Lojik 0 gözlenir.

CMOS ENTEGRE AİLESİ

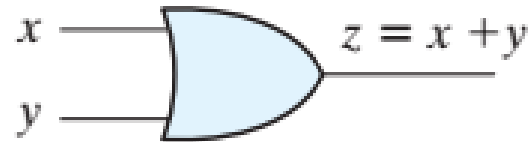
- ✓ CMOS (Complementary Metal Oxide Semiconductor - Tamamlayıcı Metal Oksit Yarı İletken) lojik ailesi, mantık fonksiyonları oluşturacak şekilde birbirine bağlı her iki tip (hem n-kanallı, hem de p-kanallı) MOS elemanından oluşmaktadır.
- ✓ MOS, FET üretiminde kullanılan bir teknolojidir.
- ✓ CMOS mantık ailesinin, güç tüketimi son derece düşüktür ve genellikle 10 nW civarındadır.
- ✓ CMOS mantığı, genellikle 5 - 15V aralığında tek kaynaklı çalışma için tanımlanır, ancak bazı devreler 3V veya 18V düzeyinde çalıştırılabilir.
- ✓ CMOS 'un yüksek kaynak gerilim değerlerinde çalıştırılması daha büyük bir güç kaybına neden olur.
- ✓ **CMOS 'un düşük güç tüketimi, yüksek gürültü bağışıklığı, yüksek paketleme yoğunluğu ve geniş kaynak gerilimleri aralığı gibi avantajlarından dolayı en yaygın kullanılan lojik entegrelerdendir.**
- ✓ CMOS entegreler yüksek frekanslarda kullanılmazlar.
- ✓ Giriş gerilimleri besleme gerilimini aşmamalıdır. Besleme yokken entegrenin girişine sinyal uygulanmamalıdır.

Temel Lojik Kapıları

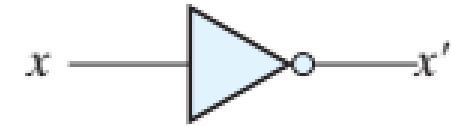
- AND, OR ve NOT mantıksal işlemlerini gerçekleştiren mantık devreleri şu şekilde gösterilmektedir.



(a) Two-input AND gate



(b) Two-input OR gate



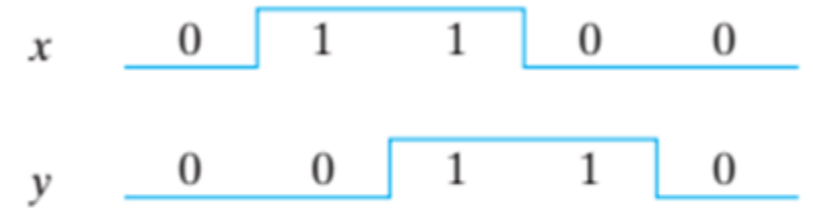
(c) NOT gate or inverter

FIGURE 1.4

Symbols for digital logic circuits

Temel Lojik Kapıları

- AND ve OR kapılarındaki giriş sinyalleri x ve y , 4 olası durumdan birinde var olabilir: **00, 10, 11 veya 01.**
- Bu giriş sinyalleri, her kapı için karşılık gelen çıkış sinyali ile birlikte Şekil 1.5'te gösterilmiştir.
- Zamanlama diyagramları, her kapının 4 giriş sinyali kombinasyonuna idealleştirilmiş yanıtını gösterir.
- Zamanlama diyagramının yatay eksenı zamanı temsil eder ve dikey eksen, sinyali iki olası voltaj seviyesi arasında değişirken gösterir.
- Gerçekte, mantık değerleri arasındaki geçişler hızlı gerçekleşir, ancak anında gerçekleşmez.



AND: $x \cdot y$

OR: $x + y$

NOT: x'

FIGURE 1.5

Input-output signals for gates

Temel Lojik Kapıları

- AND ve OR kapılarındaki giriş sinyalleri x ve y , 4 olası durumdan birinde var olabilir: **00, 10, 11 veya 01.**
- Bu giriş sinyalleri, her kapı için karşılık gelen çıkış sinyali ile birlikte Şekil 1.5'te gösterilmiştir.
- Zamanlama diyagramları, her kapının 4 giriş sinyali kombinasyonuna idealleştirilmiş yanıtını gösterir.
- Zamanlama diyagramının yatay eksenini zamanı temsil eder ve dikey eksen, sinyali iki olası voltaj seviyesi arasında değişirken gösterir.
- Gerçekte, mantık değerleri arasındaki geçişler hızlı gerçekleşir, ancak burada gerçekleşmez.

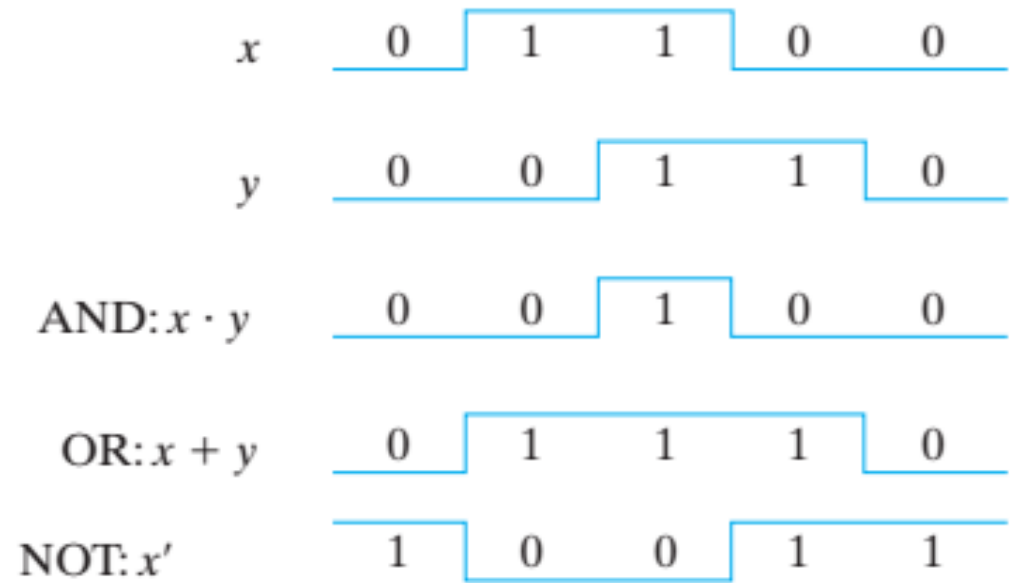


FIGURE 1.5

Input-output signals for gates

Temel Lojik Kapıları

- VE ve VEYA kapılarının ikiden fazla girişi olabilir.

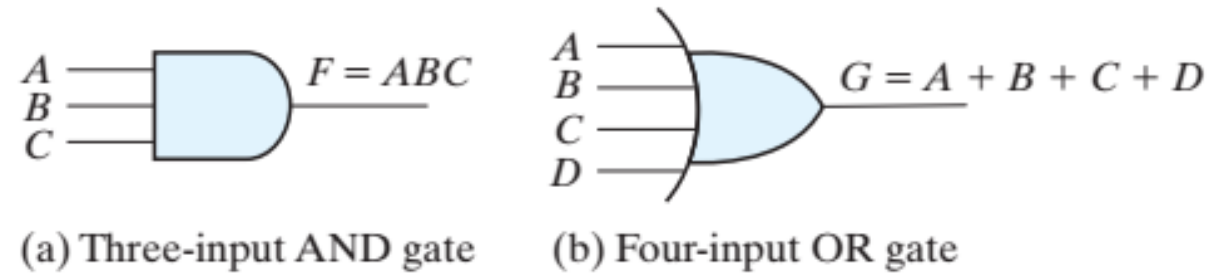


FIGURE 1.6
Gates with multiple inputs

- Burada üç girişin tümü lojik 1 ise, üç girişli AND kapısı lojik 1 çıkışı üretir. Herhangi bir giriş lojik 0 ise çıkış lojik 0 üretir; herhangi bir giriş lojik 1 ise, dört girişli VEYA kapısı lojik 1 üretir; çıkışı yalnızca tüm girişler lojik 0 olduğunda lojik 0 olur.

✓ VE KAPISI (AND GATE)

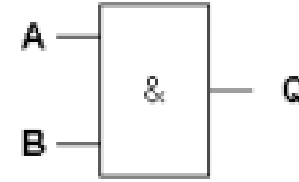
- ✓ VE kapısı, tüm girişleri Lojik 1 olduğunda çıkışı Lojik 1 olur. Girişlerden herhangi biri Lojik 0 ise çıkış Lojik 0'dır.
- ✓ TTL yapıdaki 7408 ve CMOS 4081 entegrelerinde iki girişli dört AND kapısı mevcuttur.



Sembolü

$$Q = A \cdot B$$

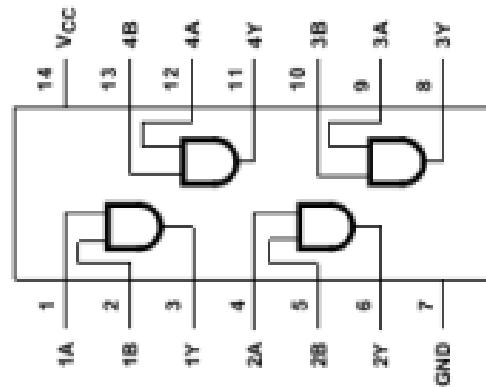
Çıkış Denklemi



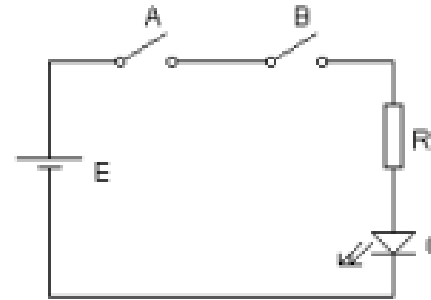
DIN Sembolü

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

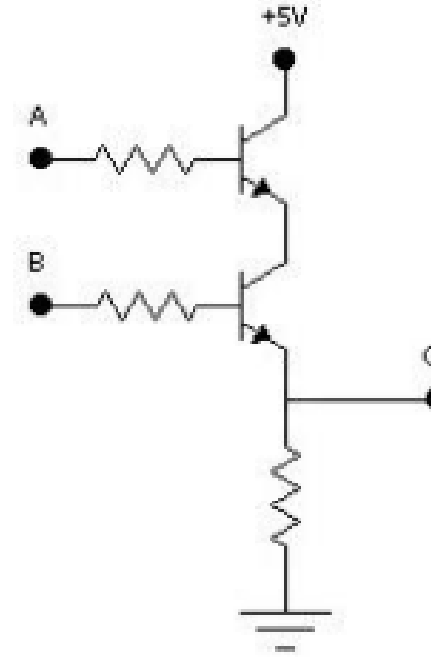
Doğruluk Tablosu



7408 Entegresi



Elektriksel Eşdevresi



İç Yapısı

✓ VE KAPISI (AND GATE)

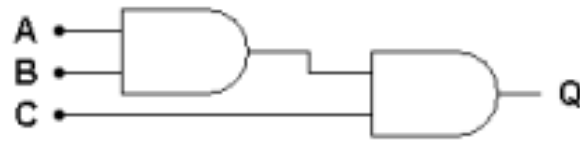
- ✓ VE kapısı giriş sayısı ihtiyaca göre arttırılabilir.
- ✓ 7411 entegresi 3 girişli, 7421 entegresi ise 4 girişli VE kapılarıdır.



3 Girişli Sembolü

$$Q = A \cdot B \cdot C$$

Çıkış Denklemi



2 girişli VE kapılarından
3 girişli VE kapısının elde edilmesi

A	B	C	Q
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Doğruluk Tablosu

✓ VEYA KAPISI (OR GATE)

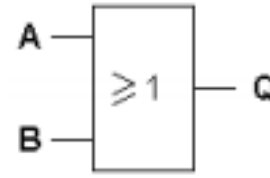
- ✓ VEYA kapısı, girişlerden herhangi biri Lojik 1 olduğunda çıkışı Lojik 1 olur. Girişlerin tamamı Lojik 0 ise çıkış Lojik 0'dır.
- ✓ TTL yapıdaki 7432 ve CMOS 4071 entegrelerinde iki girişli dört OR kapısı mevcuttur.



Sembolü

$$Q = A + B$$

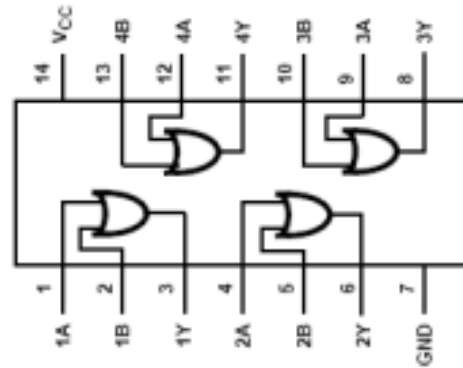
Çıkış Denklemi



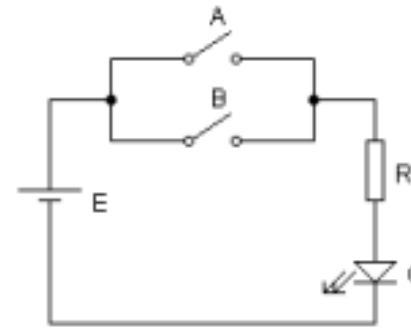
DIN Sembolü

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

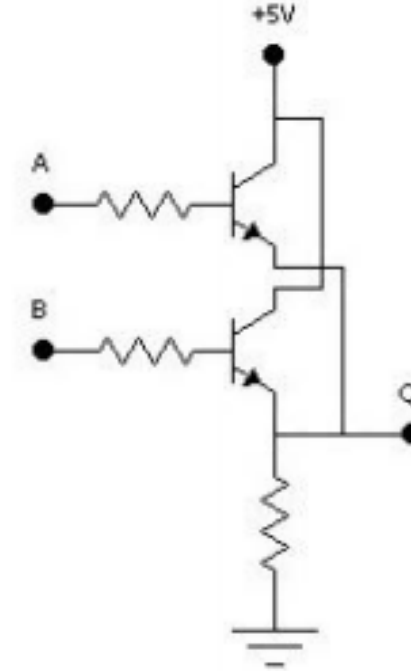
Doğruluk Tablosu



7432 Entegresi



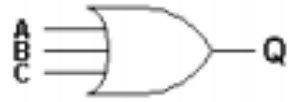
Elektriksel Eşdevresi



İç Yapısı

✓ VEYA KAPISI (OR GATE)

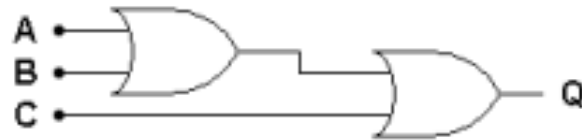
- ✓ VEYA kapısı giriş sayısı ihtiyaca göre arttırılabilir.
- ✓ 4075 entegresi 3 girişli, 4072 entegresi ise 4 girişli VEYA kapılarıdır.



3 Girişli Sembolü

$$Q = A + B + C$$

Çıkış Denklemi



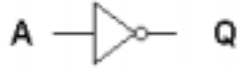
2 girişli VEYA kapılarından
3 girişli VEYA kapısının elde edilmesi

A	B	C	Q
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Doğruluk Tablosu

✓ DEĞİL KAPISI (NOT GATE)

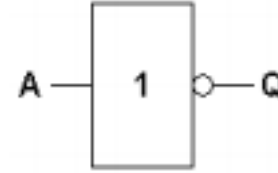
- ✓ DEĞİL kapısı, bir giriş bir çıkıştan oluşur.
- ✓ Girişine uygulanan Lojik değerin tersini çıkışa verir.
- ✓ TTL yapısındaki 7404 ve CMOS 4069 entegreleri iç yapısında 6 adet DEĞİL kapısı bulundurlar.



Sembolü

$$Q = A' = \bar{A}$$

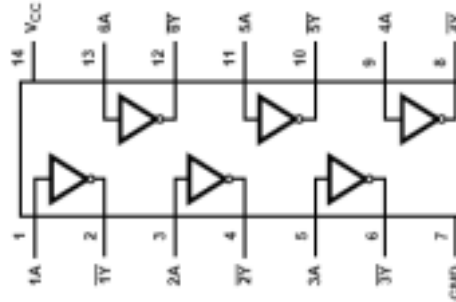
Çıkış Denklemi



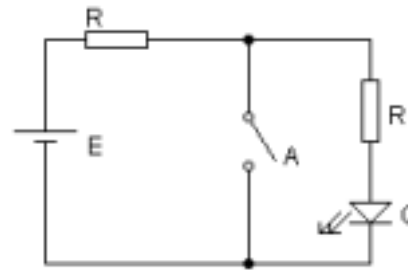
DIN Sembolü

A	Q
0	1
1	0

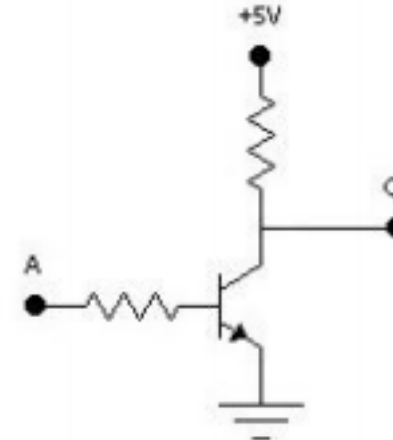
Doğruluk Tablosu



7404 Entegresi



Elektriksel Eşdevresi



İç Yapısı

✓ VEDEĞİL KAPISI (NAND GATE)

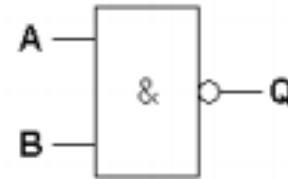
- ✓ VEDEĞİL kapısı VE kapısı çıkışına DEĞİL kapısının eklenmesiyle oluşur.
- ✓ VE kapısında elde edilen çıkışların tam tersi elde edilir.
- ✓ TTL yapıdaki 7400 ve CMOS 4011 entegrelerinde iki girişli dört NAND kapısı mevcuttur.



Sembolü

$$Q = \overline{A \cdot B}$$

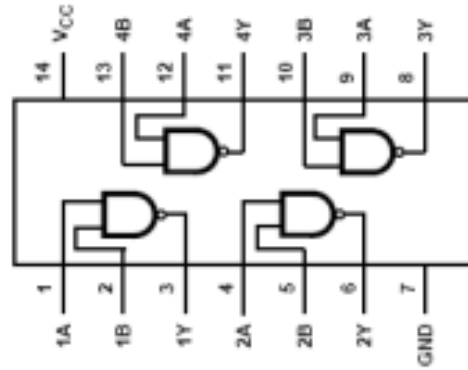
Çıkış Denklemi



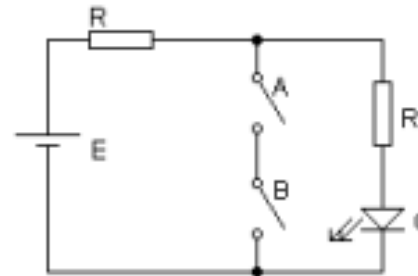
DIN Sembolü

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

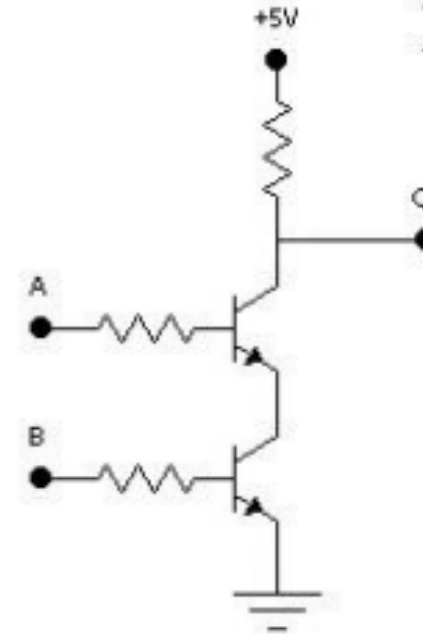
Doğruluk Tablosu



7400 Entegresi



Elektriksel Eşdevresi



İç Yapısı

✓ VEYADEĞİL KAPISI (NOR GATE)

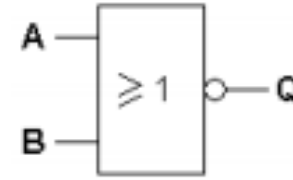
- ✓ VEYADEĞİL kapısı VEYA kapısı çıkışına DEĞİL kapısının eklenmesiyle oluşur.
- ✓ VEYA kapısında elde edilen çıkışların tam tersi elde edilir.
- ✓ TTL yapıdaki 7402 ve CMOS 4001 entegrelerinde iki girişli dört NAND kapısı mevcuttur.



Sembolü

$$Q = \overline{A + B}$$

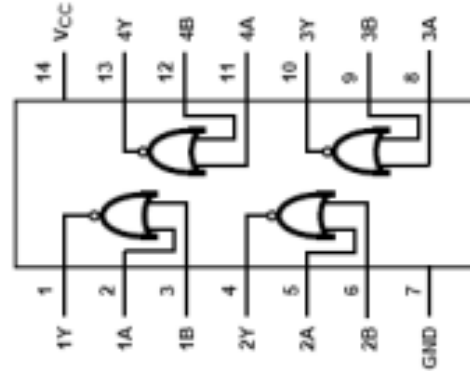
Çıkış Denklemi



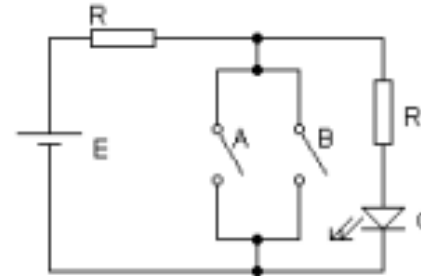
DIN Sembolü

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

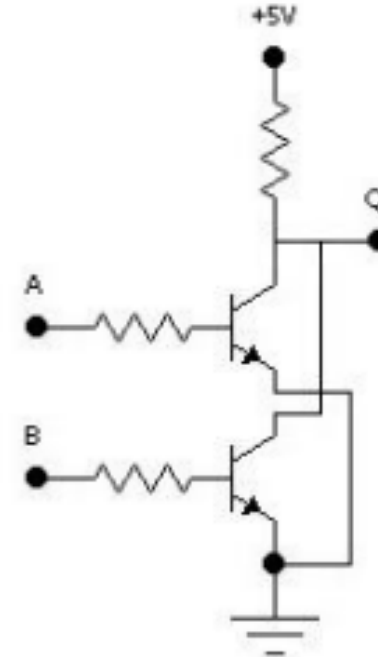
Doğruluk Tablosu



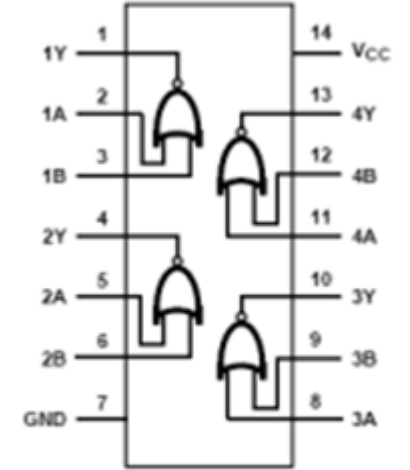
7402 Entegresi



Elektriksel Eşdevresi



İç Yapısı



7402 Entegresi

✓ ÖZEL VEYA KAPISI (EXOR GATE)

- ✓ Girişleri farklı olduğunda çıkış Lojik 1, girişleri aynı olduğunda ise çıkış Lojik 0 olur. Bu sebeple farklılık kapısı olarak da adlandırılır.
- ✓ TTL yapıdaki 7486 ve CMOS 4030 entegrelerinde iki girişli dört EXOR kapısı mevcuttur.



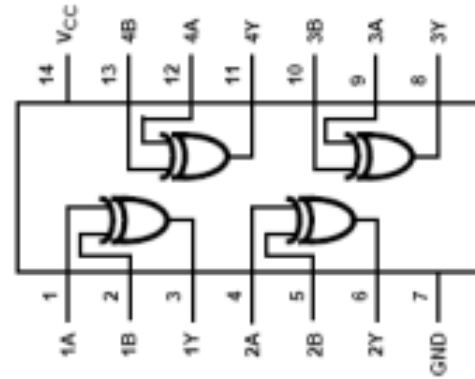
Sembolü

$$Q = A \oplus B$$

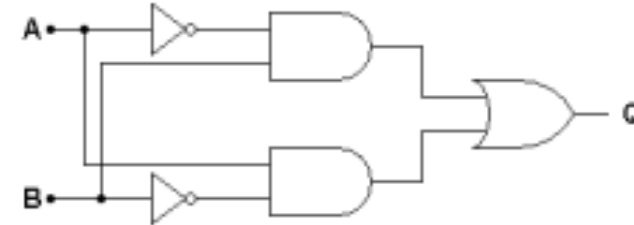
Çıkış Denklemi

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Doğruluk Tablosu



7486 Entegresi



Eş Devresi

✓ ÖZEL VEYA DEĞİL KAPISI (EXNOR GATE)

- ✓ Girişleri farklı olduğunda çıkış Lojik 0, girişleri aynı olduğunda ise çıkış Lojik 1 olur. Bu sebeple benzerlik kapısı olarak da adlandırılır.
- ✓ TTL yapıdaki 74266 ve CMOS 4077 entegrelerinde iki girişli dört EXOR kapısı mevcuttur.



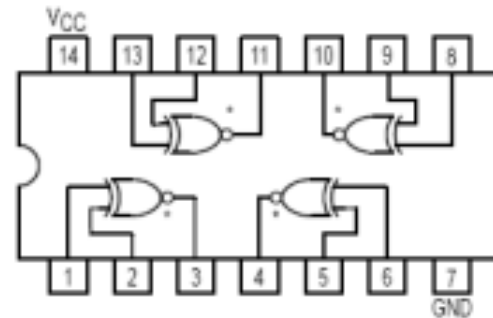
Sembolü

$$Q = \overline{A \oplus B}$$

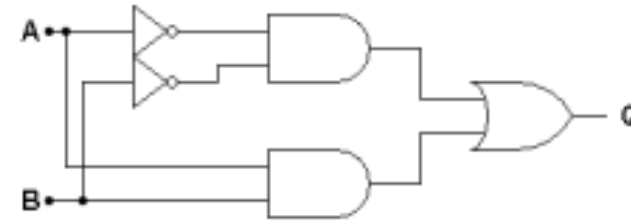
Çıkış Denklemi

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

Doğruluk Tablosu



74266 Entegresi











Eş Devresi

Buffer (Tampon Kapısı)

- Devreler tasarlanırken, katlar (katmanlar, kapılar) arasında empedans uyumlandırması önemlidir.
- Empedans uyumu olmazsa ya da tam sağlanamazsa maksimum enerji transferi sağlanamayacağı için sorunlar oluşur.
- Kayıplar artar.
- Bu gibi problemlerin azaltılabilmesi için buffer devrelerine ihtiyaç duyulur.
- Buffer tam olarak bir kapı şeklinde kullanılmasa da, empedans uyumlandırması için kullanıldığı bilinmelidir.
- Girişten alınan sinyal aynen çıkıştan okunur, değişime uğramaz.
- Bir başka deyişle çıkış sinyali giriş sinyaline eşittir.



Özet

Name	Graphic symbol	Algebraic function	Truth table															
AND		$F = x \cdot y$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	0	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$F = x + y$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	1
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
Inverter		$F = x'$	<table><tr><th>x</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	x	F	0	1	1	0									
x	F																	
0	1																	
1	0																	
Buffer		$F = x$	<table><tr><th>x</th><th>F</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	x	F	0	0	1	1									
x	F																	
0	0																	
1	1																	

NAND		$F = (xy)'$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	1	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$F = (x + y)'$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	0
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
Exclusive-OR (XOR)		$F = xy' + x'y$ $= x \oplus y$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
Exclusive-NOR or equivalence		$F = xy + x'y'$ $= (x \oplus y)'$	<table><tr><th>x</th><th>y</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	1																


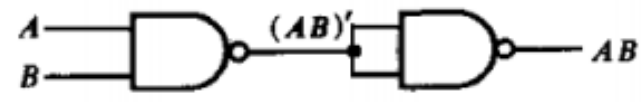
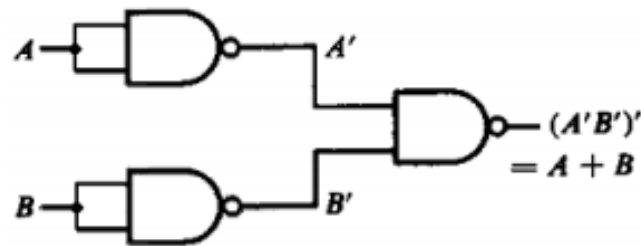
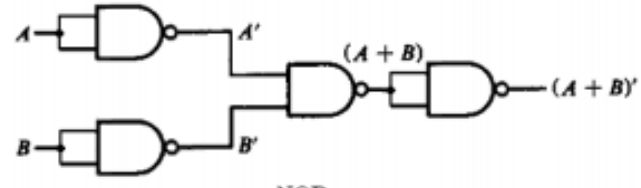
Nor ve Nand Kapıları ile temel mantık kapıları tasarımı

- Nor ile Nand kapıları kullanılarak Değil, Ve, Veya, Nor ve Nand kapıları elde etmek mümkündür.
- Her iki kapının doğruluk tabloları incelendiğinde girişler aynı iken çıkış girişlerin tersi şeklindedir.

NAND		$F = (xy)'$	x	y	F
			0	0	1
			0	1	1
			1	0	1
			1	1	0
<hr/>					
NOR		$F = (x + y)'$	x	y	F
			0	0	1
			0	1	0
			1	0	0
			1	1	0

Nand Kapıları ile NOT, AND, OR ve NAND kapılarının tasarımı

Sadece NAND Kapılarını Kullanarak Diğer Lojik Kapıların Elde Edilmesi

NOT Kapısı	 <p>NOT (inverter)</p>	$Y = (A.A)'$ $Y = (A)'$
AND Kapısı	 <p>AND</p>	$Y = ((A.B)')'$ $Y = (A.B)$
OR Kapısı	 <p>OR</p>	$Y = (A'.B')'$ $Y = A'' + B''$ $Y = A + B$
NOR Kapısı	 <p>NOR</p>	<p>NOR kapısı, OR kapısının çıkışına NOT kapısı bağlanarak elde edilebilir.</p> $Y = (A + B)'$

WEB SEARCH TOPICS

BCD code

ASCII

Storage register

Binary logic

BCD addition

Binary codes

Binary numbers

Excess-3 code