

Sayısal Sistemler-H9CDTekrar

Senkron Sıralı Mantık

Dr. Meriç Çetin
versiyon091224

Giriş

- Sayısal cihazlar (cep telefonları, navigasyon alıcıları, bilgisayarlar, kameralar, medya oynatıcılar vb...) ikili formatta temsil edilen bilgileri gönderme, alma, saklama ve işleme becerisine sahiptir.
- Bu cihazları etkinleştiren teknoloji, bilgileri depolayabilen, yani belleğe sahip olan elektronik bileşenlere büyük ölçüde bağlıdır.
- Şimdiye kadar düşünülen kombinasyonel devrelerin çıkışları girişlere bağlıdır, hafızaları yoktur, yani girişlerinin geçmiş değerlerine bağımlılıkları yoktur.
- **Eş-zamanlı ardışık** (synchronous sequential) devreler, depolama yapar ve hafızaya sahiptir.
- Bilgileri depolayabilir, saklayabilir ve daha sonra gerektiğinde geri alabilirler.

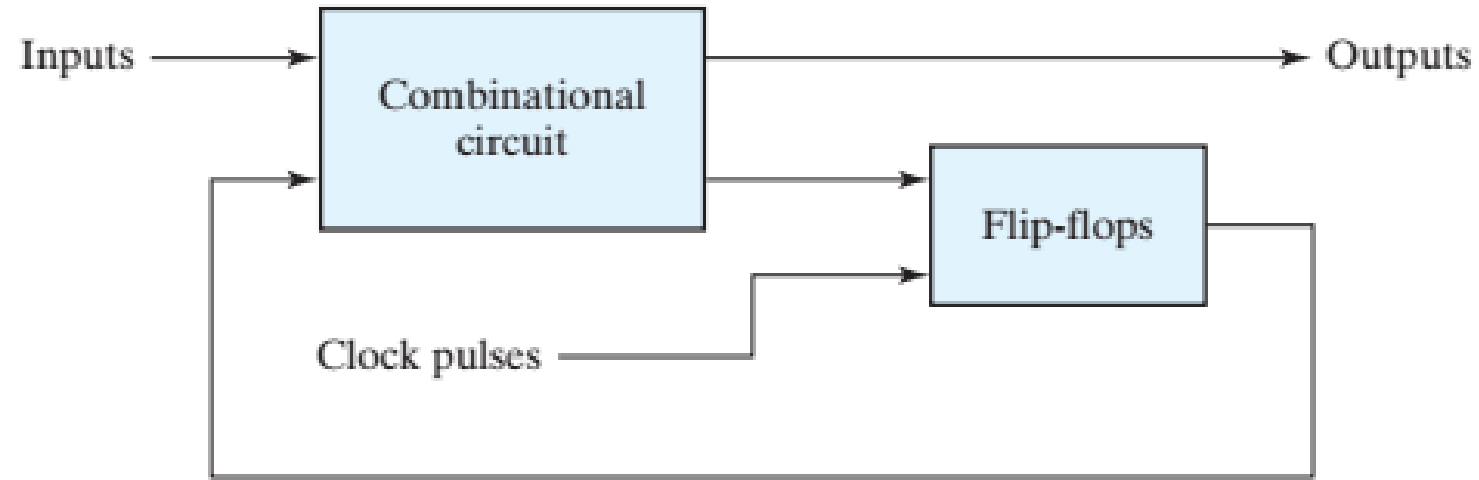
Giriş-ardışık devreler

- Ardışık lojik devreler kombinasyonel lojik ve hafıza elemanlarından meydana gelen lojik devrelerdir.
- Bu devrelerin eş-zamanlı ardışık olması demek devrede kullanılan hafıza ünitelerinin tek bir merkez tarafından aynı anda aktif duruma getirilmesi demektir.
- Kontrol mekanizması **periyodik darbeler** üreten bir devre tarafından sağlanır. Darbeler hafıza ünitelerine aynı anda gönderilir ve hafıza ünitelerinin aynı anda çalışması sağlanır.
- Ardışık devreler çıkıştaki değerin girişteki değeri etkilediği devrelerdir.

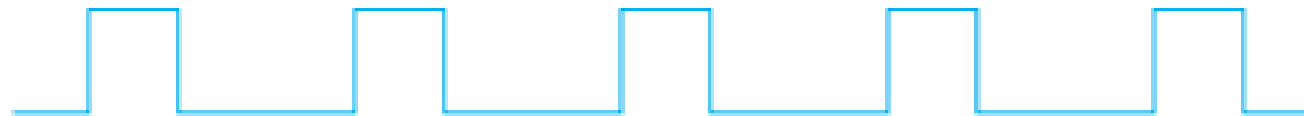
Giriş-ardışık devreler devam

- Hafıza elemanında depolanan ikili (binary) bilgi verilen herhangi bir zamanda ardışık devrenin durumunu belirler.
- Ardışık devreler ayrıca harici girişlerden de bilgi alabilirler. Bu girişler ve hafıza elemanındaki önceki durum şartları ardışık devrenin çıkış değerini tanımlar.
- Bu tür devreler ikiye ayrılır:
 - Senkron ardışık devreler
 - Asenkron ardışık devreler
- Devre senkronizasyonu periyodik saat (**clock**) darbeleriyle sağlanır. Bu darbeler hafıza ünitelerine aynı anda gönderilir ve hafıza ünitelerinin aynı anda çalışması sağlanır.

Eş-zamanlamalı Saat Darbeli Ardışık Devreler



(a) Block diagram



(b) Timing diagram of clock pulses

FIGURE 5.2
Synchronous clocked sequential circuit

Flip-flop İçeren Zamanlamalı Ardışık Devreler

- Zamanlamalı ardışık devrelerde kullanılan **depolama elemanlarına (bellek) Flip-Flop** denir.
- Bir flip-flop, bir bitlik bilgiyi depolayabilen bir depolama aygıtıdır.
- **Kararlı bir durumda**, bir flip-flopun çıkışı 0 veya 1'dir.
- Ardışık bir devre, gerektiği kadar bit depolamak için birçok flip-flop kullanabilir.
- Senkronize zamanlamalı ardışık devrenin blok diyagramı Şekil 5.2'de gösterilmiştir.

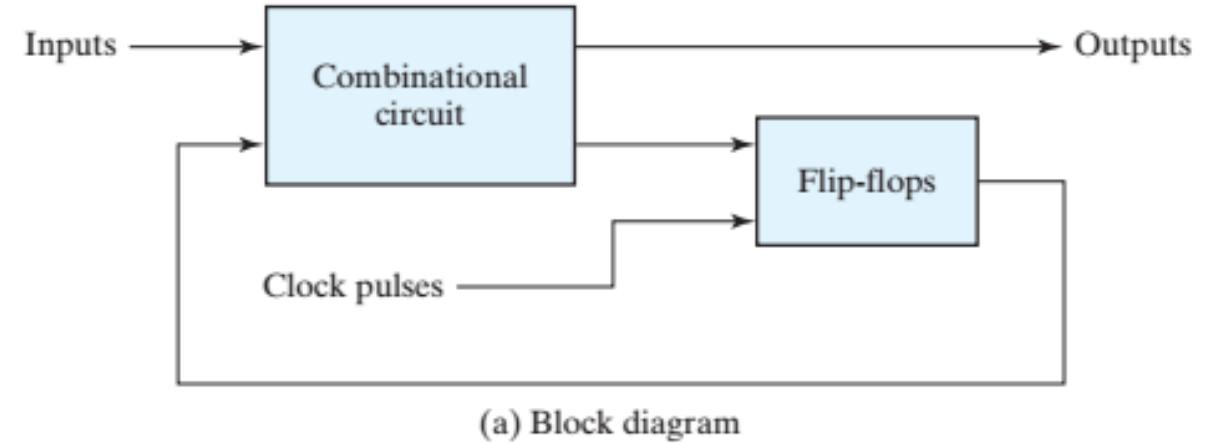


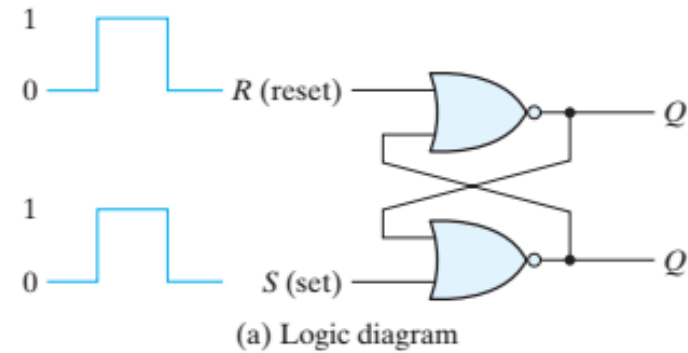
FIGURE 5.2
Synchronous clocked sequential circuit

Depolama Elemanları: Flip-Floplar

- Bir sayısal devredeki bir depolama elemanı, durumları değiştirmek için bir giriş sinyali tarafından yönlendirilene kadar ikili bir durumu süresiz olarak koruyabilir.
- Sinyal seviyeleriyle çalışan depolama elemanları saat geçişiyle kontrol edilen flip-floplar’dır.
- Temel flip-flop devreleri NOR veya NAND kapıları kullanılarak tasarlanır.

RS Tipi Flip-Flop

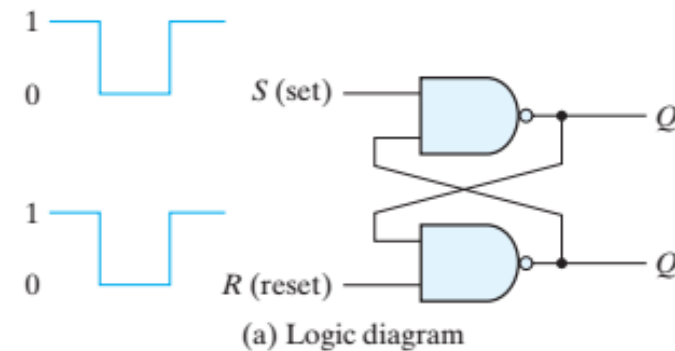
- SR flip-flop, iki çapraz bağlı NOR kapısı veya iki çapraz bağlanmış NAND kapısı ve set için S ve sıfırlama için R olarak etiketlenmiş iki giriş içeren bir devredir.
- Normal koşullar altında, durumun değiştirilmesi gerekmedikçe, flip-flopun her iki girişi de 0'da kalır.
- S girişine anlık 1 uygulanması, flip-flopun ayarlama (set-kurma) durumuna geçmesine neden olur.



S	R	Q	Q'
1	0	1	0
0	0	1	0 (after S = 1, R = 0)
0	1	0	1
0	0	0	1 (after S = 0, R = 1)
1	1	0	0 (forbidden)

(b) Function table

FIGURE 5.3
SR latch with NOR gates



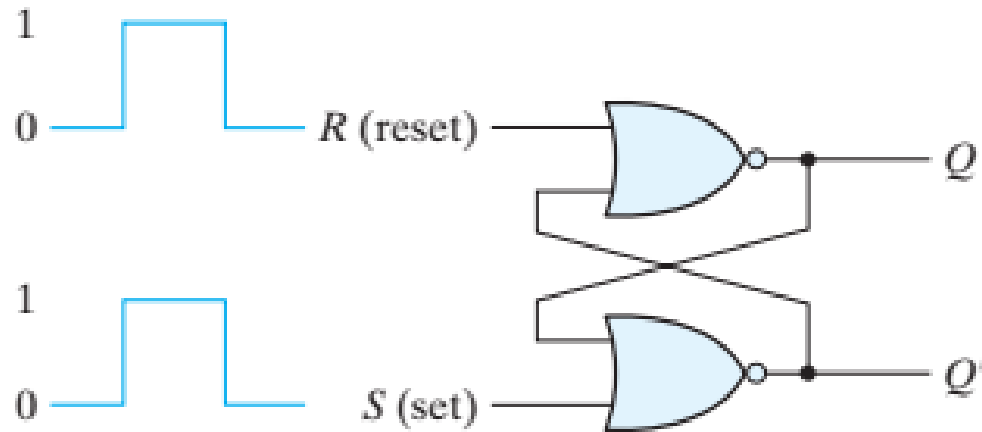
S	R	Q	Q'
1	0	0	1
1	1	0	1 (after $S = 1, R = 0$)
0	1	1	0
1	1	1	0 (after $S = 0, R = 1$)
0	0	1	1 (forbidden)

(b) Function table

FIGURE 5.4
SR latch with NAND gates

NOR kapıları kullanarak RS Flip-Flop

- Normal koşullar altında, durumun değiştirilmesi gerekmedikçe, flip-flopun her iki girişi de 0'da kalır. S girişine anlık 1 uygulanması, flip-flopun ayarlama (set-kurma) durumuna geçmesine neden olur.



(a) Logic diagram

S	R	Q	Q'
1	0	1	0
0	0	1	0 (after $S = 1, R = 0$)
0	1	0	1
0	0	0	1 (after $S = 0, R = 1$)
1	1	0	0 (forbidden)

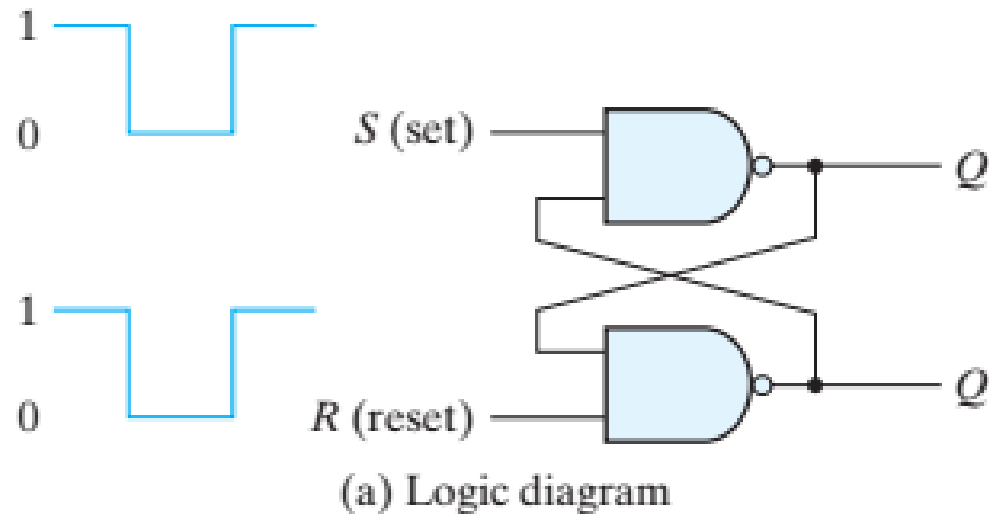
(b) Function table

FIGURE 5.3

SR latch with NOR gates

NAND kapıları kullanarak RS Flip-Flop

- Normal koşullar altında, durumun değiştirilmesi gerekmedikçe, flip-flopun her iki girişi de 0'da kalır. S girişine anlık 1 uygulanması, flip-flopun ayarlama (set-kurma) durumuna geçmesine neden olur.



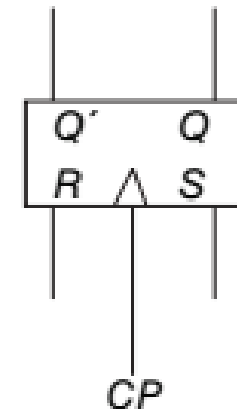
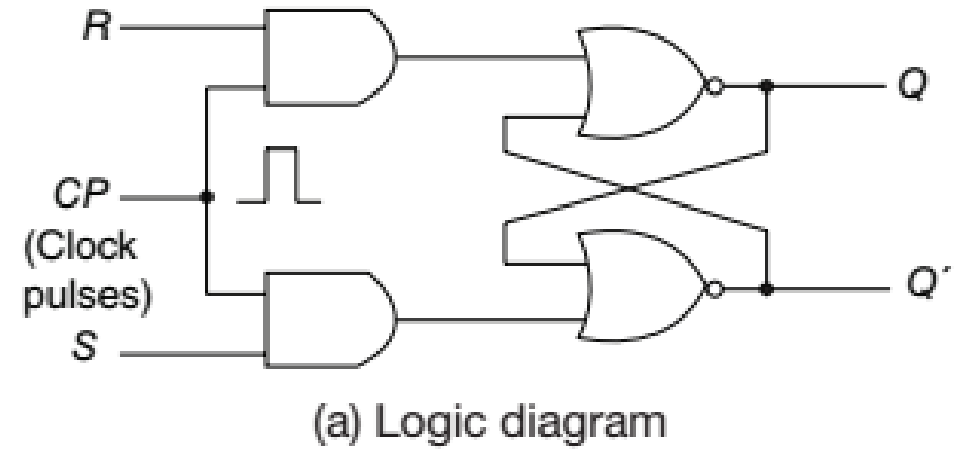
S	R	Q	Q'	
1	0	0	1	
1	1	0	1	(after $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(after $S = 0, R = 1$)
0	0	1	1	(forbidden)

(b) Function table

FIGURE 5.4
SR latch with NAND gates

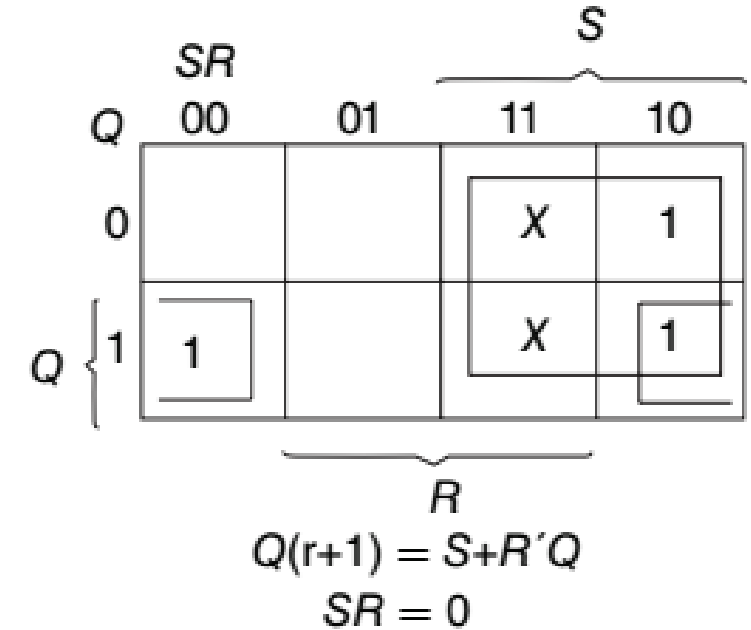
RS Tipi Flip-Flop

- Flip-flopun hem S hem de R girişlerine 1 uygulanırsa, her iki çıkış da 0'a gider.
- Bu eylem, tanımlanmamış bir sonraki durum oluşturur, çünkü giriş geçişlerinden kaynaklanan durum, bunların 0'a dönme sırasına bağlıdır.
- Ayrıca çıktıların birbirinin tümleyeni olması şartını da ihlal eder.
- Normal çalışmada, bu durum, 1'lerin her iki girişe aynı anda uygulanmadığından önlenir.



RS Flip-Flop Doğruluk Tablosu

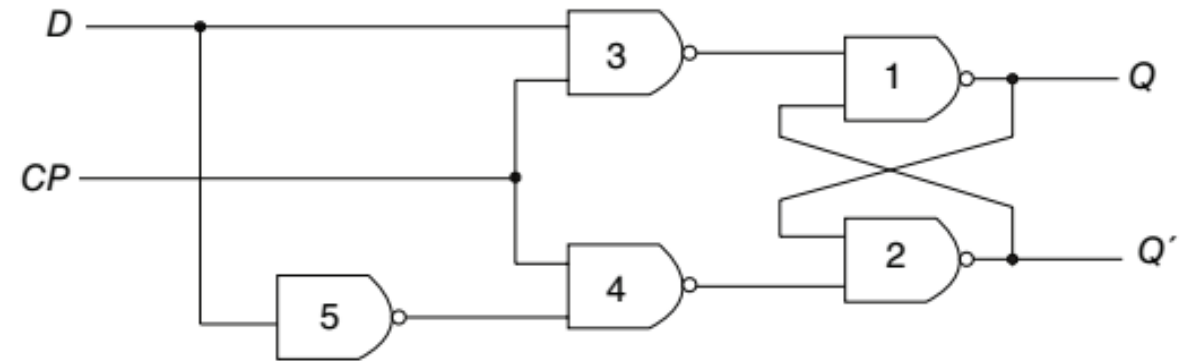
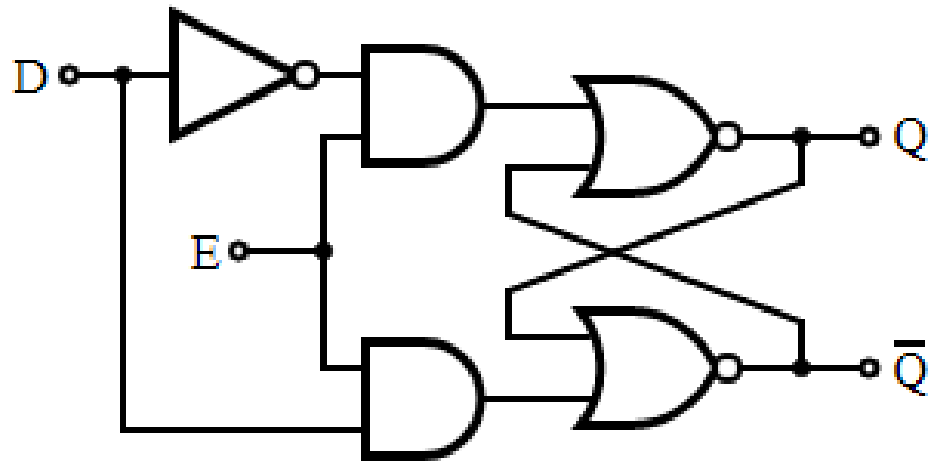
Önceki Durum				Sonraki Durum
CP	Q(t)	S	R	Q(t+1)
1	0	0	0	0 (Durum Değiştirmez)
1	0	0	1	0
1	0	1	0	1
1	0	1	1	Tanımsız
1	1	0	0	1 (Durum Değiştirmez)
1	1	0	1	0
1	1	1	0	1
1	1	1	1	Tanımsız



(d) Characteristic equation

D Tipi Flip-Flop

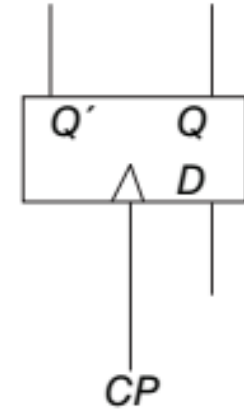
- D tipi flip-flop, RS tipi flip-flop'un girişlerinin değiştirilmesiyle elde edilir. D girişi doğrudan S girişine, R girişi ise S girişine bir invertor (tersleyici) ile bağlanarak D tipi flip-flop elde edilir.



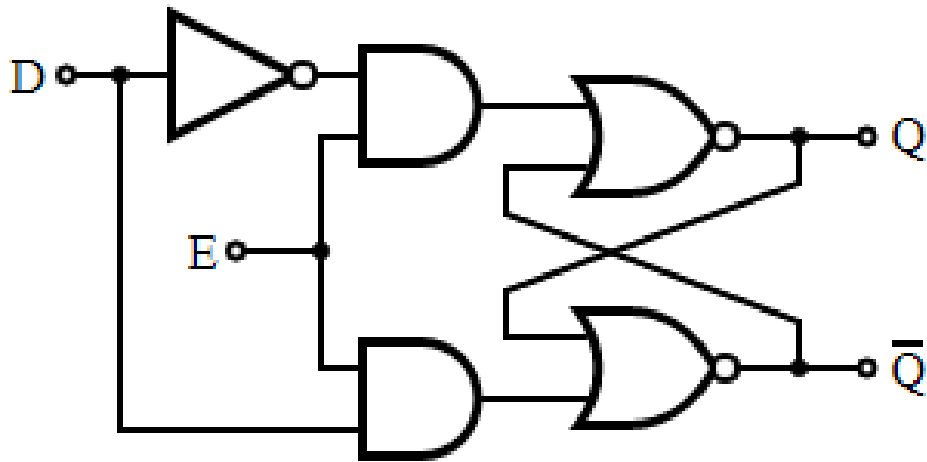
(a) Logic diagram with NAND gates

D Tipi Flip-Flop

- D tipi flip-flop, RS tipi flip-flop'un girişlerinin değiştirilmesiyle elde edilir. D girişi doğrudan S girişine, R girişi ise S girişine bir invertor (tersleyici) ile bağlanarak D tipi flip-flop elde edilir.

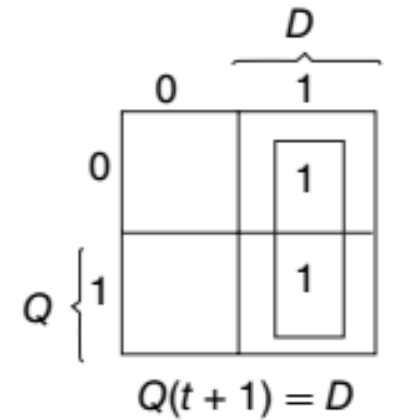


(b) Graphic symbol



Q	D	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

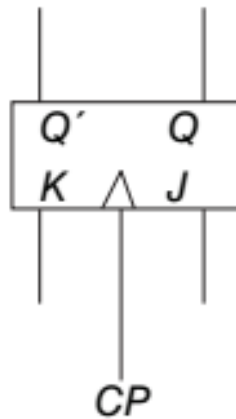
(c) Characteristic table



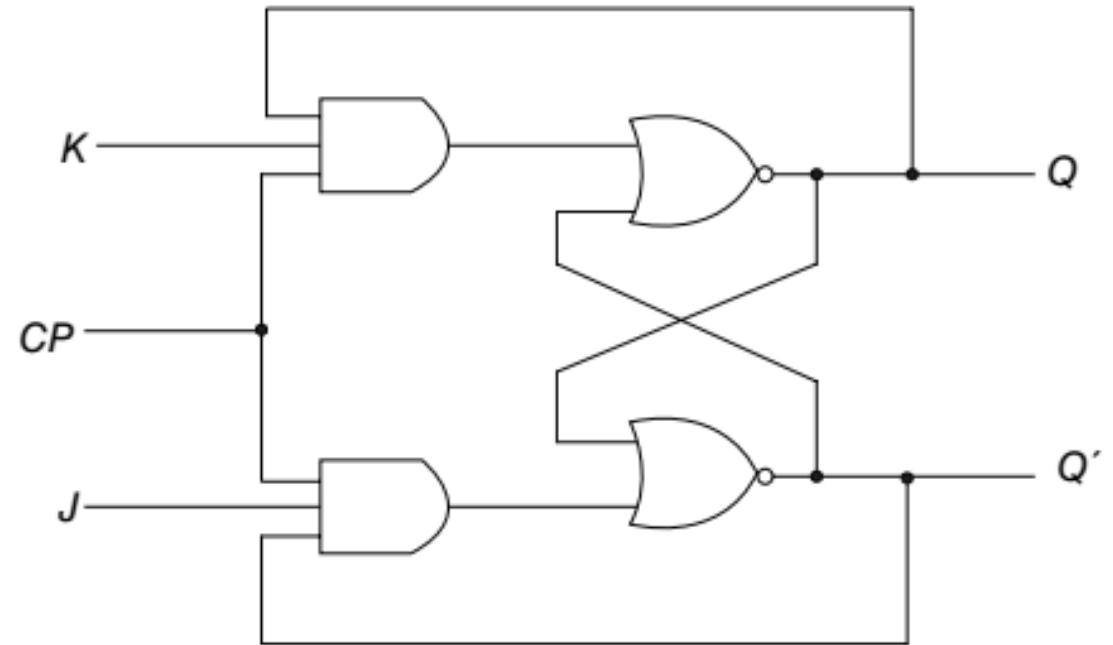
(d) Characteristic equation

JK Tipi Flip-Flop

- JK tipi flip-flop'lar, RS tipi flip-flop'lardaki belirsizlik durumunu ortadan kaldırmak için tasarlanmıştır.



(b) Graphic symbol

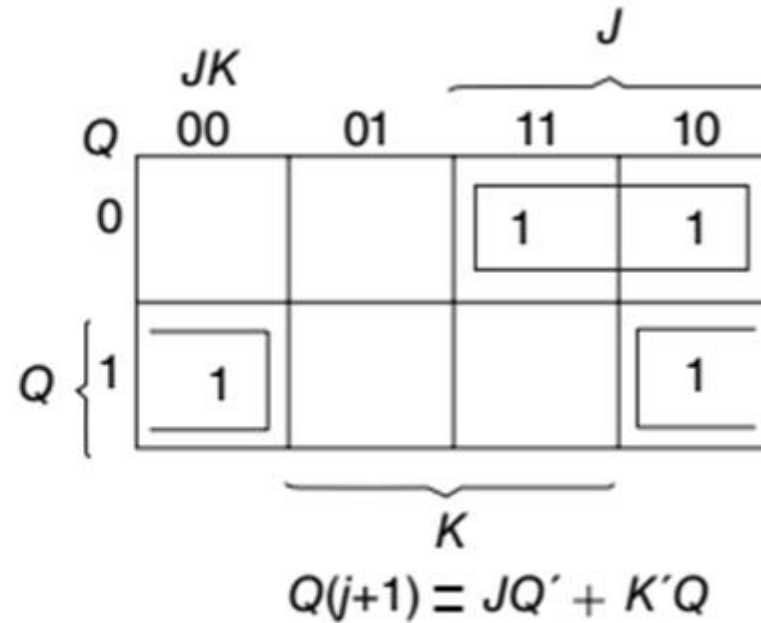


(a) Logic diagram

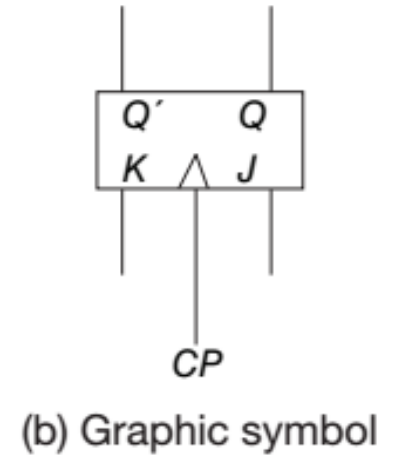
JK Tipi Flip-Flop

Q	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

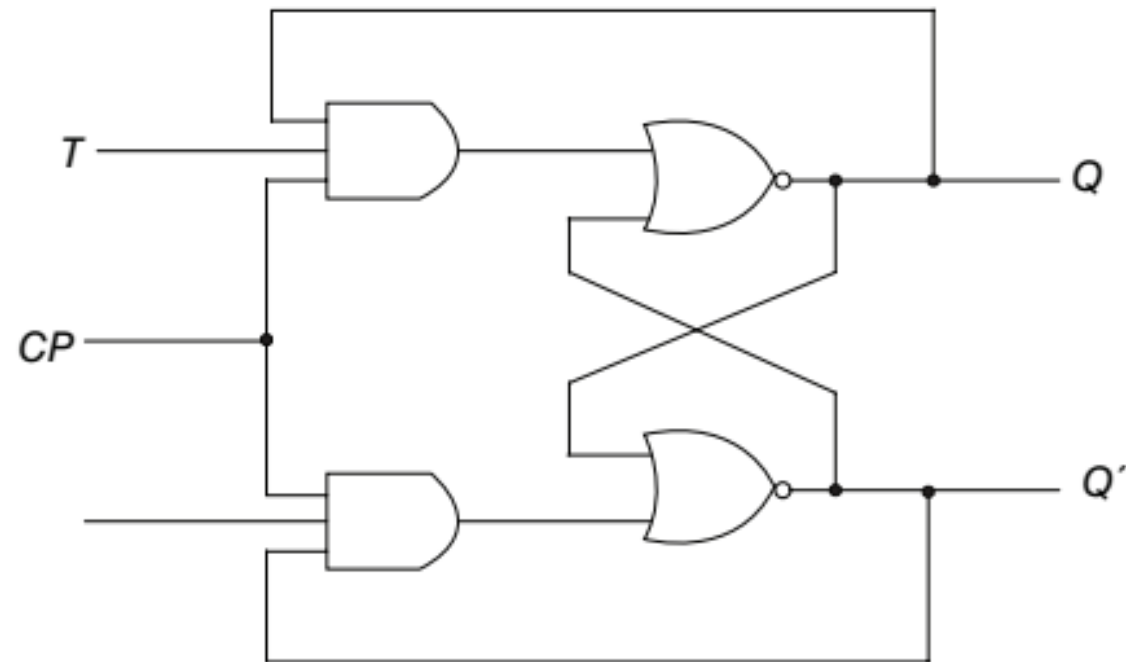
(c) Characteristic table



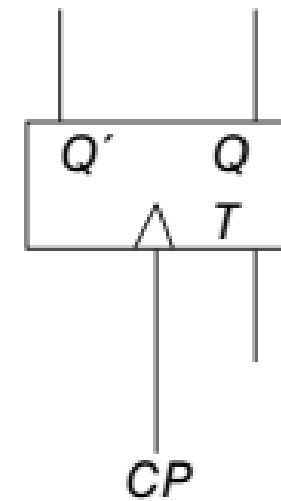
(d) Characteristic equation



T (Trigger) Tipi Flip-Flop



(a) Logic diagram



(b) Graphic symbol

T (Trigger) Tipi Flip-Flop

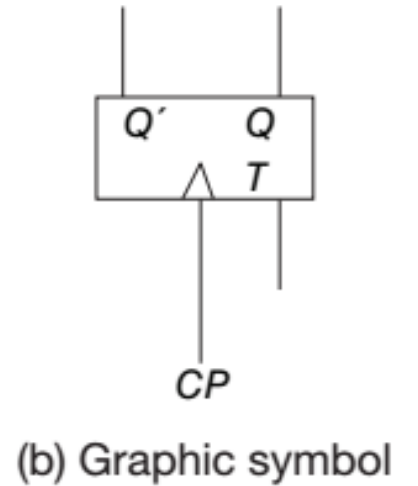
Q	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

(c) Characteristic table

		T	
		0	1
Q	0		1
	1	1	

$$Q(t+1) = TQ' + T'Q$$

(d) Characteristic equation



Kenar Tetiklemeli Flip-Flop’lar

- Flip-flop çıkışlarında herhangi bir hataya sebep vermemek için flip-flop’ların durum değiştirmeleri saat darbelerinin (clock pulse) uygulama zaman aralığı yerine saat darbelerinin
 - lojik «0» dan lojik «1» durumuna yükselme zamanlarında veya
 - lojik «1» den lojik «0» durumuna düşmeleri esnasında
- durum değiştirmelerini sağlamak amacıyla kenar tetiklemeli flip-flop’lar kullanılır.
- Bu sayede çıkış ile giriş arasındaki geri beslemeden dolayı meydana gelebilecek hatalı durum değiştirmeler ortadan kaldırılır.

Bir örnek

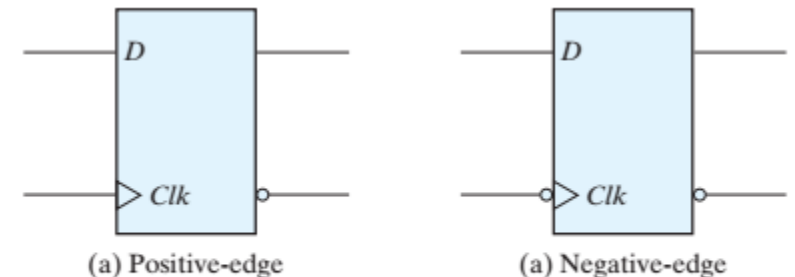
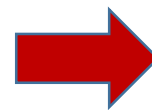


FIGURE 5.11

Graphic symbol for edge-triggered *D* flip-flop

Kenar Tetiklemeli Flip-Flop'lar

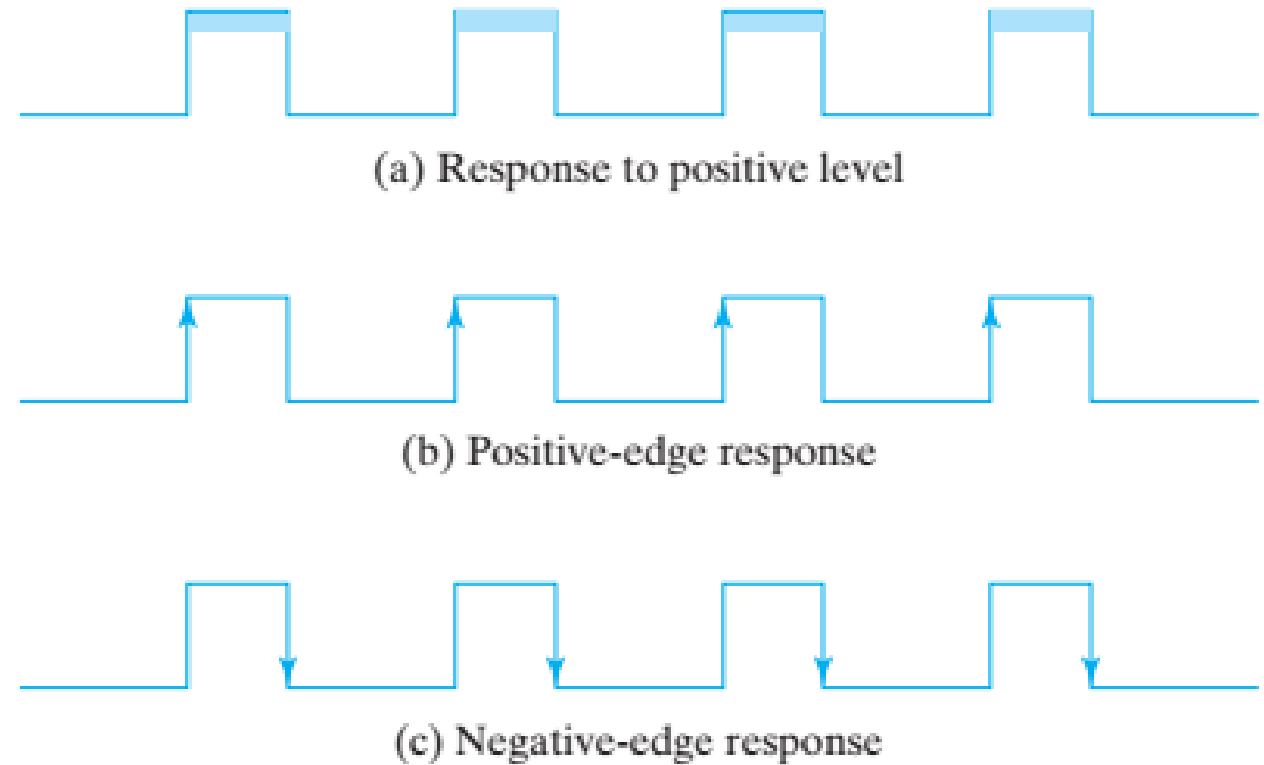


FIGURE 5.8

Clock response in latch and flip-flop