

Міністерство освіти і науки
Національний університет „Львівська політехніка”



Звіт

з лабораторної роботи № 1

з дисципліни: “Моделювання комп’ютерних систем”
на тему: “Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.”

Виконав: ст.гр. КІ-201
Бенітез Гектор
Прийняв:
Козак Н.Б.

Львів 2023

Тема роботи:

Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом *Elbert V2 – Spartan 3A FPGA*.

Мета роботи: ознайомитися з середовищем Xilinx ISE.

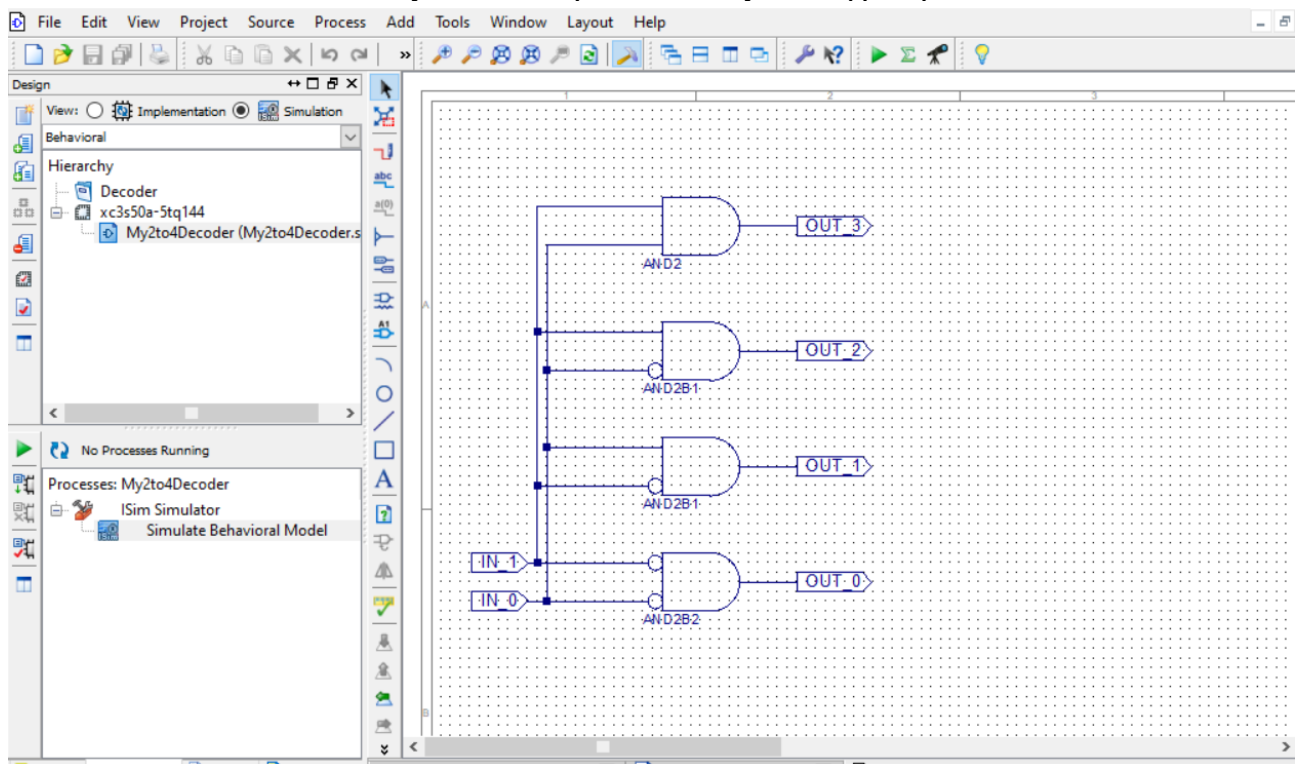
Етапи роботи:

1. Створення облікового запису на www.xilinx.com.
2. Інсталяція *Xilinx ISE* та отримання ліцензії.
3. Побудова дешифратора 3->7 за допомогою *ISE WebPACK™ Schematic Capture* та моделювання його роботи за допомогою симулятора *ISim*.

Виконання завдання

- 1) Використовуючи компоненти з бібліотеки реалізували схему згідно завдання.

На малюнку нижче зображено схему дешифратора 2 -> 4.



Мал. 1.1 Зображення схеми дешифратора 2 → 4

2) Призначили виводам схеми фізичні виводи цільової

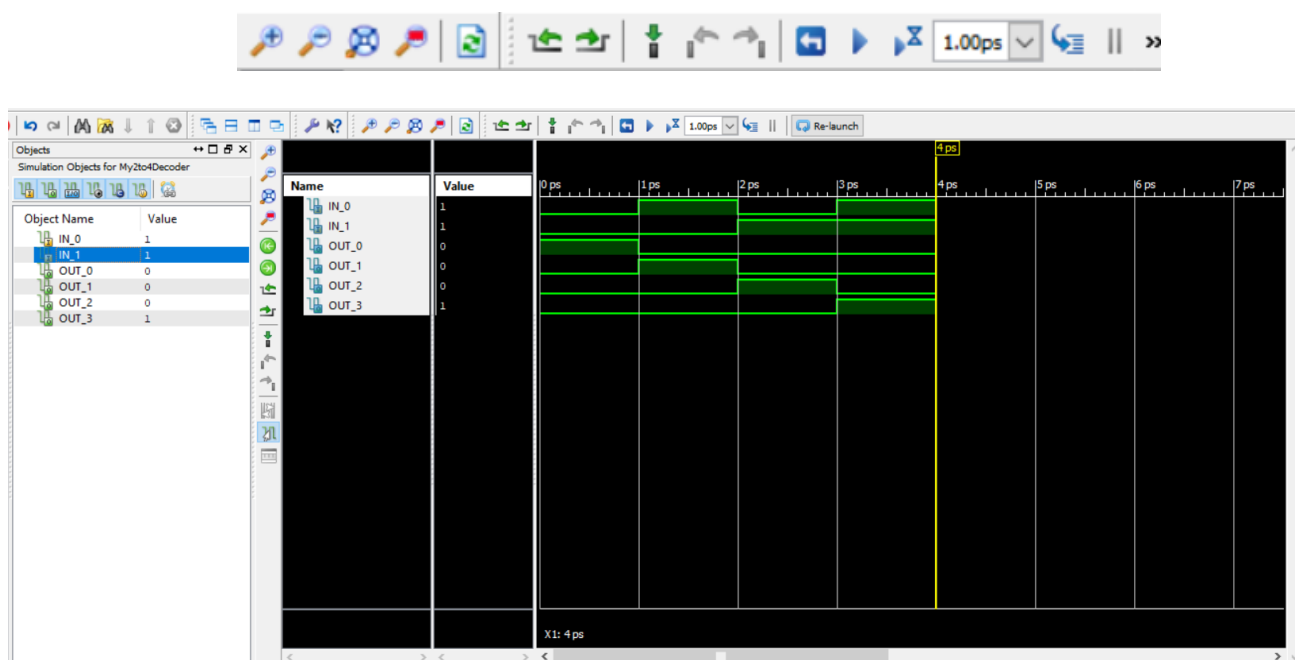
```

7
8
9 *****
10 #
11 #***** UCF for ElbertV2 Development Board *****
12
13 CONFIG VCCAUX = "3.3" ;
14
15 # Clock 12 MHz
16 #NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
17
18 *****
19 # LED
20 *****
21
22 NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 #NET "LED[4]" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 #NET "LED[5]" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28 #NET "LED[6]" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
29 #NET "LED[7]" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
30
31 *****
32 # DP Switches
33 *****
34
35 NET "IN_1" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 NET "IN_2" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37 #NET "DPSwitch[2]" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
38 #NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
39 #NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
40 #NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
41 #NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
42 #NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
43
44 *****

```

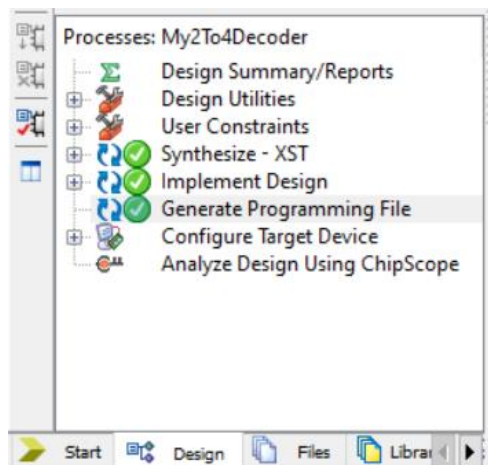
Мал. 1.2 Призначення виводам схеми фізичні виводи цільової FPGA

- 3) Перевірили роботу схеми за допомогою симулятора. Для кожного вхідного сигналу встановили значення (0 або 1) за допомогою команди Force Constant. На панелі команд симулятора натиснули Run for the time specified in the toolbar. Для симуляції роботи схеми з встановленими вхідними значеннями протягом 1ps



Мал. 1.3 Перевірка роботи схеми за допомогою симулятора

- 4) Послідовно запустили процеси Synthesize – XST, Implement Design, Generate Programming File. Переконалися, що всі процеси виконалися успішно.



Мал. 1.4 Успішне виконання всіх процесів

Висновок: на лабораторній роботі я ознайомився з середовищем Xilinx ISE.