

Héctor Javier Pequeño Chairez.

A01246364.

Práctica 5.

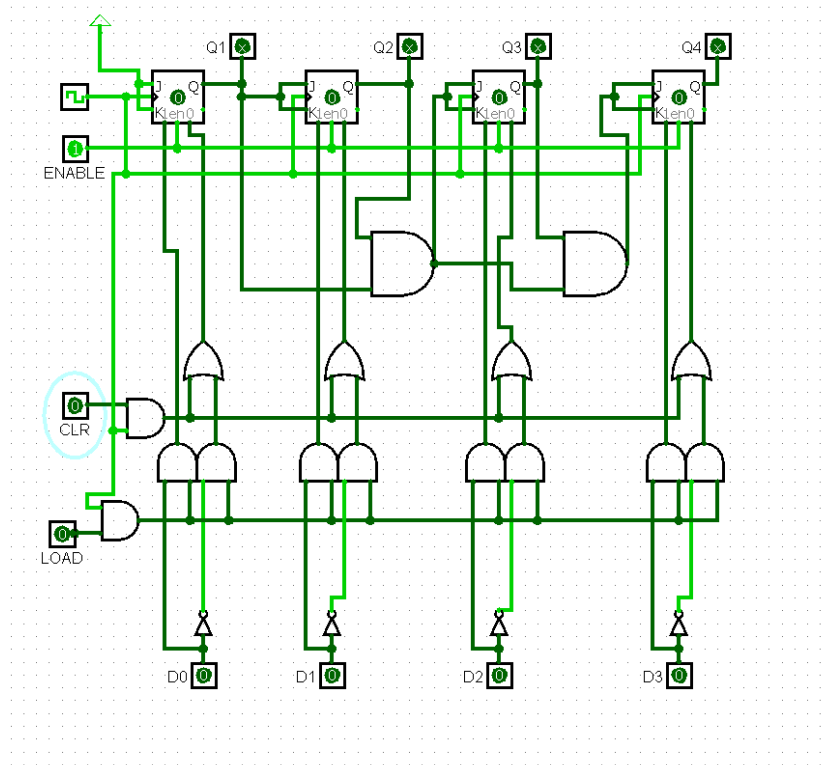
Laboratorio de Sistemas digitales avanzados.

Reloj Digital 12 Horas.

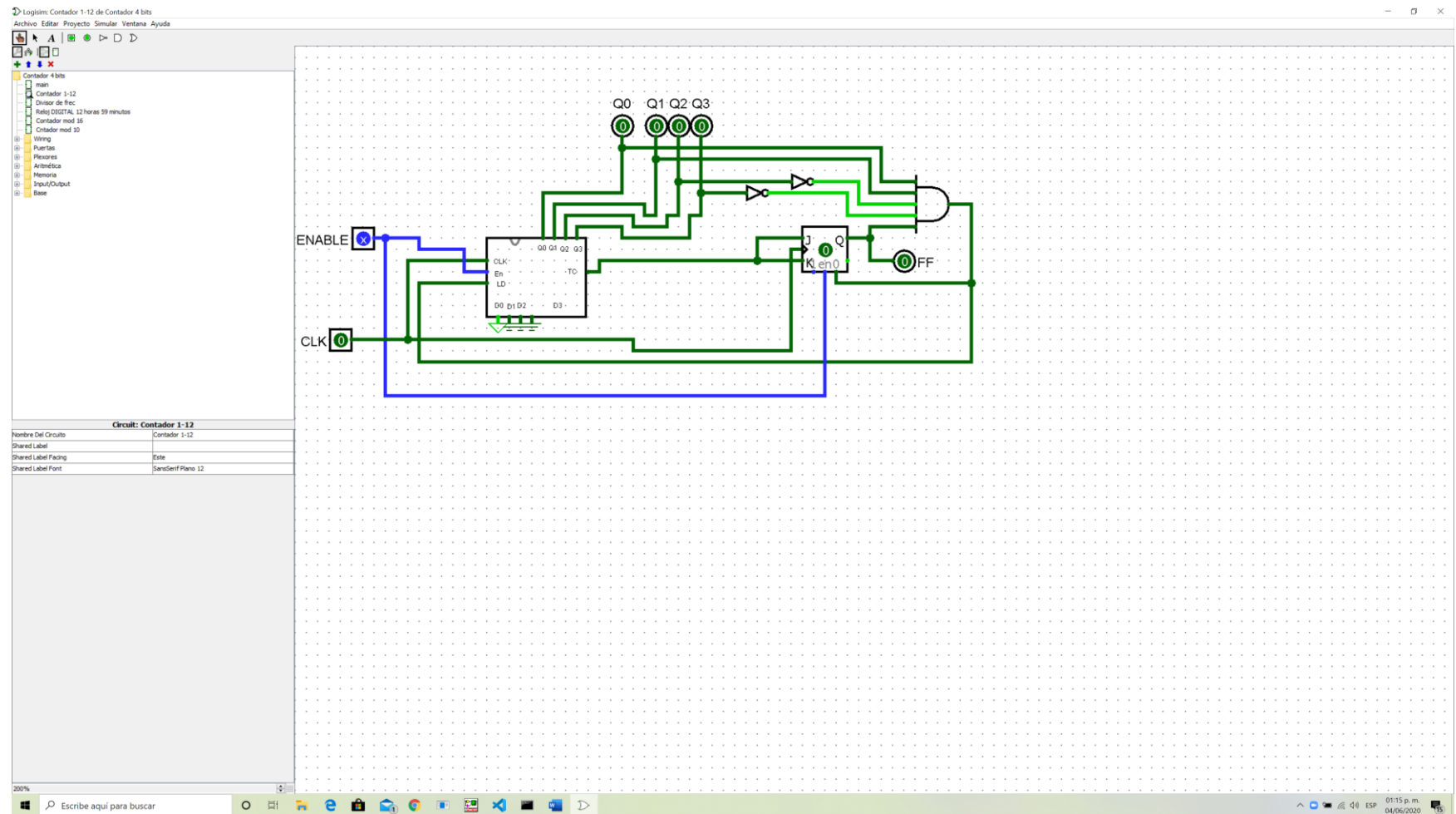
Al inicio de la práctica se tenía pensado realizarlo de manera estructural, definiendo cada componente e instanciándolo, pero se decidió al final tratarlo a manera de comportamiento para tener un solo modulo, siendo más practico, aun así se adjuntan evidencias del inicio del trabajo de manera estructural.

Diseños esquemáticos:

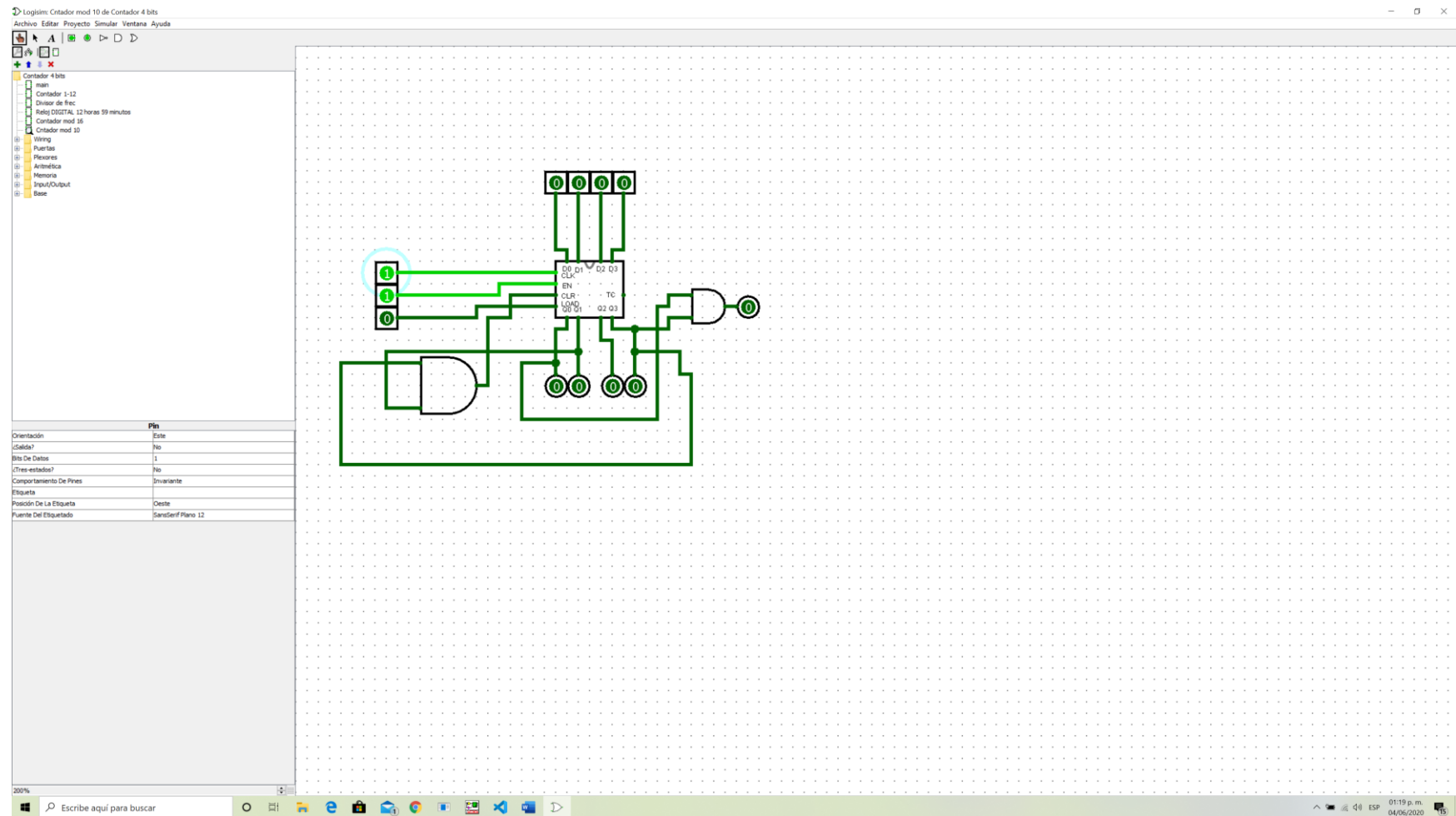
Contador Sincrónico de 4 Bits:



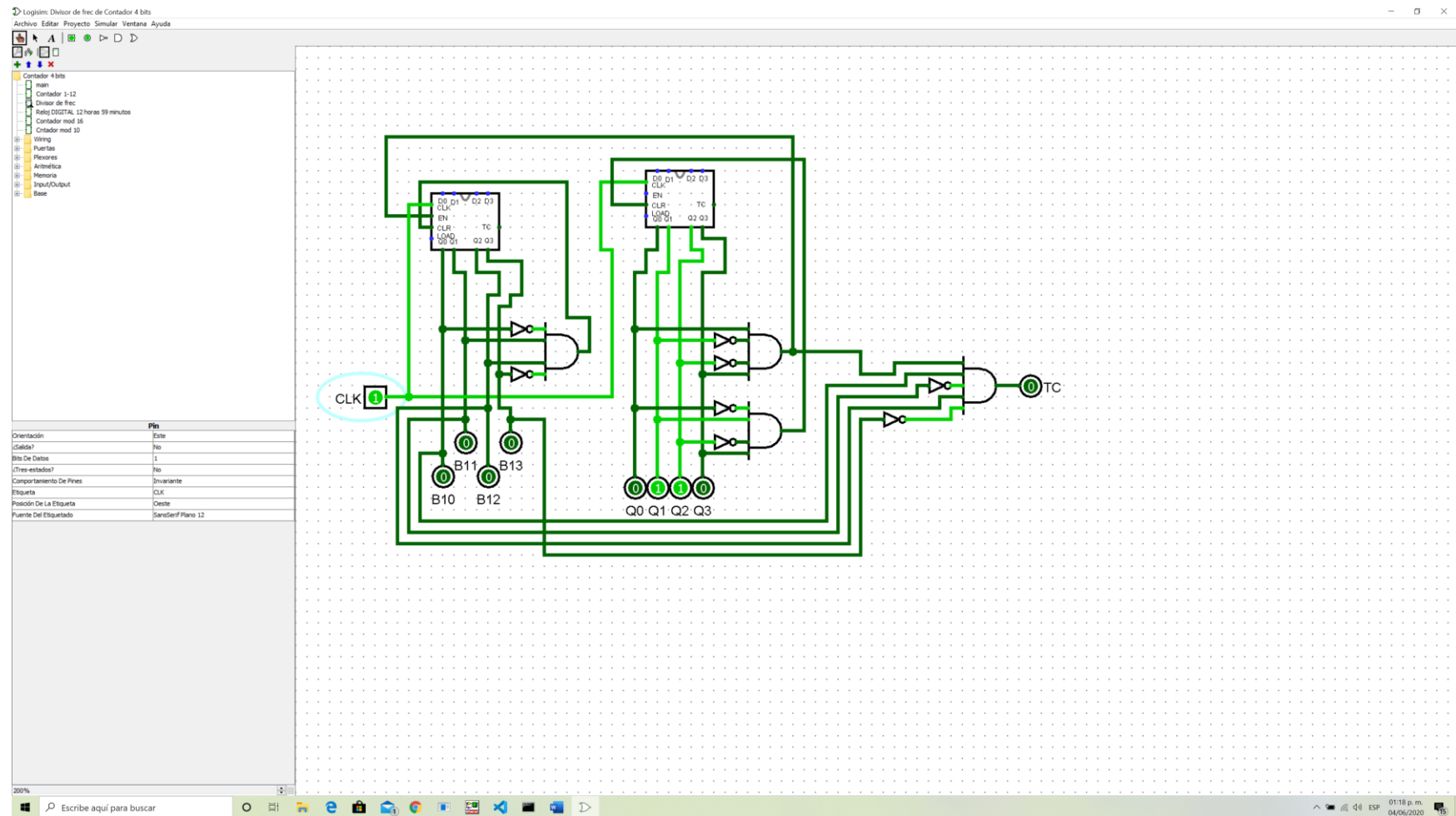
Contador 1-12



Contador Mod 10.



Contador Modulo 60.

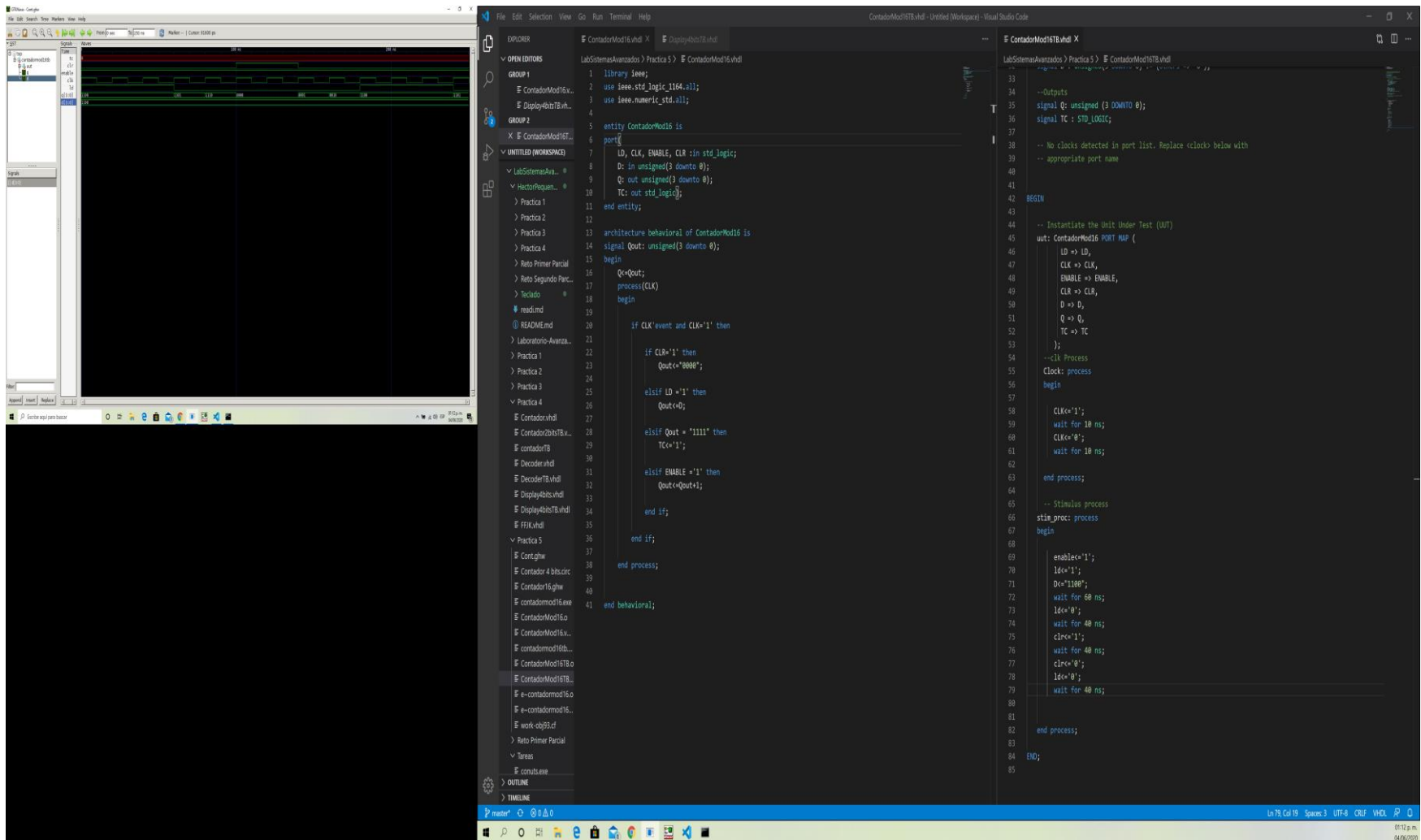


Reloj Digital

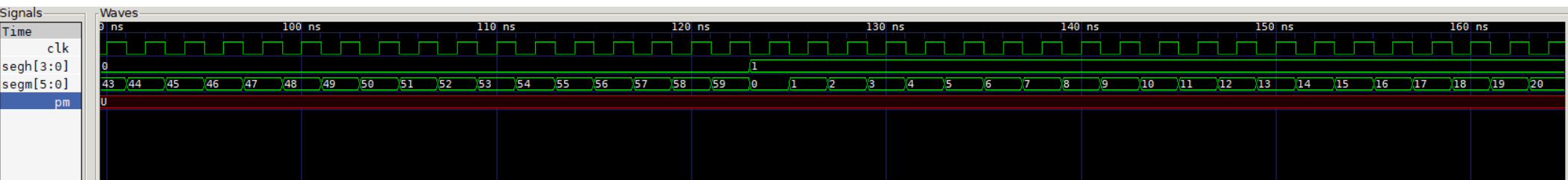
[illegible]

Pruebas, Test Bench y Código (inicio de manera estructural).

Contador Modulo 10.



TESTENCH, SIMULACIÓN DEL CÓDIGO (COMPORTAMIENTO):



La anterior simulación contiene los minutos que va contando nuestro reloj digital a través del tiempo y como, cuando llega a 59 min, se hace una transición de tiempo hacia las horas, el parámetro PM, nos permite identificar si son las 12 a.m. cuando esta en 0 o si son las 12 p.m. si esta en 1, en este caso debido a los tiempos de simulación no se alcanza a apreciar.

Símbolo del sistema - gtkwave RelojDigital.ghw

```
C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -a RelojDigitalTB.vhdl
RelojDigitalTB.vhdl:24:14: type mark expected in a subtype indication
RelojDigitalTB.vhdl:24:13: missing ";" at end of object declaration
RelojDigitalTB.vhdl:25:14: type mark expected in a subtype indication
RelojDigitalTB.vhdl:25:13: missing ";" at end of object declaration
RelojDigitalTB.vhdl:26:12: type mark expected in a subtype indication
RelojDigitalTB.vhdl:26:11: missing ";" at end of object declaration
RelojDigitalTB.vhdl:69:12: missing entity, architecture, package or configuration
C:\GHDL\0.36-mingw64-llvm\bin\ghdl.exe: compilation error

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -a RelojDigitalTB.vhdl
RelojDigitalTB.vhdl:69:12: missing entity, architecture, package or configuration
C:\GHDL\0.36-mingw64-llvm\bin\ghdl.exe: compilation error

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -a RelojDigitalTB.vhdl

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -e RelojDigitalTB

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -r RelojDigitalTB --wave=RelojDigital.ghw --stop-time=300ns
.\relojdigitaltb.exe:info: simulation stopped by --stop-time @300ns

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>gtkwave RelojDigital.ghw

GTKWave Analyzer v3.3.100 (w)1999-2019 BSI

[0] start time.
[300000000] end time.
MM Destroy

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -a RelojDigitalTB.vhdl

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -e RelojDigitalTB

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -r RelojDigitalTB --wave=RelojDigital.ghw --stop-time=300ns
.\relojdigitaltb.exe:info: simulation stopped by --stop-time @300ns

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>gtkwave RelojDigital.ghw

GTKWave Analyzer v3.3.100 (w)1999-2019 BSI

[0] start time.
[300000000] end time.
MM Destroy

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -a RelojDigital.vhdl

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -e RelojDigital

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -a RelojDigitalTB.vhdl

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -e RelojDigitalTB

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>ghdl -r RelojDigitalTB --wave=RelojDigital.ghw --stop-time=300ns
.\relojdigitaltb.exe:info: simulation stopped by --stop-time @300ns

C:\Users\Héctor Pequeño\Desktop\LabSistemasAvanzados\Practica 5>gtkwave RelojDigital.ghw

GTKWave Analyzer v3.3.100 (w)1999-2019 BSI

[0] start time.
[300000000] end time.
```

Escribe aquí para buscar

03:43 p. m.
04/06/2020

File Edit Selection View Go Run Terminal Help

RelojDigitalTB.vhdl - Untitled (Workspace) - Visual Studio Code

EXPLORER

OPEN EDITORS

GROUP 1

RelojDigital.vhdl L...

GROUP 2

RelojDigitalTB.vhd...

contadormod16tb....

UNTITLED (WORKSPACE)

ContadorMod16.v...

contadormod16tb....

ContadorMod16TB.o

ContadorMod16TB...

e~contadormod16.o

e~contadormod16...

e~relojdigital.o

e~relojdigitaltb.o

relojdigital.exe

RelojDigital.ghw

RelojDigital.o

RelojDigital.vhdl

relojdigitaltb.exe

RelojDigitalTB.o

RelojDigitalTB.vhdl

work-obj93.cf

Reto Primer Parcial

Tareas

conuts.exe

conuts.o

conuts.vhdl

conuts12.exe

conuts12.o

conuts12.vhdl

conuts12b.exe

ConutsTb.o

OUTLINE

TIMELINE

RelojDigital.vhdl

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.numeric_std.all;
4
5 entity RelojDigital is
6     port(CLK: in std_logic;
7          setM: in std_logic;
8          setH: in std_logic;
9          SegM: out unsigned(5 downto 0);
10         segH: out unsigned(3 downto 0);
11         PM: out std_logic
12     );
13 end RelojDigital;
14
15 architecture arch of RelojDigital is
16     signal segHs: unsigned(3 downto 0);
17     signal segMs: unsigned(5 downto 0);
18     signal PMS : std_logic;
19 begin
20     segH <= segHs;
21     segM <= segMs;
22     PM <= Pms;
23     process (CLK)
24     begin
25         if CLK'event and CLK='1' then
26
27             elsif setH = '0' and setM = '1' and segHs < "1100" then
28
29                 segHs<=SegHs + 1;
30                 segMs <= "000000";
31
32             elsif setH = '0' and setM = '1' and segHs = "1100" then
33
34                 segHs<=SegHs;
35                 segMs <= "000000";
36
37             elsif setH = '1' and setM = '0' and segMs < "111011" th
38
39
40                 segHs <= "0000";
```

RelojDigitalTB.vhdl

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3 use ieee.numeric_std.all;
4
5 entity RelojDigitalTB is
6     end RelojDigitalTB;
7
8 architecture arch of RelojDigitalTB is
9     component RelojDigital
10     port(
11         CLK: in std_logic;
12         setM: in std_logic;
13         setH: in std_logic;
14         SegM: out unsigned(5 downto 0);
15         segH: out unsigned(3 downto 0);
16         PM: out std_logic;
17     end component;
18
19 --Inputs
20 signal CLK: std_logic := '0';
21 signal setM: std_logic:= '1';
22 signal setH: std_logic:= '1';
23 --Outputs
24 signal SegM: unsigned(5 downto 0);
25 signal segH: unsigned(3 downto 0);
26 signal PM: std_logic;
27
28 begin
29
30 uut: RelojDigital port map(
31
32     CLK => CLK,
33     setM => setM,
34     setH => setH,
35     SegM => SegM,
36     segH => segH,
37     PM => PM
38 );
39
40
```

Ln 63, Col 17 Spaces: 4 UTF-8 CRLF VHDL

03:44 p. m. 04/06/2020