

Practica #2

Laboratorio de sistemas digitales avanzados.

Héctor Javier Pequeño Chairez.

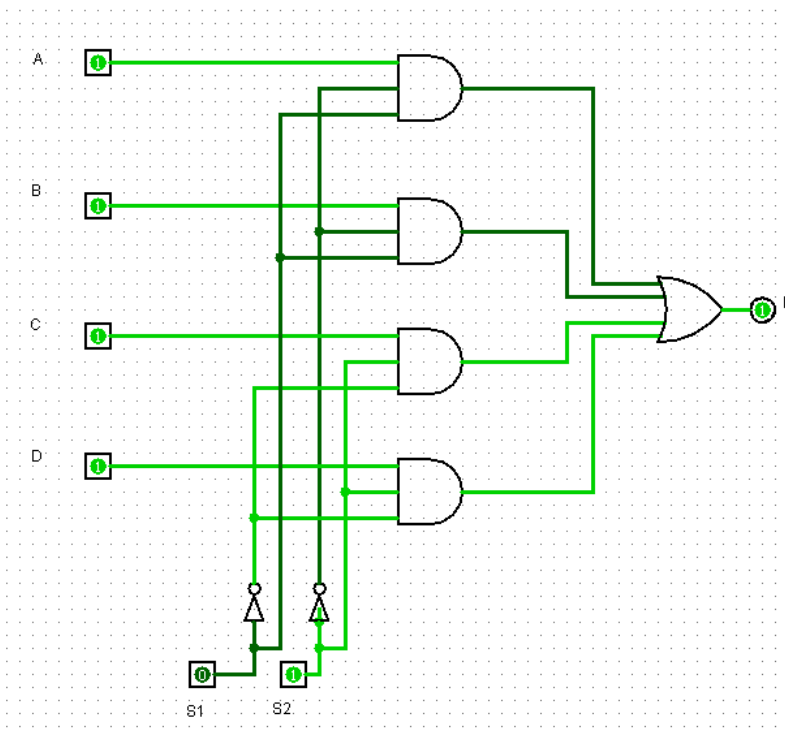
20/02/2020 (Fecha de inicio)

Diseño (esquemático).

1.-Diseño de los multiplexores 4 a 1 usando compuertas lógicas

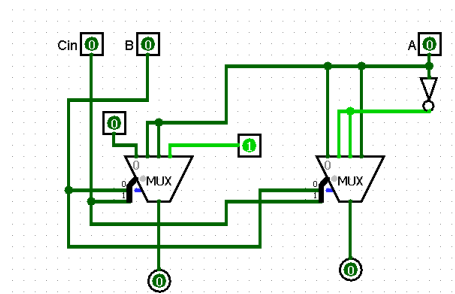
*El multiplexor es controlado por dos chips selector, uno negado y otro no para poder seleccionar de manera simétrica las 4 salidas, dirigadas por compuertas AND que salen a una compuerta OR.

Según el bit de entrada se activará.

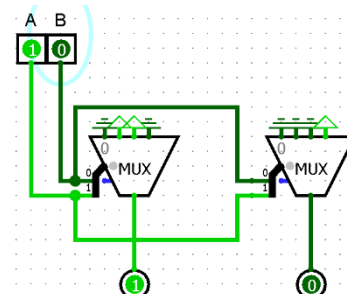


2.- Diseño de Full adders y Half adders con multiplexores 4 a 1.

2.1.- Full Adders-> Multiplexor 4:1.



2.2- Half Adders-> Multiplexor 4:1.



Los full adders funcionan conectándose entre ellos el Carry de salida, mientras que los Half Adders no poseen ninguna carry de entrada.

3.- Diseño de multiplicador usando multiplexores de 4 a 1 (Complemento a 2).

El diseño se realizó, replicando las compuertas realizadas con anterioridad sincronizandolas todas para dar una multiplicación en complemento a 2.

