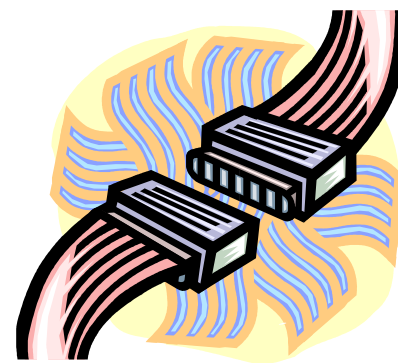


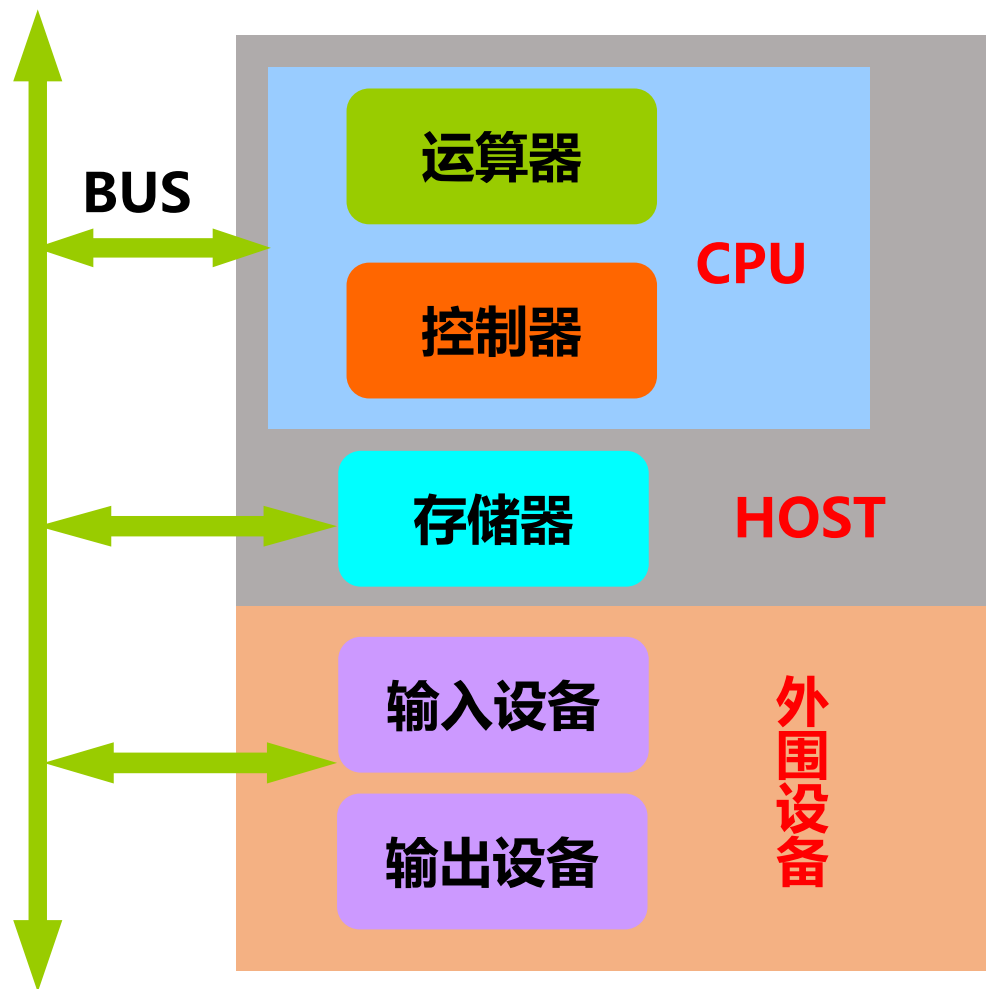


计算机组成原理



八、系统总线





本章主要内容

■ 8.1 总线概述

■ 8.2 总线传输机制

■ 8.3 总线结构

■ 8.4 常用总线



8.1 总线概述

■ 8.1.1 总线分类

■ 8.1.2 总线组成

■ 8.1.3 总线标准

■ 8.1.4 总线与三态门

■ 8.1.5 总线性能指标

总线(BUS)基本概念

◆ 各功能部件间传递信息的**公共通路**

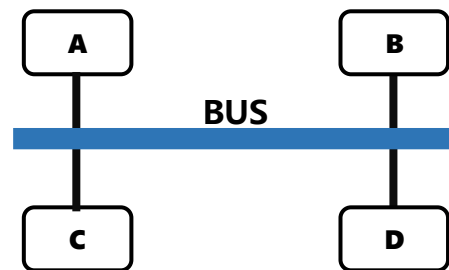
- ◆ 比**点对点**控制简单，成本低、扩展性好
- ◆ 计算机体系结构的重要组成部分
- ◆ 可将各功能部件连接起来构成一个完整系统

◆ 系统中各部件间的**物理接口**，可减少通信复杂程度

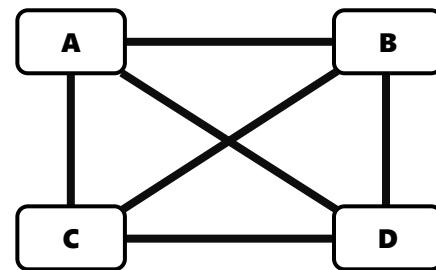
◆ **提供**信息交换时所需的数据、地址、时序和控制**信息**

◆ 遵循**协议或标准**，方便计算机系统集成、扩展和进化

◆ 不应**成为**整个计算机性能的**瓶颈**



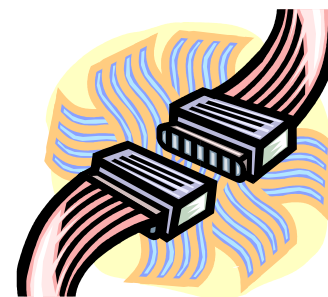
共享总线连接



点对点分散连接

总线分类

- **按总线数量分** 并行传输总线、串行传输总线
- **按传输方向分** 单向传输总线、双向传输总线
- **按传输速度分** 高速总线、低速总线
- **按时序控制分** 同步总线、异步总线
- **按信号线的功能分** 数据总线、地址总线、控制总线
- **按连接部件分**
 - ◆ 片内总线 (CPU内各功能单元间的连线) AMBA
 - ◆ 系统总线 (系统内各部件间的连线) PCI、AGP等
 - ◆ 外部总线 USB、火线 (IEEE-1394) 等
 - ◆ I/O总线 (I/O设备间的连接总线)
 - ◆ 处理器总线



总线组成

■ 数据总线

- 传送数据信息，双向传输

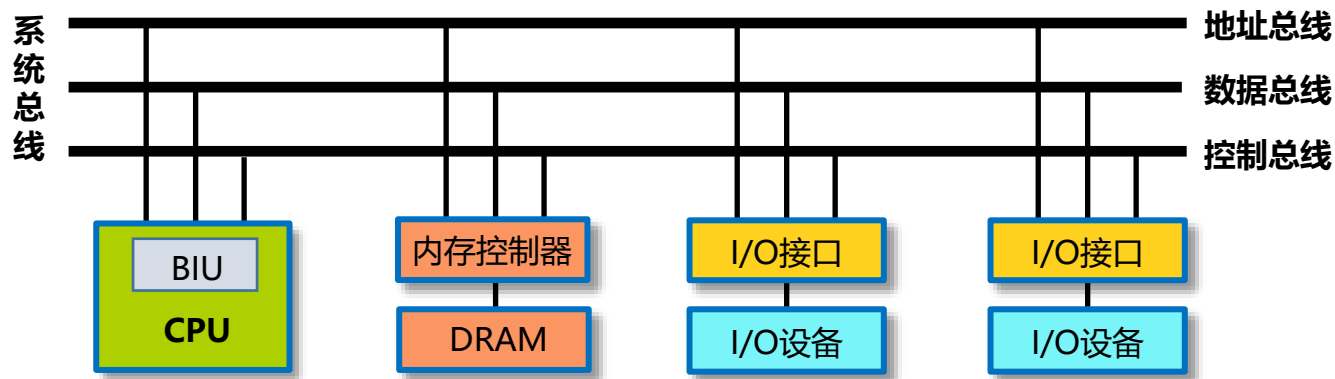
■ 地址总线

- 传送地址，单向传输

■ 控制总线

- 传送控制信号和时序信号

■ 电源、地线



■ 总线复用技术

- 可减少引脚，降低成本，性能下降

■ 总线设备分类

- 主设备、从设备、总线主控技术

总线组成

■ 常见的控制信号

- 存储器读
- 存储器写
- I/O读
- I/O写
- 传输应答
- 总线请求
- 总线许可
- 总线正忙
- 中断请求
- 中断响应
- 时钟信号
- 复位信号

总线复用

■ 总线的信号线

- **专用**：只用于传输一种信号，系统总线的3种总线
- **复用**：一组传输线具有多种用途，用于分时传送不同类型的信息。例如地址总线 and 数据总线复用，即地址总线 and 数据总线共用一组物理线缆，某一时刻该总线传输地址信号，另一时刻传输数据信号

总线标准与特性

■ 总线标准

- 关于总线与总线接口的物理特性、电气特性、功能特性、时间特性的详细规范和协议

■ 物理规范---总线的物理连接方式

- 根数，插头，座的形状，引线的排列方式

■ 电气规范---定义信号线的传递方向及有效电平

- 单/双向，电平高有效/低有效及范围

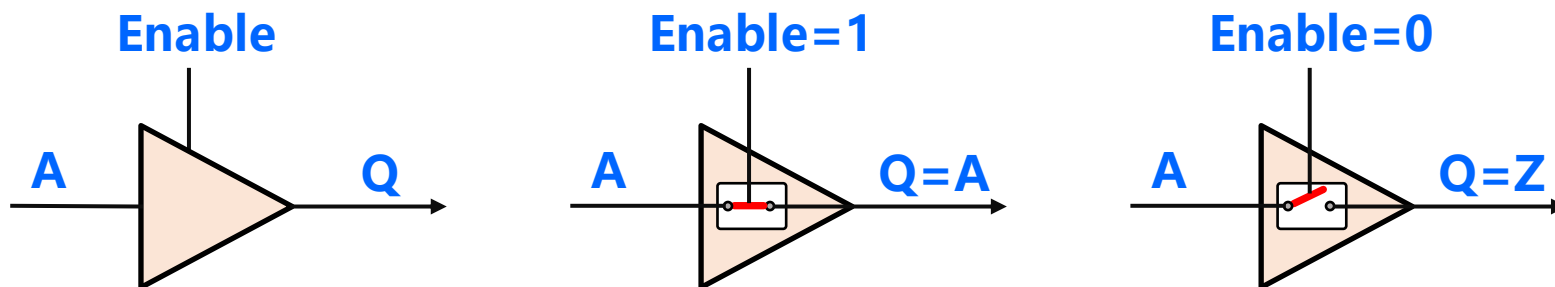
■ 功能规范---定义信号线的功能

■ 时序规范---总线上各信号有效的时序关系

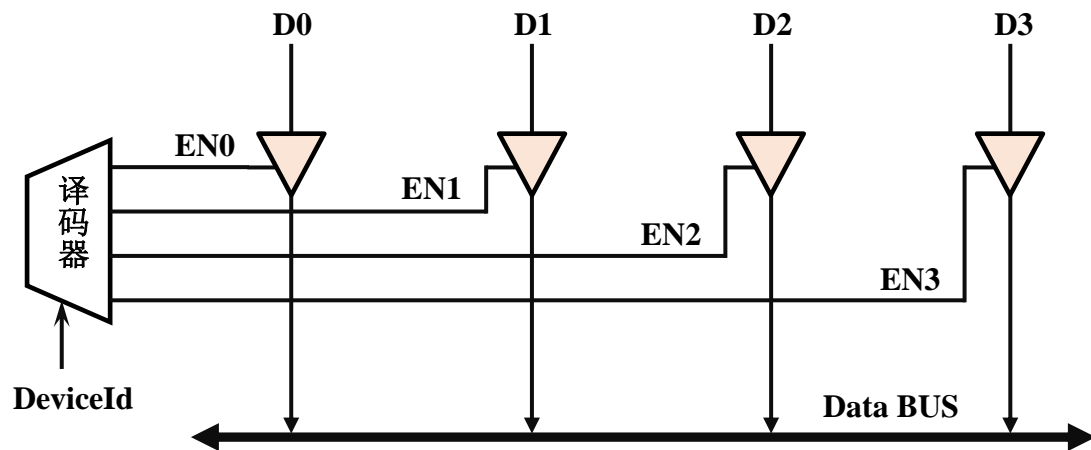
- 同步、异步、多路复用：地址线 and 数据线能否共用一条物理线

总线与三态门

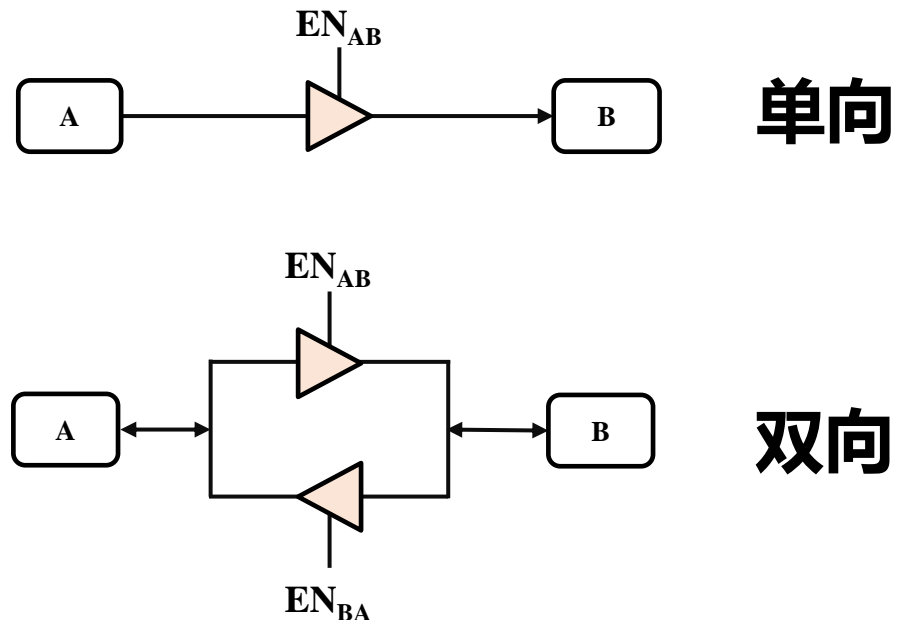
- 所有总线上连接的设备均通过总线接口芯片与总线连接，而对这些**接口芯片通常采用三态门进行控制**
- 三态门可以控制设备与总线的连接，在设备不需要和总线连接时可以使其和总线断开，降低总线负载
 - 三态门具有信号缓冲放大的功能，可以增强信号的驱动能力
 - 三态门还可以控制总线的传输方向。



总线与三态门



总线输出控制



- 三态门作为部件与总线之间的缓冲器，既可以将部件与总线进行隔离，也可以解决总线负载驱动的问题
- 当总线上某个部件在向总线输出数据时，其他部件输出端的三态门的输出就应该是高阻态,以免有多个部件同时向总线输出信息，造成数据冲突，所以同一时刻最多只能有一个三态门的使能信号有效。

□ 译码器

■ 有向总线:

□ 单向总线:

- 双向总线: 当时 $EN_AB=1$ 时，实现部件 A向部件B的信息传送;当 $EN_BA=1$ 时，实现部件B向部件A的信息传送

总线性能指标

- **总线宽度:** 数据总线的根数, 用位(bit)表示,
 - 8位、16位、32位等
 - 数据总线宽度直接决定了可并发传输的位数
- **总线时钟频率:** 时钟周期的倒数, 时钟频率越快, 传输速率越快
- **总线传输周期:** 一次总线操作完成所需要的时间,
 - 包括总线申请阶段、寻址阶段、传输阶段和结束阶段4个阶段的时间, 简称总线周期

总线性能指标

- **单时钟传输次数:** 一个总线时钟周期内传输数据的次数, 通常该值为1
 - DDR技术在时钟上、下跳沿分别传输一次数据, 该值为2
 - QDR技术下其值为4(总线内部时钟为两个相位相差90°的时钟)
 - 目前该值最高的是AGP x8总线, 单时钟可以传输8次
- **总线带宽:** = 总线宽度 × 总线时钟频率 × 单时钟传输次数
 - 总线宽度, 总线传输频率
 - 信号线类型、是否允许突发模式
 - 总线连接方式、总线定时方式、并串模式
- **总线负载能力:** 指总线上能同时连接的设备数

常见总线带宽

总线标准	总线宽度	总线时钟频率	单时钟传输次数	总线带宽
ISA-8	8	8.3 MHz	1	8 MB/s
ISA-16	16	8.3 MHz	1	16 MB/s
EISA	32	8.3 MHz	1	33 MB/s
MCA	32	10 MHz	1	40 MB/s
VESA	32	33 MHz	1	133 MB/s
PCI-32	32	33/66 MHz	1	133/266 MB/s
PCI-64	64	66 MHz	1	533 MB/s
AGP	32	66 MHz	1	266 MB/s
AGP*8	32	66 MHz	8	2133 MB/s
ATA133	16	66 MHz	1	133 MB/s
SCSI-3	16	80 MHz	4	640 MB/s
FSB	64	400 MHz	4	12.8 GB/s

例子

- **例8.1** 某32位同步总线时钟频率为400MHz，每个总线时钟周期可以传输一个机器字，求总线的带宽是多少，为优化总线性能，将总线宽度增加到64位，并采用了QDR技术，一个总线时钟周期可以传输4次，则总线的带宽是多少，提升了多少倍？

例子

- **例8.1** 某32位同步总线时钟频率为400MHz，每个总线时钟周期可以传输一个机器字，求总线的带宽是多少，为优化总线性能，将总线宽度增加到64位，并采用了QDR技术，一个总线时钟周期可以传输4次，则总线的带宽是多少，提升了多少倍？

解：由同步总线带宽计算公式，可得

$$\text{总线带宽} = 4B \times 400\text{MHz} \times 1 = 1.6 \text{ GB/s}.$$

改进后的总线带宽 = $8B \times 400\text{MHz} \times 4 = 12.8 \text{ GB/s}$ ，提升了8倍。

本章主要内容

- 8.1 总线概述
- 8.2 总线传输机制
- 8.3 总线结构
- 8.4 常用总线



8.2 总线传输机制

- 8.2.1 总线传输过程
- 8.2.2 总线的信息传送
- 8.2.3 总线仲裁
- 8.2.4 总线定时

8.2.1 总线传输过程

■ 总线申请：（总线仲裁）

- 需要使用总线的主部件提出请求，总线控制器确定将下一个总线使用权分配给谁

■ 地址阶段：（总线寻址）

- 主设备通过总线发出从部件的存储器地址或I/O端口地址及相关命令，启动从设备

■ 数据阶段：（数据传输）

■ 结束阶段：

- 主部件撤消总线请求等有关信息，让出总线，以便总线控制器重新分配总线使用权

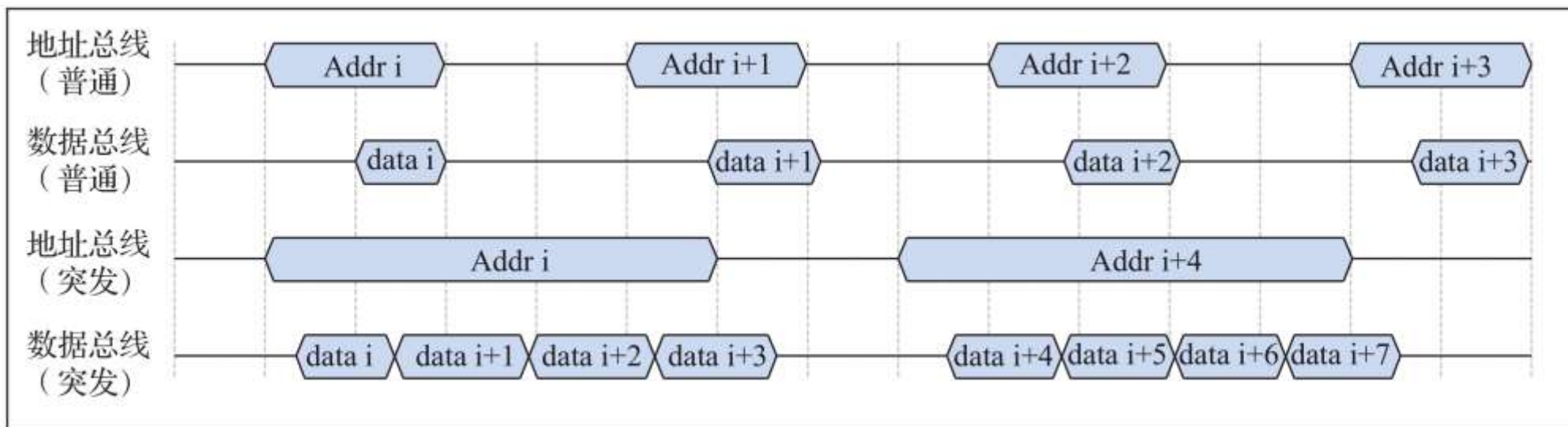
总线事务 (Bus Transaction)

■ 总线事务：总线上主从设备之间的一次信息交换过程

- 一个总线周期中发生的一系列活动：**请求阶段、寻址阶段、传输阶段、结束阶段**
- 典型事务：存储器读，存储器写，I/O读，I/O写，中断响应，DMA响应

■ 突发(猝发)传送事务 (Burst Mode 成组传送)

- 多个数据阶段，多个数据阶段，传输过程不释放总线



8.2.2 总线的信息传送

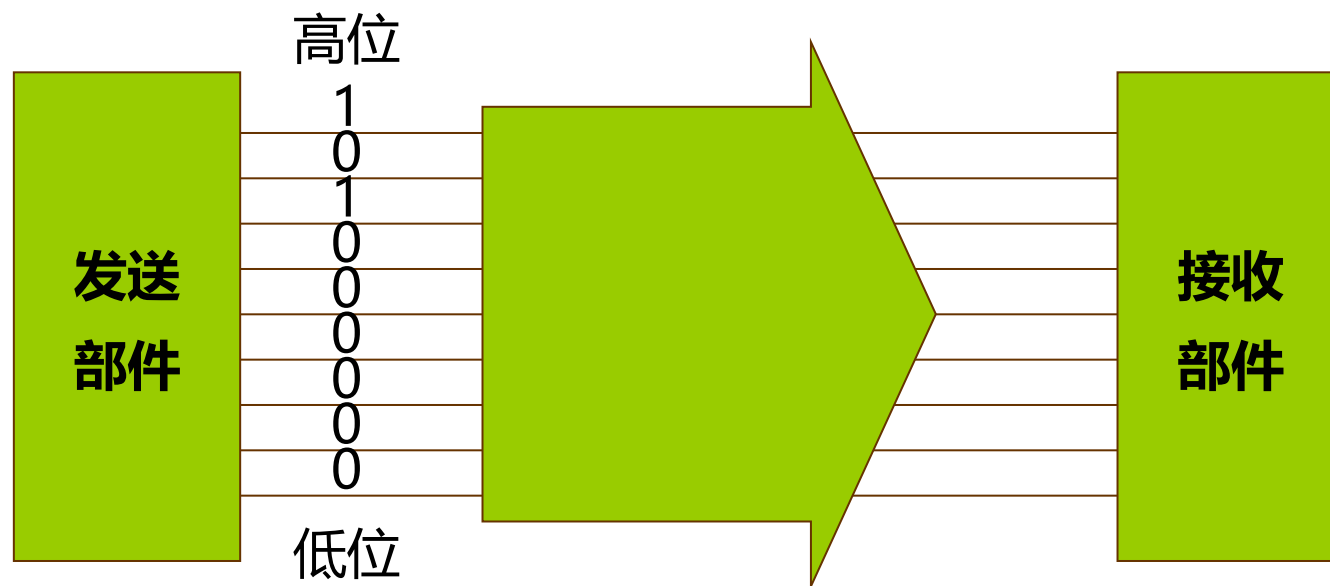
■ 数据传送模式

- 读、写操作
- 块传送操作（突发传送）
- 写后读、读修改写操作（校验/存储保护）
- 广播广集操作

■ 信息的传输方式

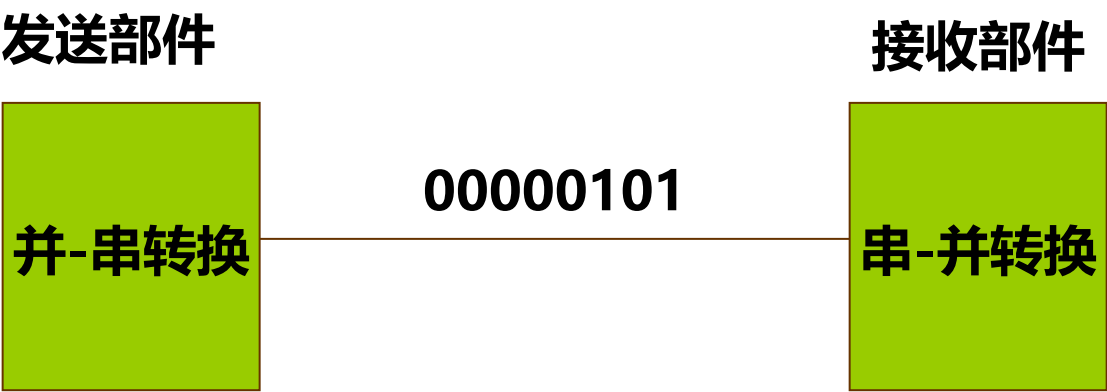
- 并行、串行、并串行传送
- 分时传送

并行传送



- 每位数据一条传输线，并行传送，采用电位传送
- 传送速度快，传输距离短

串行传送



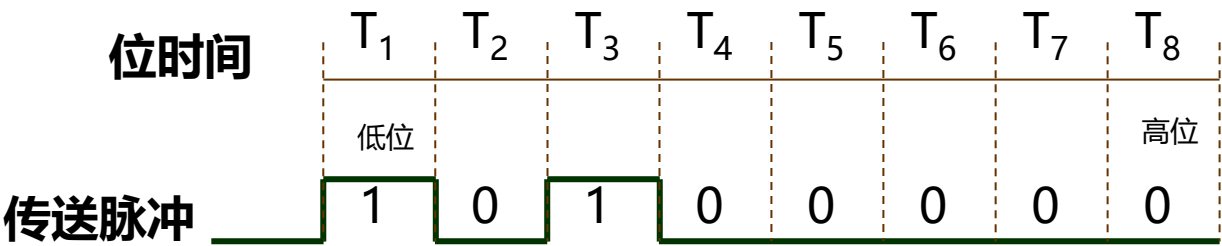
- 位信息从低到高位在一条传输线上逐位以脉冲方式传送
 - 一条传输线，每次一位，先低位，后高位；
 - 发送端往往需要进行并_串转换，在接收端进行串_并转换；
 - 成本低，速度慢，传输距离长。

■ 串行传送的数据格式编码

- 起始位+数据位+校验位+停止位

■ 波特率: 每秒钟传送的码元个数

- 波特率(所有信息)>数据传输率 (有效数据)



串行传送方式

例8.2 若异步串行传输的信息帧由1个起始位、7个数据位、1个奇偶校验位和1个停止位等10个数位构成，线路每秒钟传送120个字符，分别计算波特率和数传率。

串行传送方式

例8.2 若异步串行传输的信息帧由1个起始位、7个数据位、1个奇偶校验位和1个停止位等10个数位构成，线路每秒钟传送120个字符，分别计算波特率和数传率。

解： 波特率 = 10位 / 字符 × 120字符 / 秒 = 1200 bps = 1200波特

数传率 = 7 位 / 字符 × 120字符 / 秒 = 840 bps

并串行传送

- 串行传输解决了**高频传输**的问题，但**带宽有限**
- 高速串行总线普遍采用**多组串行通路并发**来提升总线带宽
 - 如PCIe x1、x4、x16中的数字就是并发通路数
- **串行总线带宽 = 总线时钟频率 × 编码效率 × 并发通路数**

总线标准	总线宽度	传输方向	总线时钟频率	编码效率	总线带宽
PCIe 1.0	1	全双工	2.5 GHz	8bit/10bit	250 MB/s
PCIe 3.0 x16	1 * 16	全双工	8 GHz	128bit/130bit	15.8GB/s
IEEE1394b	1	半双工	4 GHz	8bit/10bit	400MB/s
USB 3.0	1	半双工	5 GHz	8bit/10bit	500MB/s
SATA-3	1	半双工	6 GHz	8bit/10bit	600MB/s

信息的传输方式

■ 并行传送

- 传输距离短，线间串绕严重

■ 串行传送

- 传输距离长，无串绕，频率高
- SCSI → SAS PATA → SATA PCI → PCI-E

■ 串并行传送

- 高速串行总线PCI、HT、QPI

■ 分时传送

- 总线功能复用，减少线缆，降低成本，
- 多部件分时使用总线

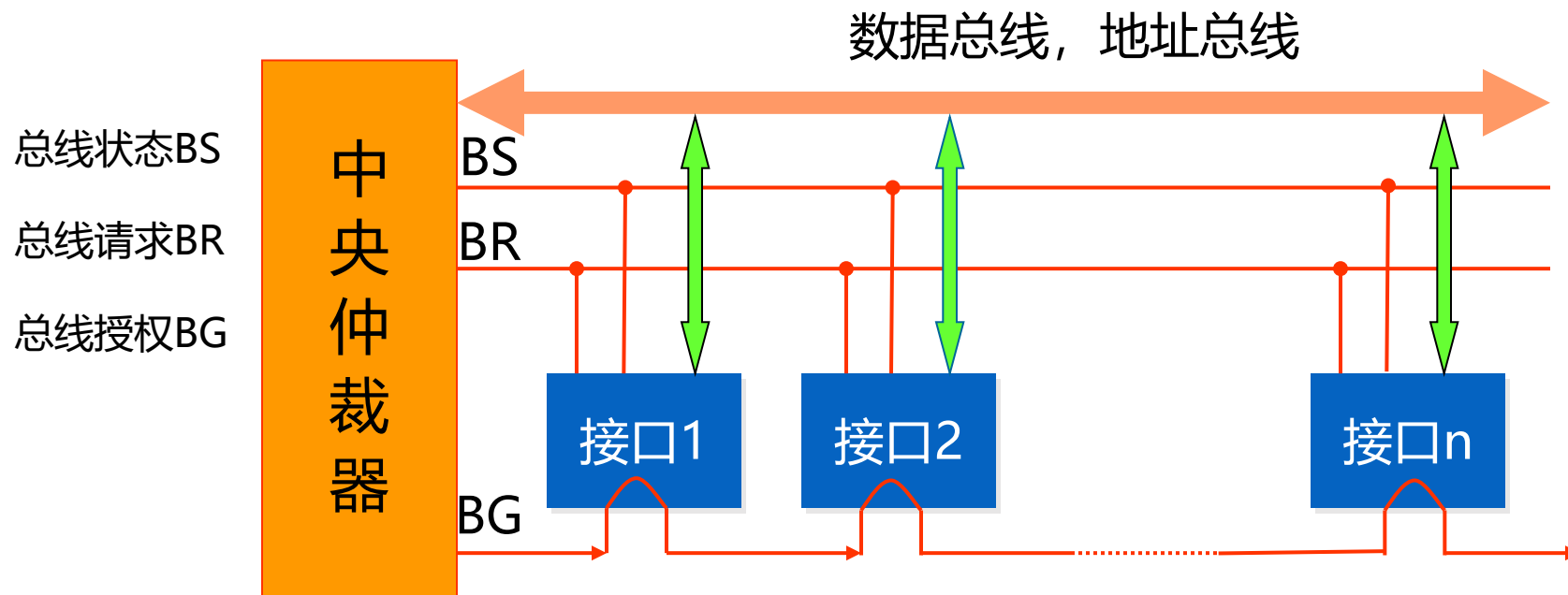
8.2.3 总线的仲裁

- **总线仲裁**：决定申请总线的多个主设备中哪一个获得总线控制权的过程
 - 总线控制器
 - 对总线的使用进行合理的分配和管理
 - 部件要使用总线进行通信时,要向控制部件发请求信号
 - 控制部件按各部件的优先级来决定谁使用总线
- 根据总线控制部件的位置,仲裁方式分两类
 - 集中式总线仲裁
 - 分布式总线仲裁

集中式仲裁

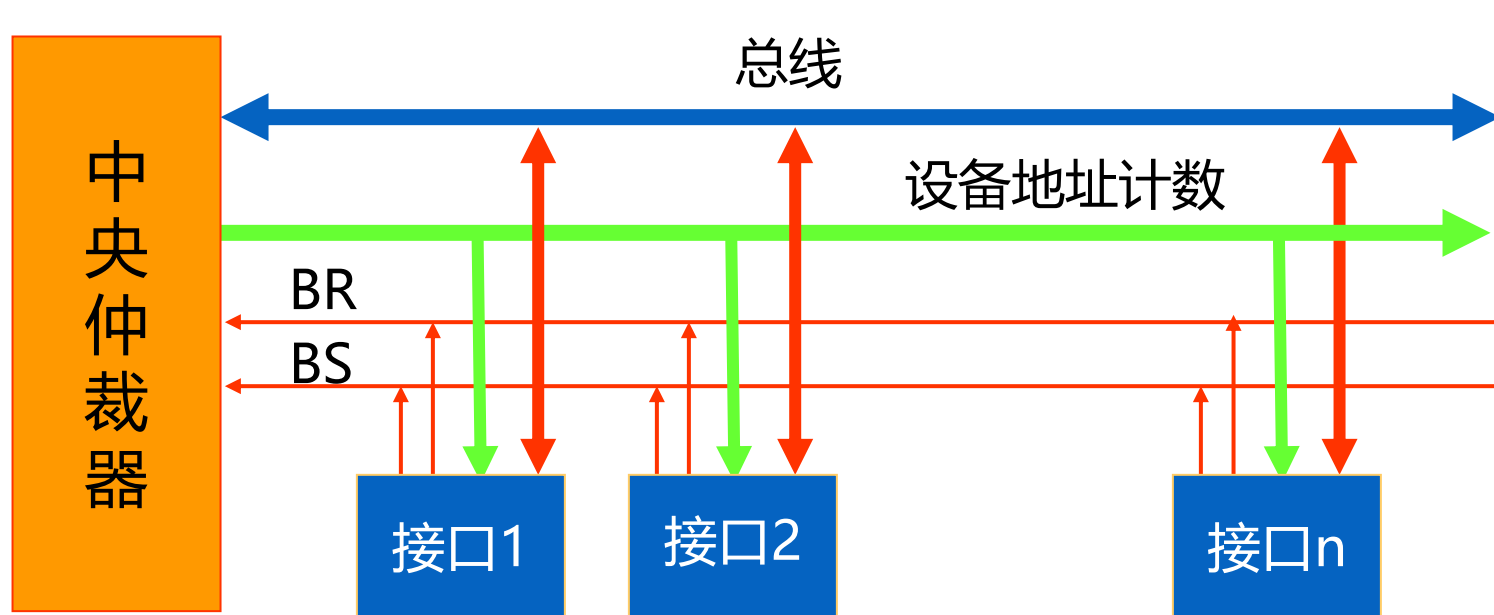
- 链式查询方式
- 计数器定时查询方式
- 独立请求方式

链式查询方式



- 总线控制器通过**总线忙信号BS**来判断总线是否处于空闲状态，如果总线空闲，则通过将**总线许可信号BG**置为“1”的方式进行响应
- 总线许可信号BG沿着菊花链串行传送，若BG信号到达的设备没有总线请求，则将该信号立即传送到下一个设备；若当前设备有总线请求，则撤销其发出的总线请求信号BR，并将总线忙信号BS置为“1”，表示它占用了总线，设备获得了总线使用权后，总线许可信号BG不再向后传递

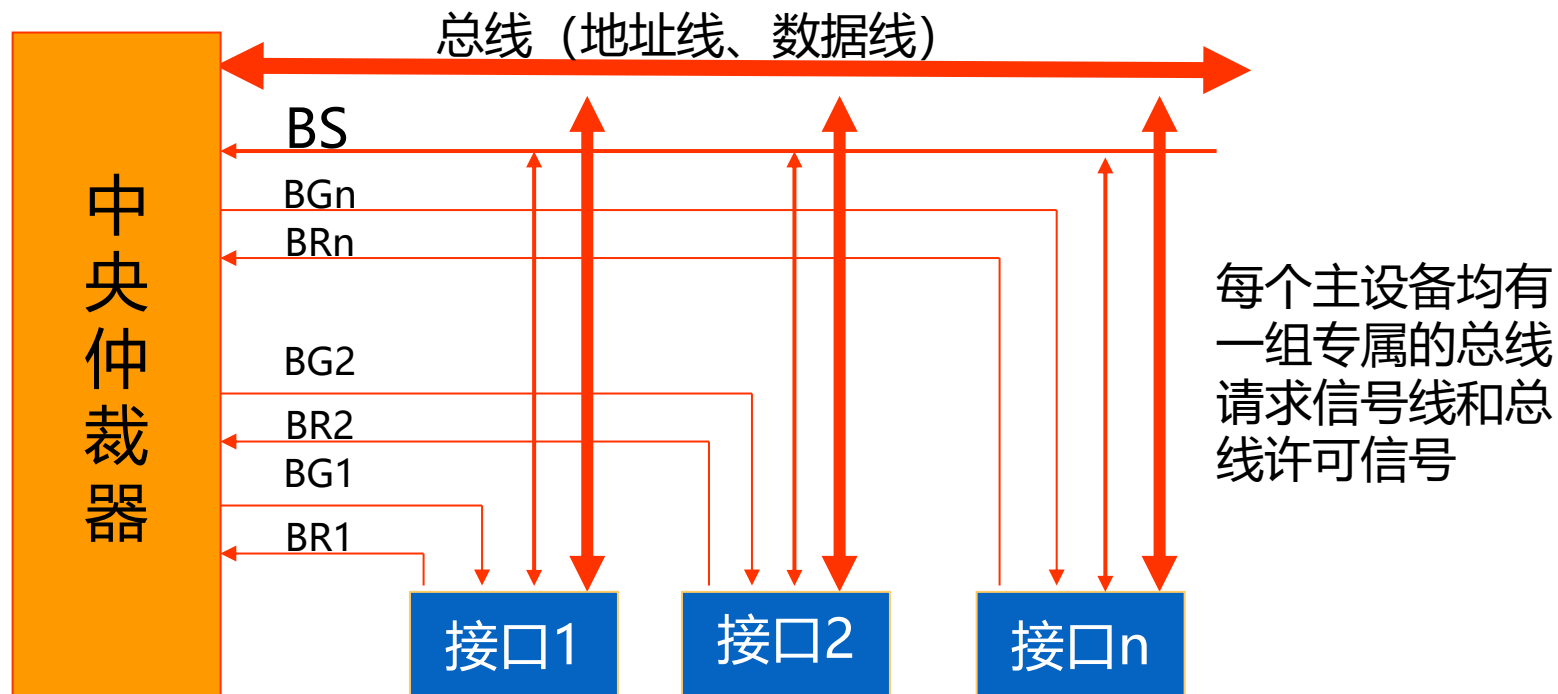
计数器定时查询方式



计数器控制总线使用权, 代用一组计数地址线代替了总线许可信号BG

- 当总线控制器收到总线请求信号BR且总线空闲时, 设备地址计数器开始计数, 计数值通过一组计数地址线发向各设备, 每个主设备的总线接口处均有一个地址判别逻辑。
- 当计数地址线的值与请求使用总线设备的地址一致时, 对应主设备获得总线控制权, 并将总线忙信号BS置为“1”, 总线控制器检测到BS信号后立即终止计数器的计数工作

独立请求方式



- 当主设备需要使用总线时，通过专属的总线请求线BR,向总线控制器独立发送总线请求信号，并在总线控制器中排队
- 总线控制器**按一定的优先次序决定响应哪个设备的总线请求**，并通过该设备的专属总线许可信号BG,向该设备发送总线许可信号;设备接收到总线使用许可信号就获得了总线使用权，可以开始进行寻址、数据传输等操作。

集中式仲裁总结

	链式查询方式	计数器定时查询	独立请求方式
控制线	BS、BR、BG 共3根	BS、BR、 \log_2n 共 $2+\log_2n$	n组 (BR、BG) 共2n根
响应速度	慢	慢	快
优先级	优先级固定	可作适当变化	可作灵活的变化
故障敏感度	非常敏感	不敏感	不敏感
扩展方式	容易	难	容易

分布式仲裁

- 分布式仲裁控制逻辑分散在总线的各设备中，不需要中央仲裁器，每个主设备都有自己的仲裁号和仲裁器
 - 自举分散式仲裁
 - 并行竞争仲裁
 - 冲突检测分散式仲裁

8.2.4 总线定时

- **总线定时：**通信双方如何获知传输开始和传输结束，通信双方如何配合？
- **同步方式：**用公共时钟对传输过程进行控制
 - 适合快速设备、传输距离短、取决于最慢设备性能
- **异步方式：**用应答信号对传输过程进行控制
 - 非互锁、半互锁和全互锁，适合慢速设备
- **半同步方式：**结合同步方式和异步方式的特点
 - 在同步时钟的控制下进行采样和应答
- **分离事务通信方式**

例子

- **例8.4** 假定某总线的时钟频率为1GHz，每次总线传输需要1个时钟周期，总线的数据总线宽度为64位，存储器的存储周期为2个时钟周期，求同步方式下CPU从该存储器中读一个存储字时总线的数据传输率是多少？

例子

- **例8.4** 假定某总线的时钟频率为1GHz，每次总线传输需要1个时钟周期，总线的数据总线宽度为64位，存储器的存储周期为2个时钟周期，求同步方式下CPU从该存储器中读一个存储字时总线的数据传输率为多少？

解：总线时钟周期 = $1/f = 1/1\text{GHz} = 1\text{ ns}$

则同步方式下存储器读操作步骤

1. 寻址阶段：需要一个总线周期时间， 1 ns ;
2. 存储器读数据并传输到数据总线：需要一个存储周期， 2 ns ;
3. CPU从数据总线取走数据：需要一个总线周期 1 ns 。

则同步方式下从主存读一个存储字的总时间 $T = 4\text{ ns}$

数据传输率 = $8\text{B} / 4\text{ ns} = 2\text{ GB/s}$

本章主要内容

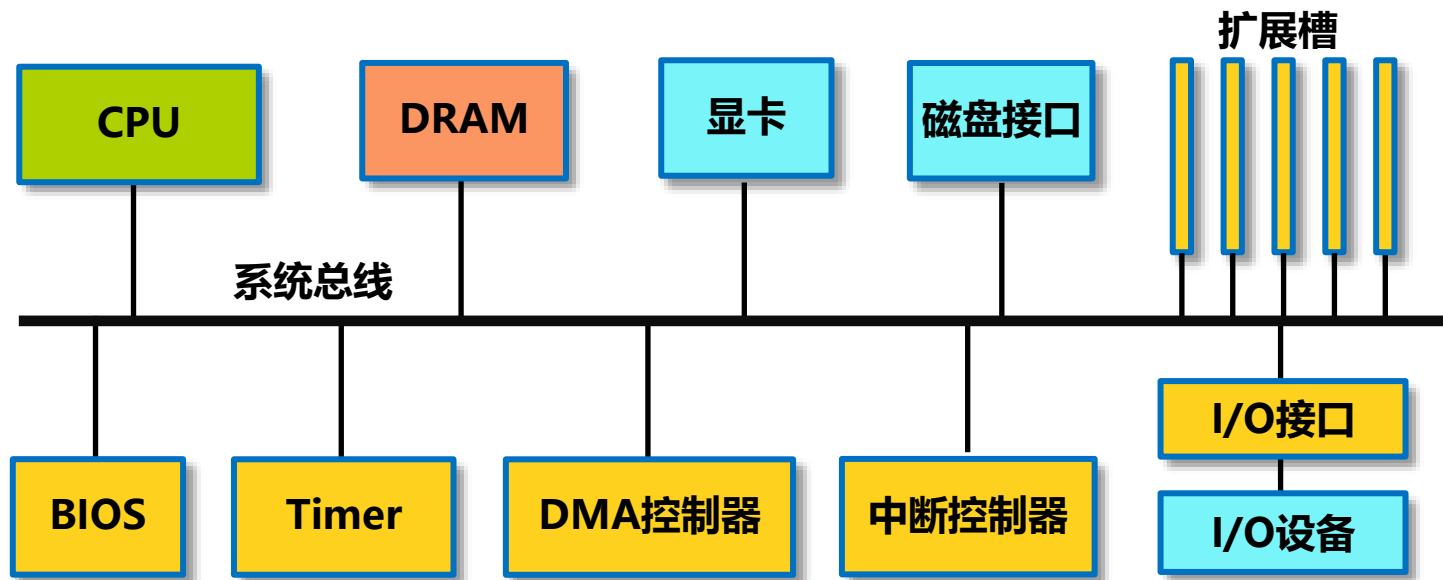
- 8.1 总线概述
- 8.2 总线传输机制
- 8.3 总线结构
- 8.4 常用总线



总线连接方式

- 总线排列及与其它各部件的连接方式影响计算机系统性能
 - 单总线结构
 - 双总线结构
 - 三总线结构
 - 高性能总线结构

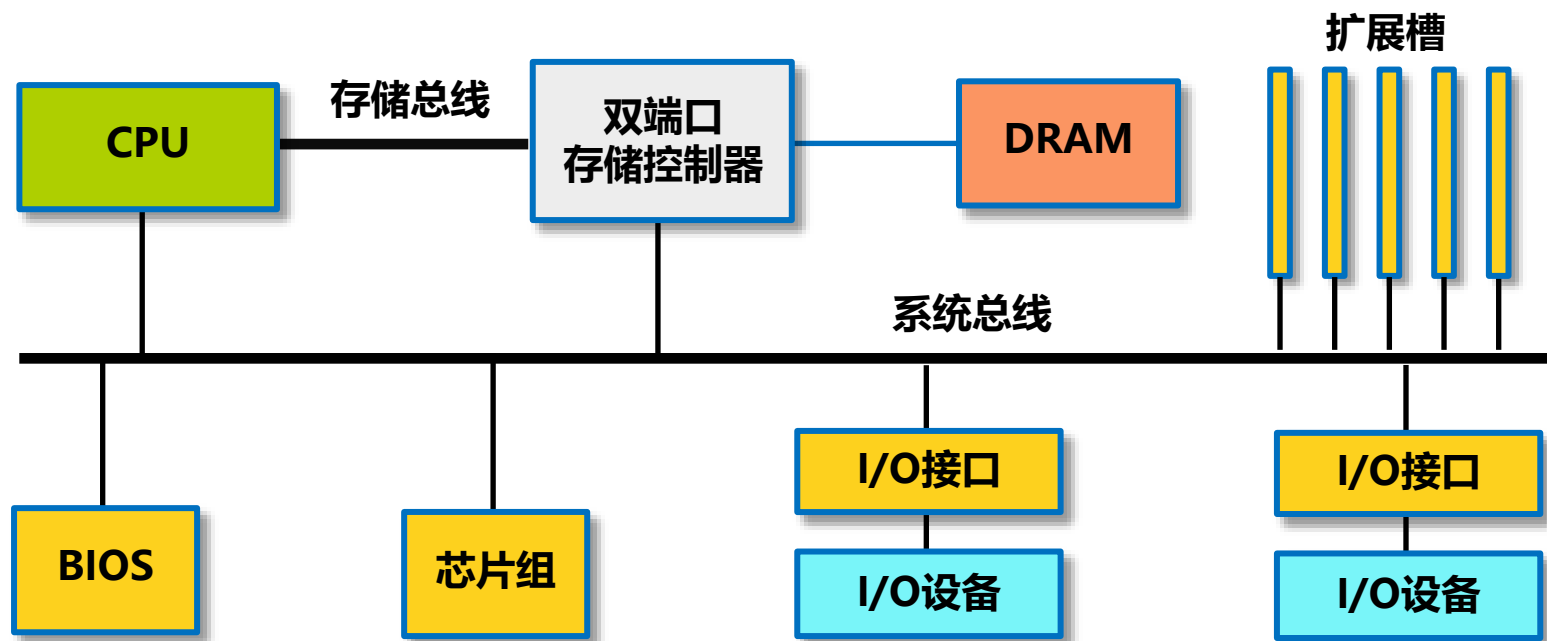
单总线结构



- 总线结构简单，使用灵活，扩充容易
- 统一编址，简化指令系统，存储空间减少
- 共享总线，分时使用，通信速度慢
- 高速设备的高速特性得不到发挥

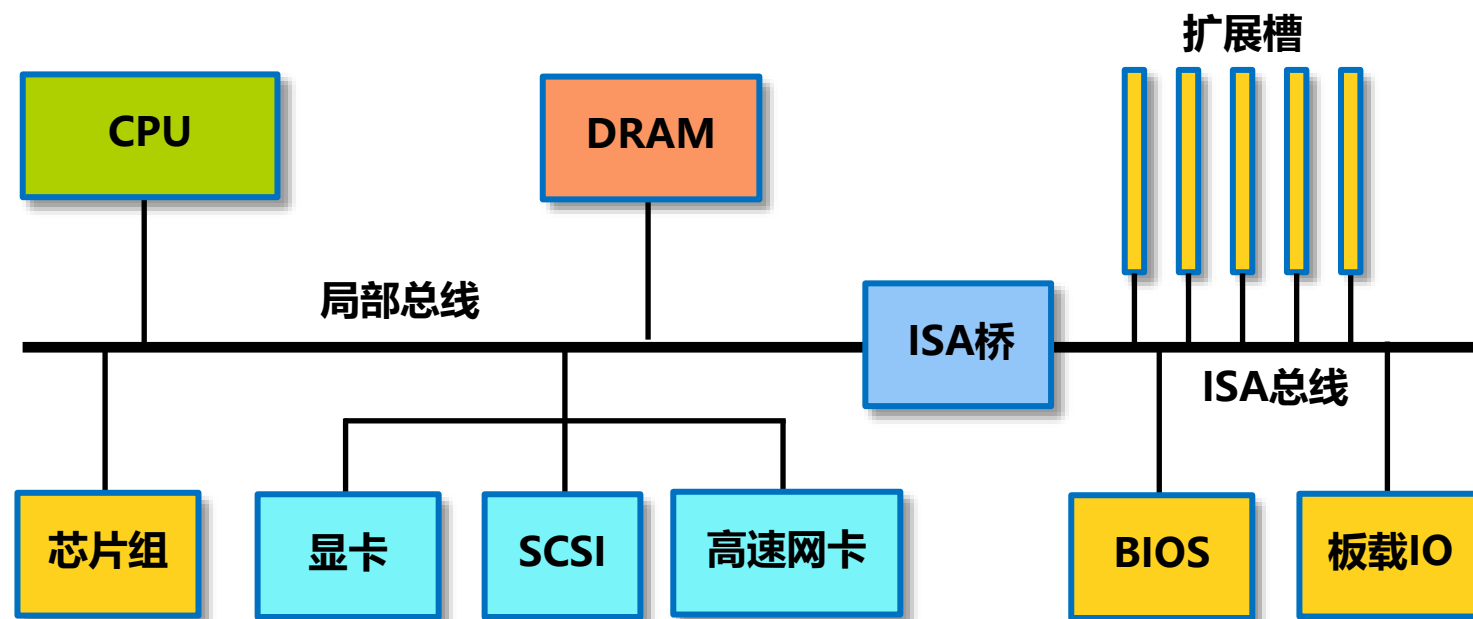


双总线结构1 (主存为中心)



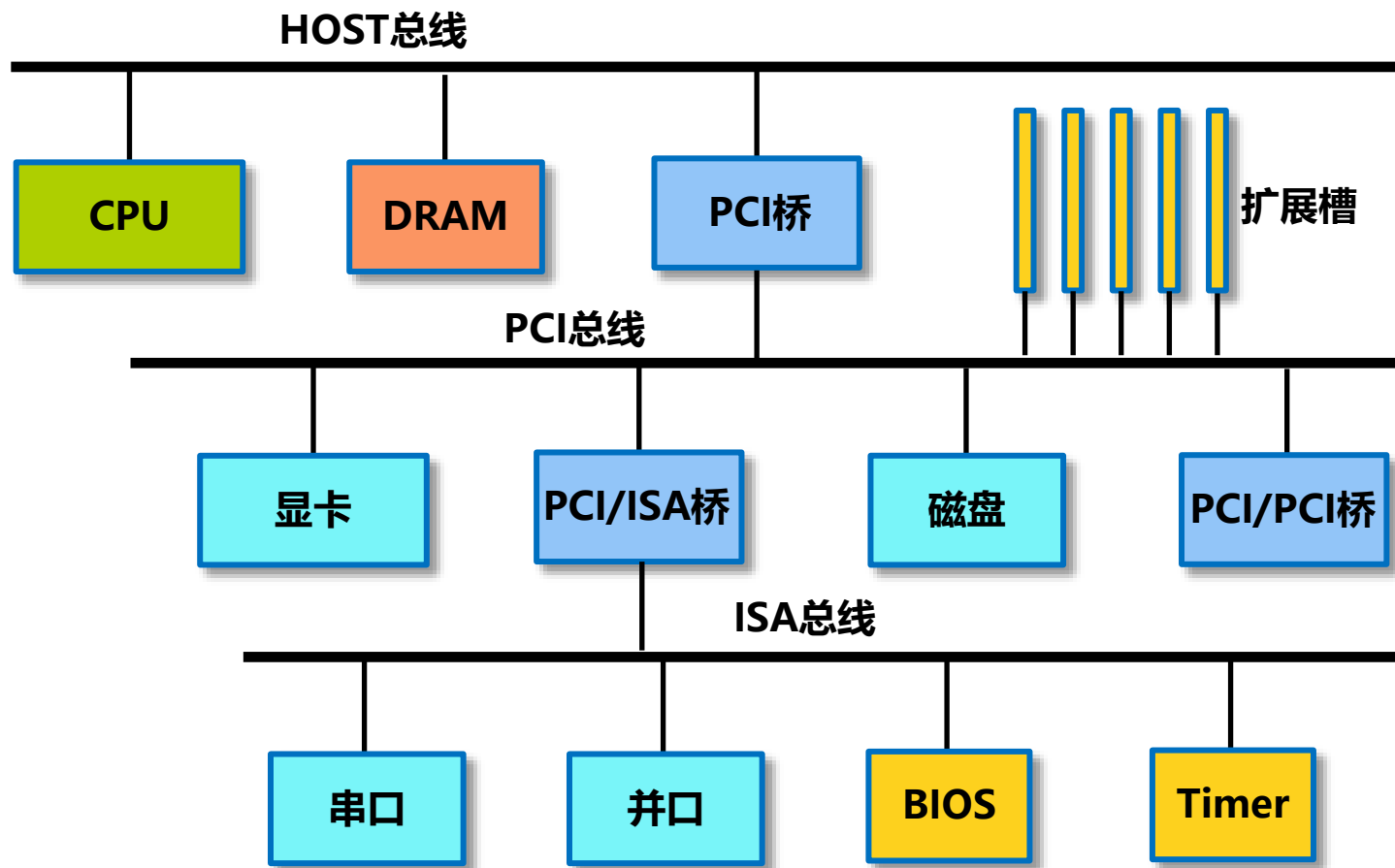
- 存储总线有效降低系统总线负载，提升了并行性
- 需增加专门的I/O指令，存储空间扩大
- 结构简单，系统扩展容易

双总线结构2 (桥接器架构)



- 慢速设备通过I/O总线相连
- 系统总线与I/O总线通过桥接器相连

三总线结构



- 高速与低速传输活动分离
 - 将I/O设备与主存之间的通信与处理器的活动分离
 - 高速设备靠近CPU，慢速设备远离CPU
- 不同层次总线之间采用桥接方式连接和缓冲

总线结构与系统性能关系

■ 最大存储容量

- 单总线系统中,内存要为外设保留一些地址

■ 指令系统

- 单总线系统中,无须专门的I/O指令
- 双总线系统中,设有专门的I/O指令

■ 吞吐量

- 三总线系统比单总线系统要大得多

本章主要内容

- 总线概述
- 总线传输机制
- 总线结构
- 常用总线



总线标准化

- 不同厂家的相同功能部件可互换使用

ISA

EISA

VESA

AGP

PCI

常用总线

- ISA/EISA/VESA
- PCI/PCI-X
- NGIO
- Future I/O
- InfiniBand
- AGP
- USB

IBM PC/XT

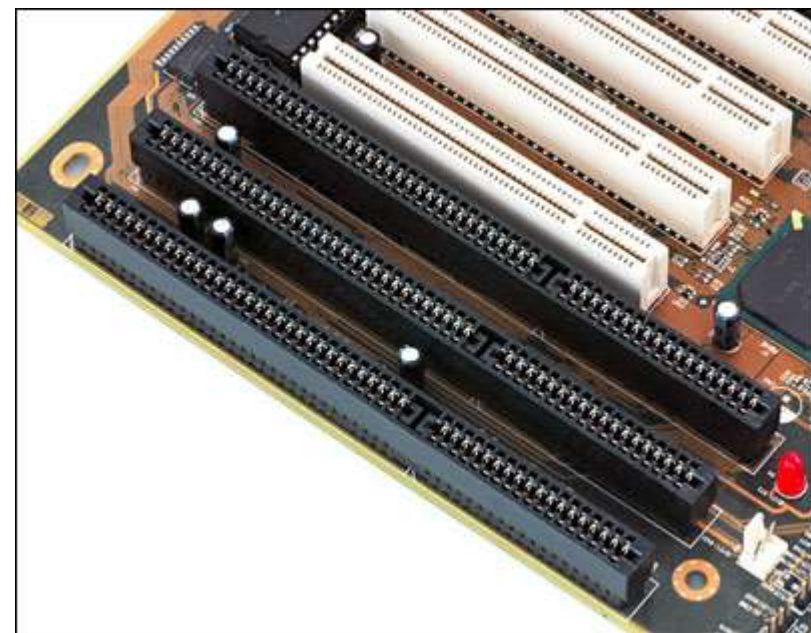
- IBM PC / XT总线是 1981年与IBM个人计算机同时推出的，是 IBM PC / XT微机所用的总线，针对 Intel 8088芯片设计。
- 开放式结构，用户可在PC / XT机底板上使用总线扩展插座，通过接口板使I/O设备与主机相连。
- PC / XT总线定义了62根信号线。
 - 数据线8根
 - 地址线20根
 - 控制线26根（含时钟信号）
 - 电源5根
 - 地线3根。

ISA总线

- ISA (industrial standard architecture) 总线标准是IBM 公司1984年为推出PC/AT机而建立的系统总线标准，所以也叫AT总线。
- 为286计算机制定的工业标准总线。
- 总线宽度16位，总线频率8MHz。
- ISA总线有98只引脚。
- 80286至80486时代应用非常广泛，以至于奔腾机中还保留有ISA总线插槽。

ISA/EISA

- EISA (Extended Industry Standard Architecture即扩展工业标准结构总线)
- 32位中央处理器 (386、486、586等等) 总线扩展工业标准。
- 总线宽度32位、16MHz

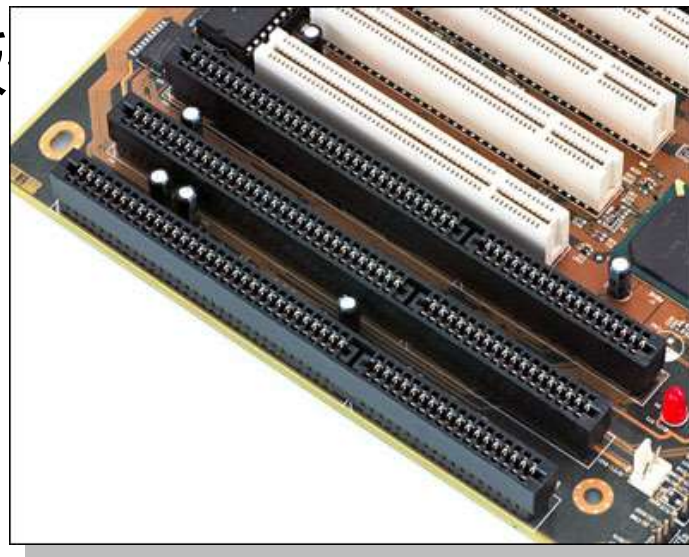


VESA video electronics standard association

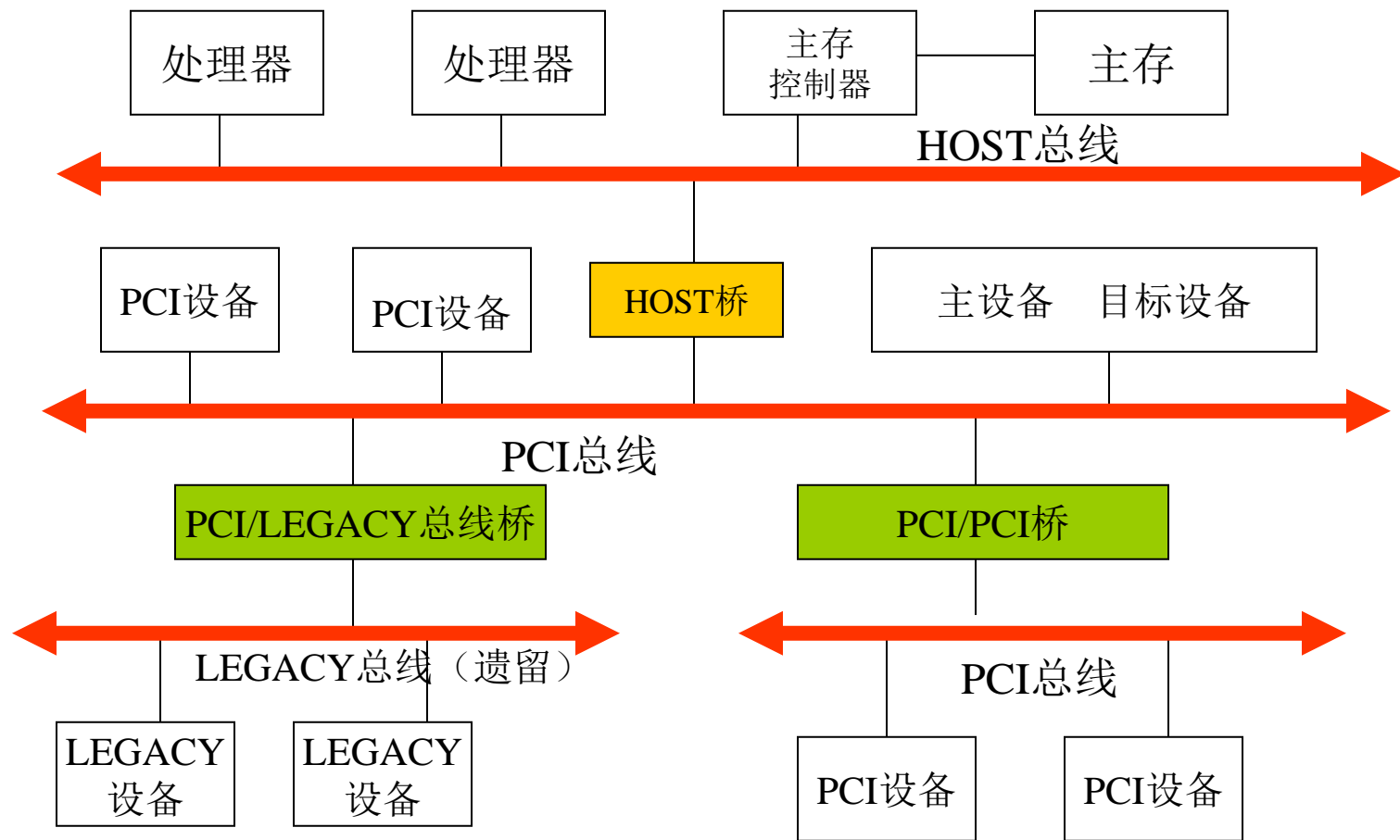
- VESA总线是 1992年由60家附件卡制造商联合推出的一种局部总线，简称为VL(VESA local bus)总线
- 该总线系统考虑到CPU与主存和Cache的直接相连，通常把这部分总线称为CPU总线或主总线，其他设备通过VL总线与CPU总线相连，所以VL总线被称为局部总线。
- 数据、地址总线宽度均为32位。寻址空间为4GB。总线最高传输率为133MB/S.
- 是一种高速、高效的局部总线，可支持386SX、386DX、486SX、486DX及奔腾微处理器。

PCI

- PCI (Peripheral Component Interconnect) 是美国 SIG (即美国计算机协会专业集团) 推出的新一代 64 位总线。频率为 33MHz，峰值传输率为 132Mbyte/s。
- 486 系列采用 ISA 和 EISA 总线，而奔腾或 586 系列主板采用了 PCI 总线。586 系列主板应该淘汰传统的 EISA 总线，但很多用户还在使用 ISA 总线或 EISA 总线接口卡，所以大多数 586 系列主板



PCI总线结构



PCI总线特点

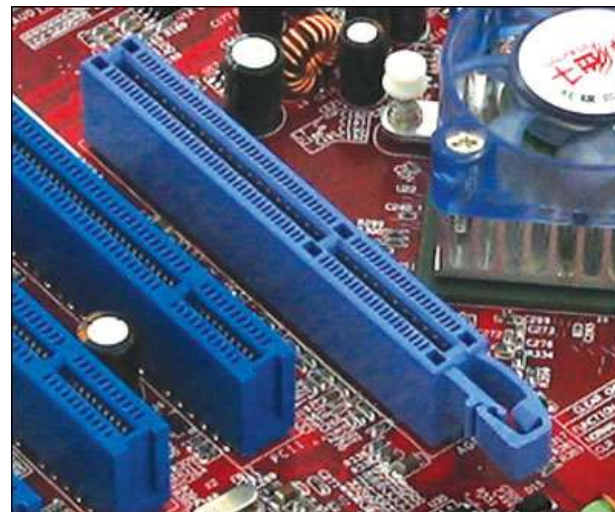
- 支持总线主控技术，允许智能设备在适当的时候取得总线控制权以加速数据传输；
- 支持猝发传输模式。
- 不受CPU速度和结构的限制；
- 与 ISA / EISA / MCA兼容；
- 预留扩展空间，支持64b数据和地址；
- 数据宽度32位，时钟频率33MHz，最大数据传输速率为133MB/s；
- 同步时序、集中式仲裁。

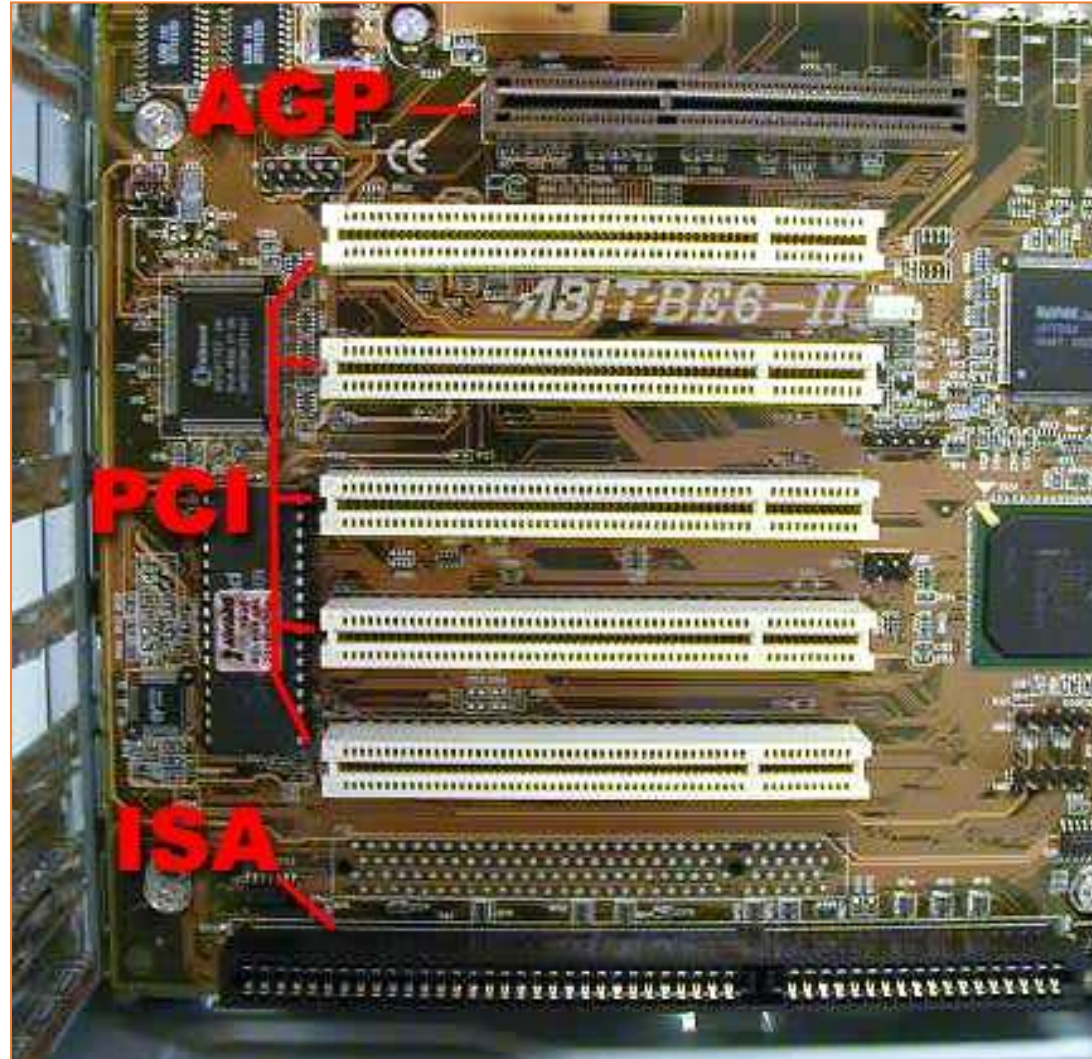
PCI总线局限性

- 多PCI设备共享总线的带宽。
- 多PCI设备共享一组信号线， 因此受插板插入位置的影响， 会产生微妙的信号畸变。
- 实际上在33MHz的PCI总线情况下， 只能用到4个插 槽；在66MHz 下， 只能用到2个插 槽。
- 在PCI 总线中是采用内存映射I/O， 这也影响了系统的整体性能。CPU读写动作频率要与PCI总线的动作频率同步， 所以就延缓了CPU指令的执行速度。

AGP

- 处理器是发展速度最快的设备，为了消除外围设备的连接瓶颈，需不停的改进总线技术，其中为了适应个别硬件设备对于传输带宽的急剧增长的需求，局部总线的改进更是频繁。
- AGP总线就是局部总线的一种。AGP（Accelerated Graphics Port）即高速图形接口。专用于连接主板上的控制芯片和AGP显示适配卡，为提高视频带宽而设计的总线规范。





AGP

- AGP 1.0规范1.0版由Intel于1996年7月发布，工作频率为66MHz，工作电压为3.3v，分为1x和2x模式，数据传输带宽分别为266MB/s和533MB/s。
- 1998年5月份，AGP 2.0版规范发布，工作电压降低到了1.5v，并且增加了4x模式，数据传输率为1066MB/s。
- AGP总线独立于PCI总线，在具有AGP总线的系统中，PCI总线可以被用于其它的数据传输，比如IDE/ATA、USB控制器等等的数据传输。
- AGP可以带来更快的视频性能，而且还允许AGP显卡直接访问系统内存，缓解了对于显存容量的需要，有效的控制了显卡的制造成本。

Today's PC

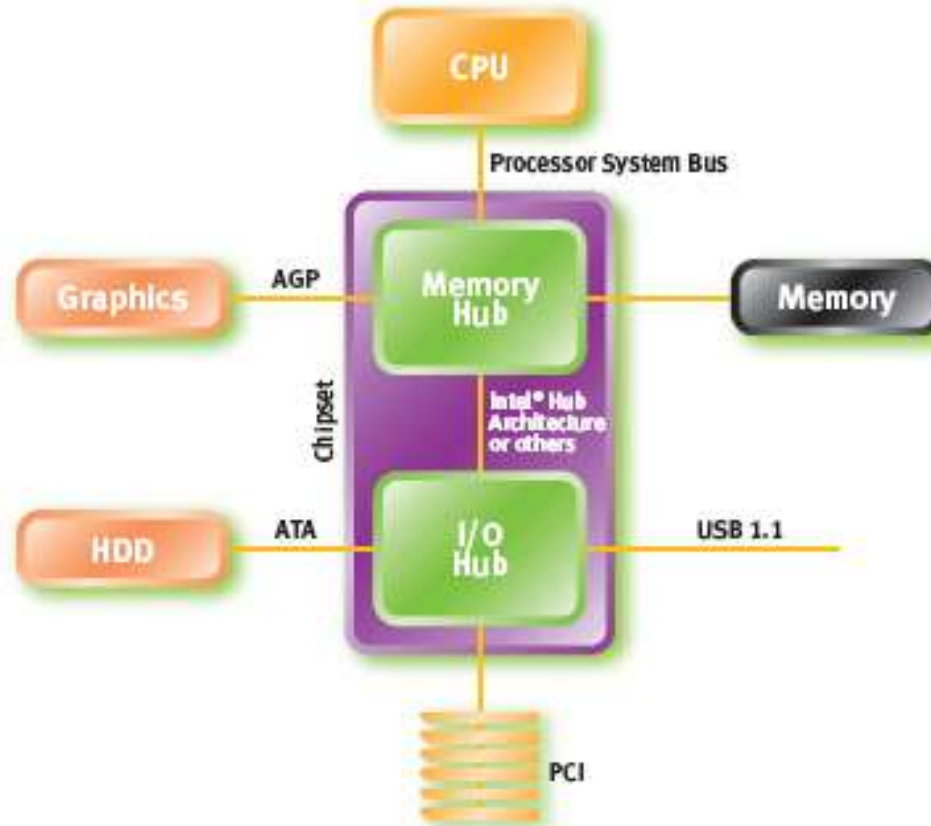
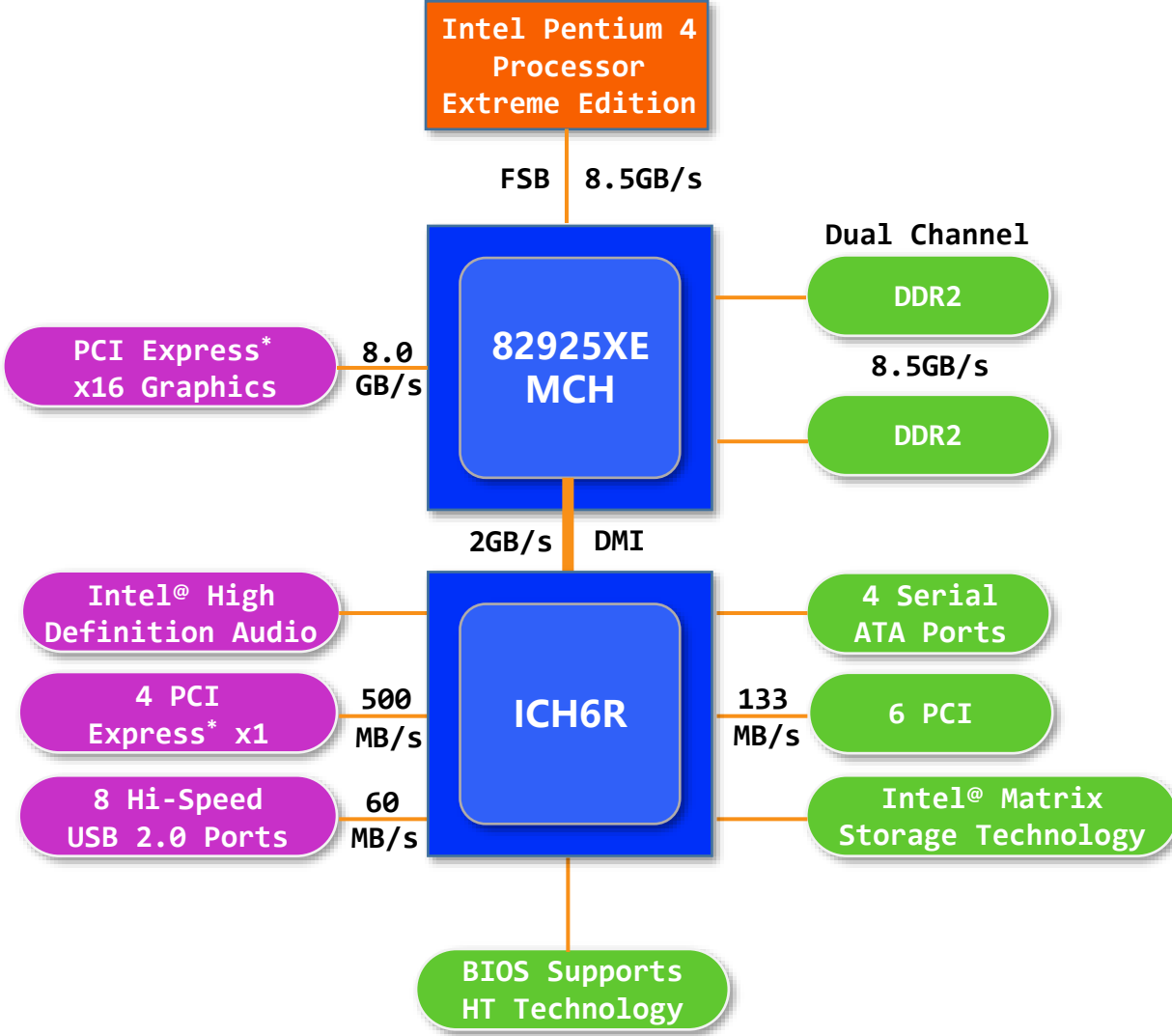
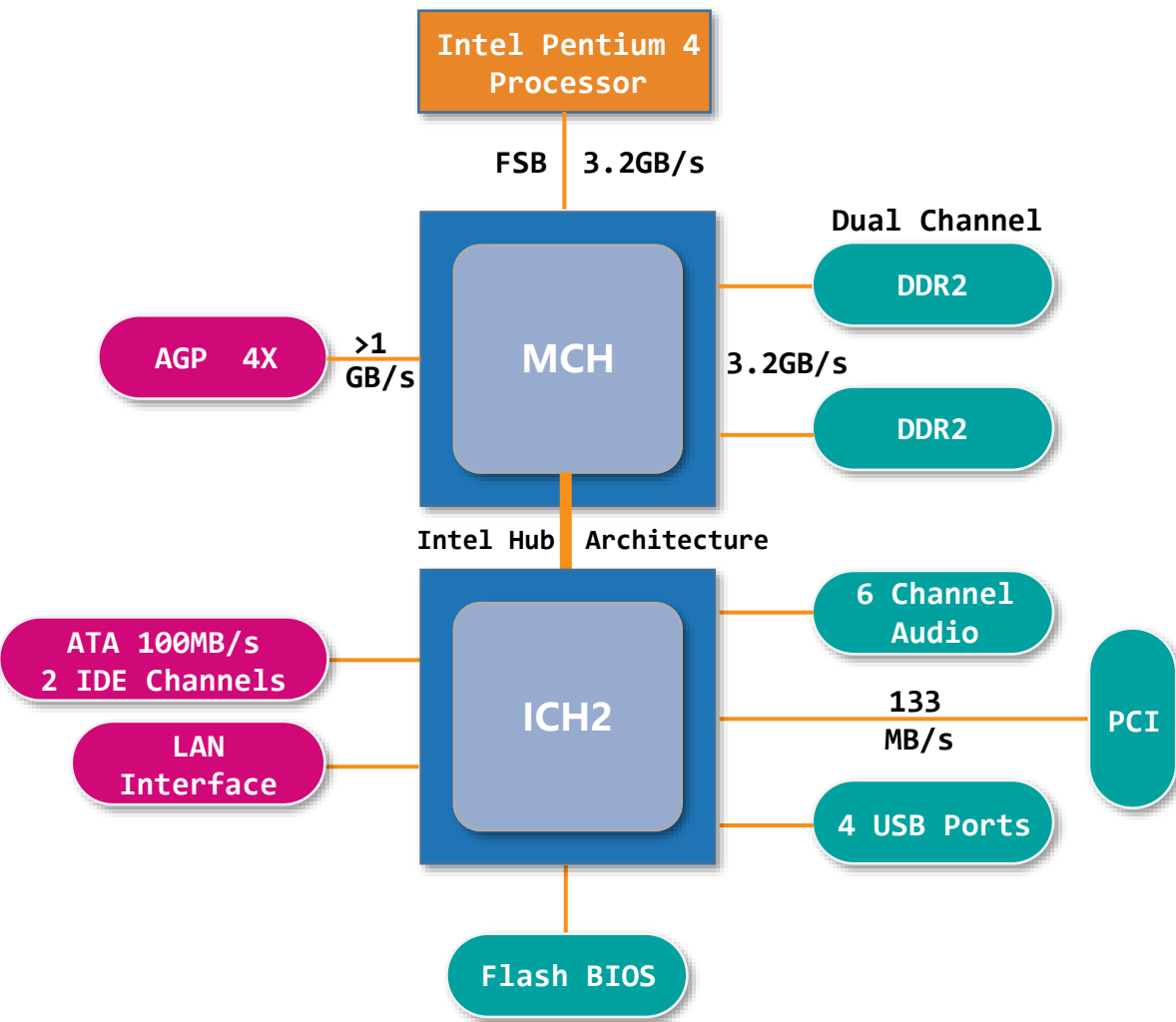


Figure 1. Today's PC has multiple local buses with different requirements

采用前端总线的南北桥结构 IA-64

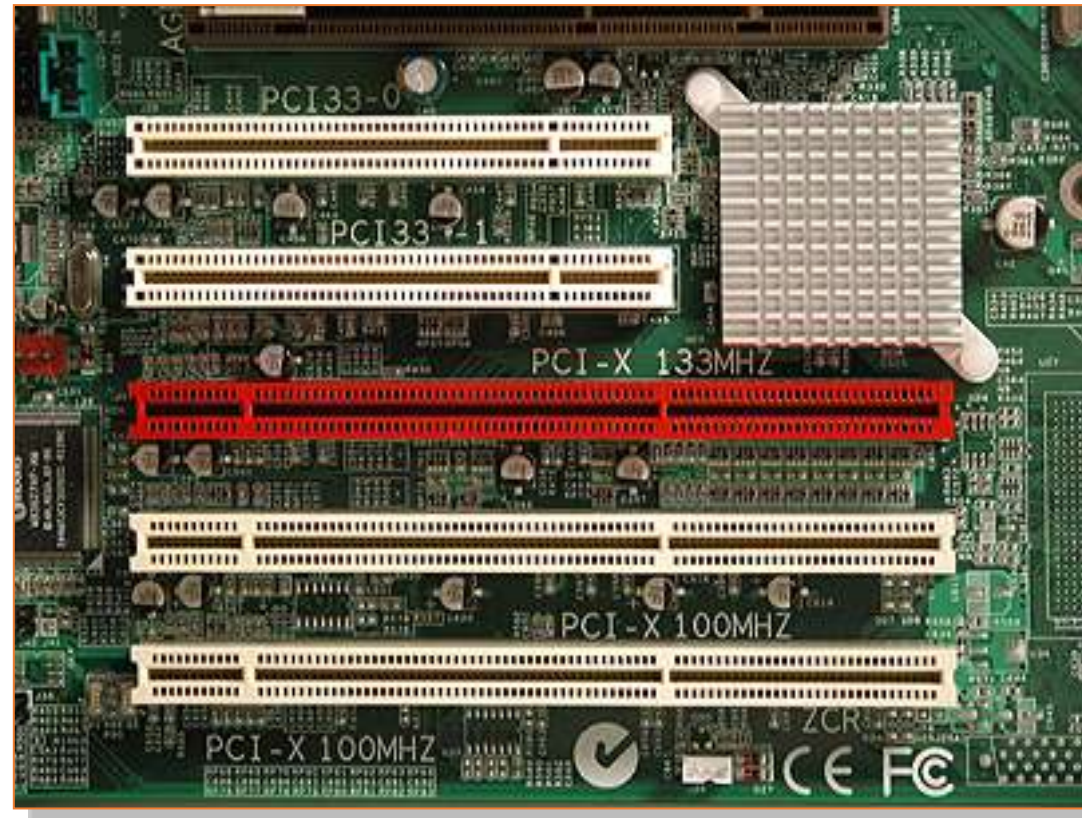


下一代总线技术

- PCI-X(Compaq、IBM、HP)
- NGIO (Intel 1998)
- Feature IO(Compaq、IBM、HP、Adaptec)
- InfiniBand

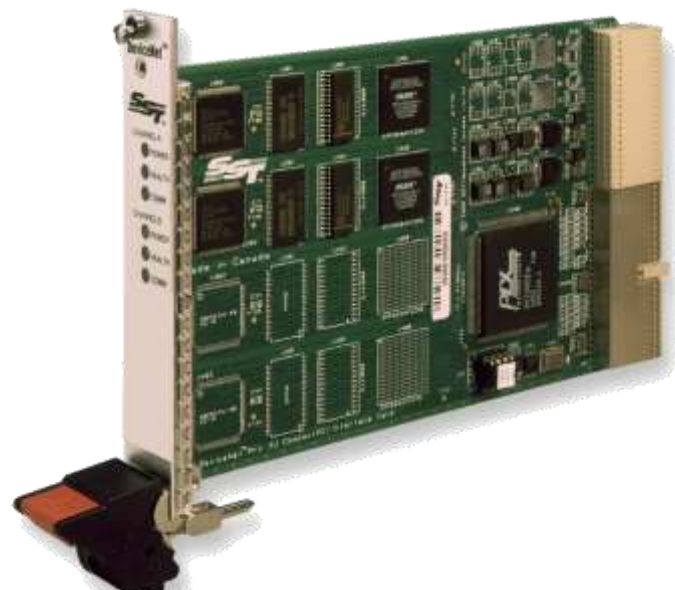
PCI-X局部总线

- 为解决Intel架构服务器中PCI总线的瓶颈问题，Compaq、IBM和HP公司决定加快加宽PCI芯片组的时钟速率和数据传输速率，使其分别达到133MHz和1GB/s。
- 利用对等PCI技术和Intel公司的快速芯片作为智能I/O电路的协处理器来构建系统，这种新的总线称为PCI-X。
- PCI-X 技术能通过增加计算机中央处理器与网卡、打印机、硬盘存储器等各种外围设备之间的数据流量来提高服务器的性能。与PCI相比，PCI-X拥有更宽的通道、更优良的通道性能以及更好的安全性能。



Compact PCI

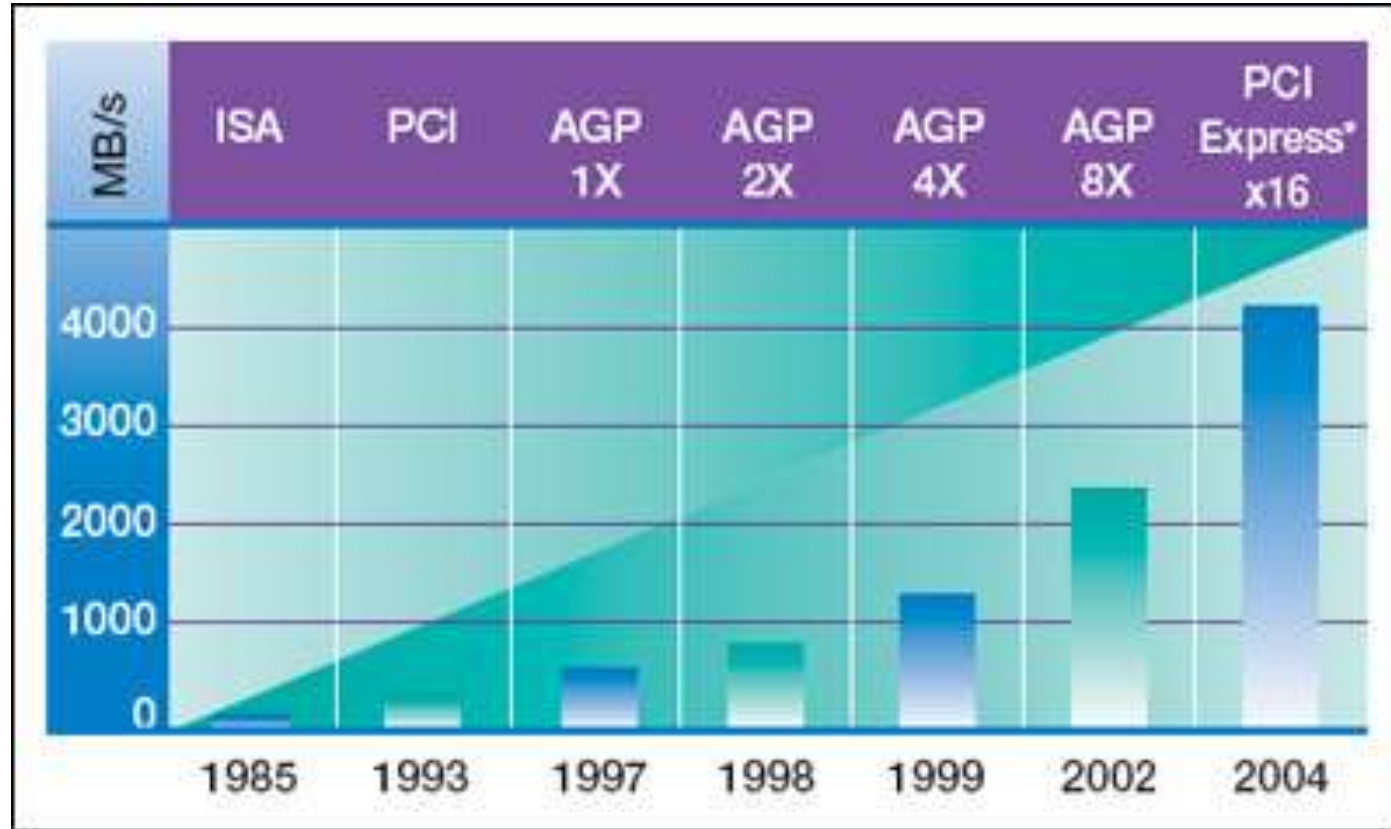
- Compact PCI的意思是“坚实的PCI”，是当今第一个采用无源总线底板结构的PCI系统，是PCI总线的电气和软件标准加欧式卡的工业组装标准，是当今最新的一种工业计算机标准。
- 在PCI总线基础上改造而来，提供满足工业环境应用要求的高性能核心系统，同时还考虑利用传统的总线产品，如ISA、STD、VME或PC/104来扩充系统的功能。



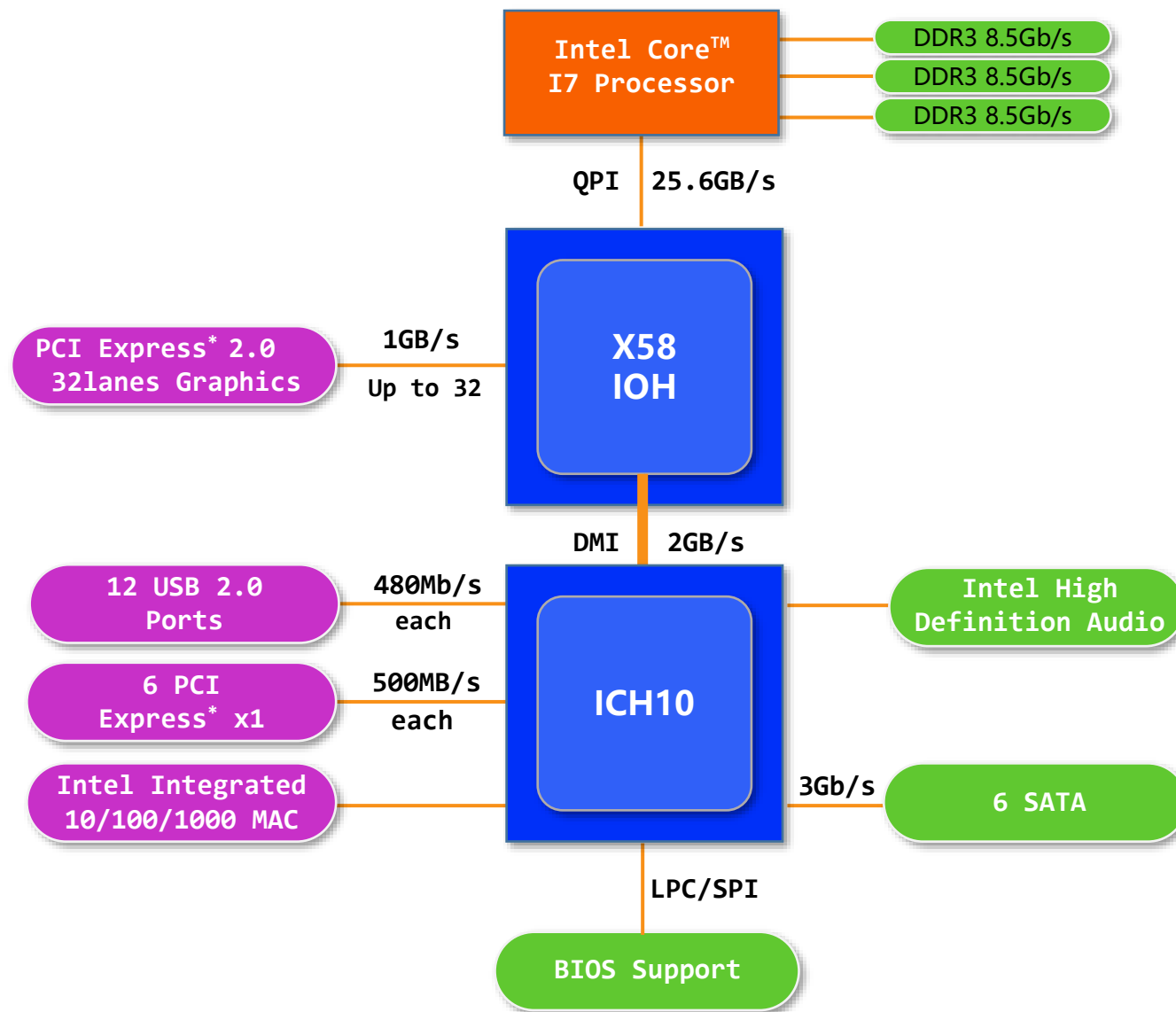
PCI-EXPRESS 3GIO

- PCI Express采用设备间的点对点串行连接。
- 允许每个设备都有自己的专用连接，是独占的，并不需要向整个总线请求带宽，同时利用串行的连接特点将能轻松将数据传输速度提到一个很高的频率，达到远超出PCI总线传输速率。
- 串行连接能大大减少电缆间的信号干扰和电磁干扰，由于传输线条数有所减少，更能节省空间和连接更远的距离。
- 单个基本的PCI Express连接是一种单双单工连接，一个单独的基本的PCI Express串行连接就是两个独立的通过不同的低电压对驱动信号实现的连接，一个接受对和一个发送对（共四组线路）。

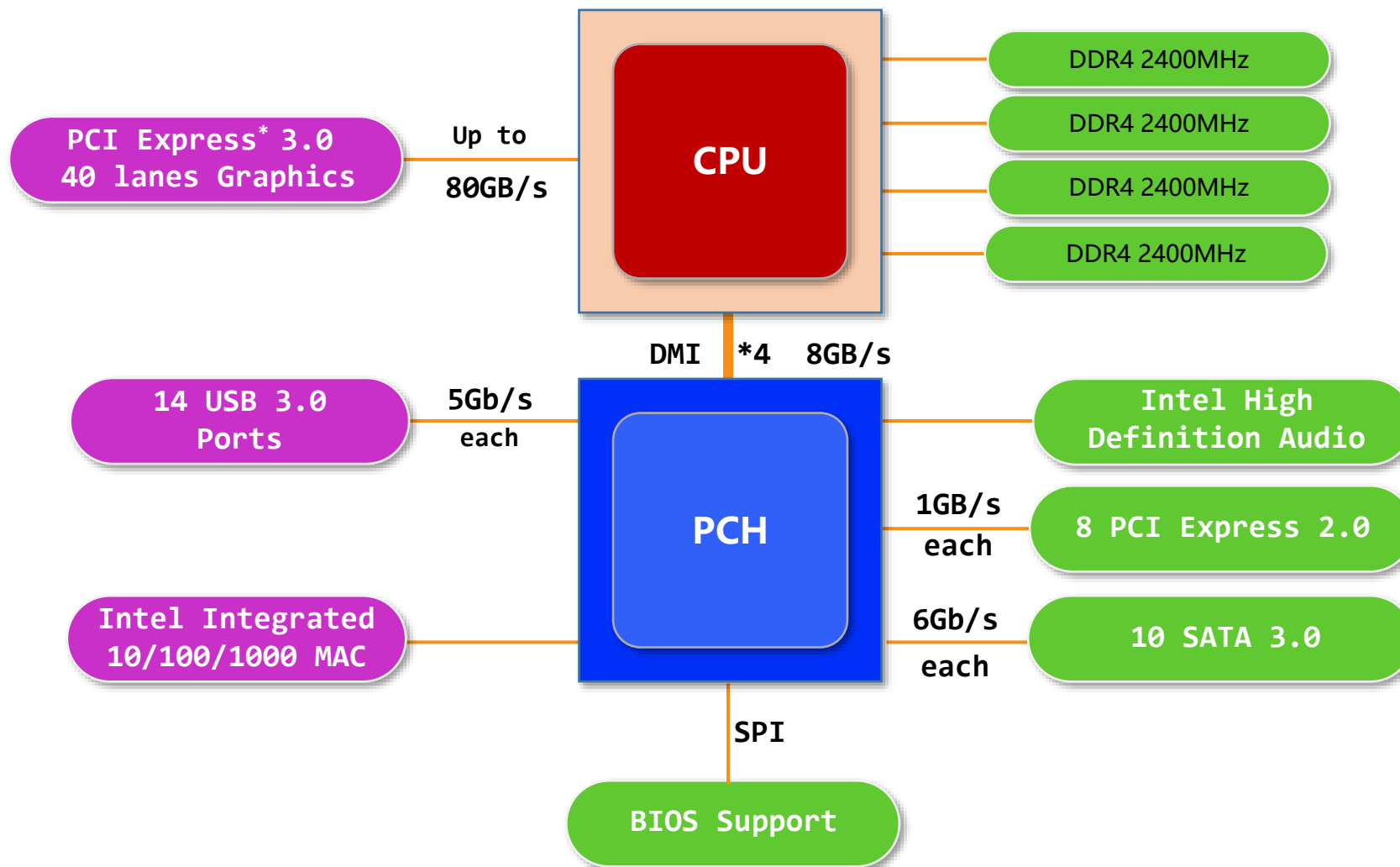
PCI-EXPRESS



采用 QPI 总线的计算机系统总线结构



CPU+PCH 方案 北桥消失



InfiniBand总线

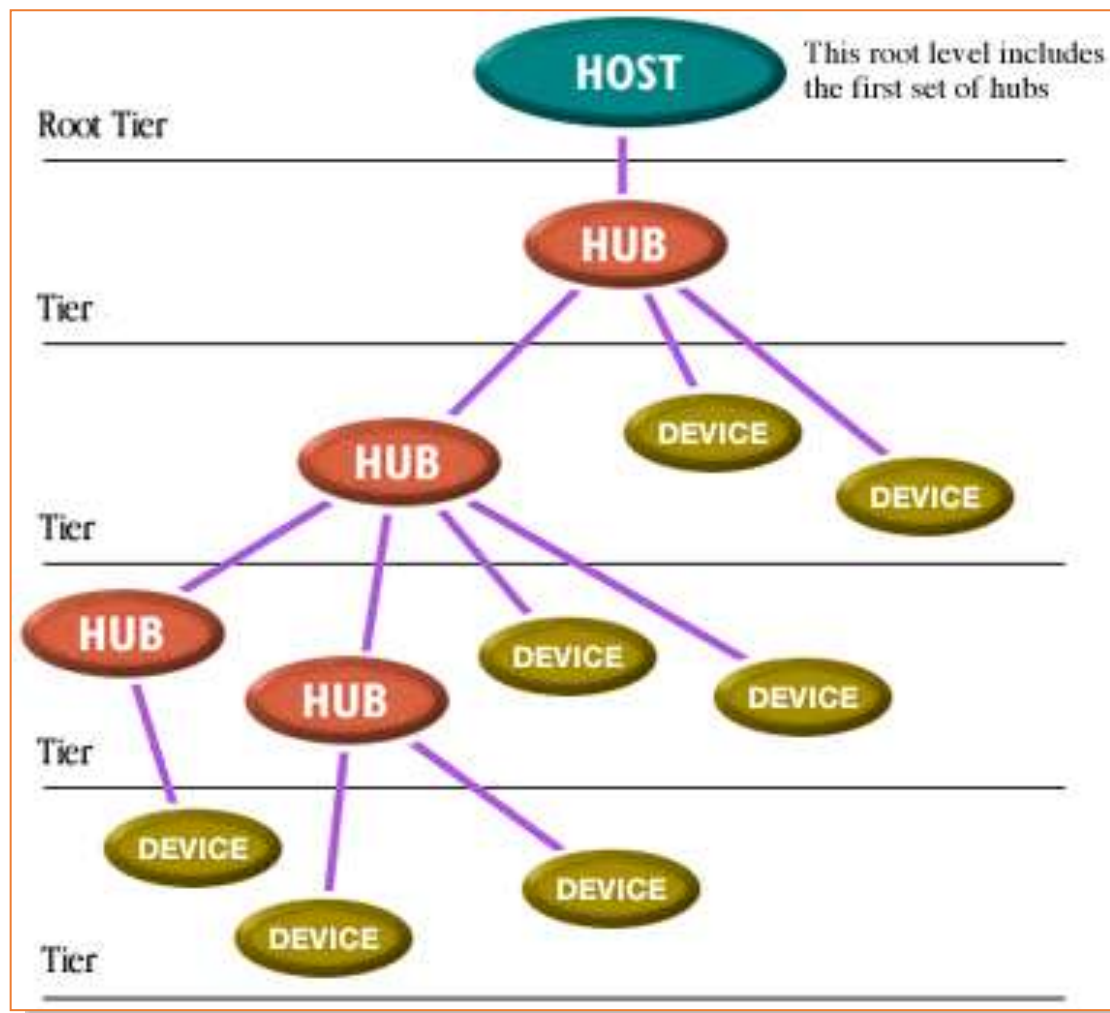
- 一种统一future i/o和ngio总线的新型总线标准 infiniband贸易协会 (infiniband trade association)
- 与前两个集团显著不同的是，ibta协会有着202个成员，几乎包括了工业界所有主要的系统、半导体和外围设备制造商，而且它的成员数目还在增加
- 2000年10月份，这个组织发布了它的infiniband I/O规范的1.0版本。由于已经有了规范，ibta的成员们将很快开始设计和研制带有infiniband的产品。
- 极高速传输总线



USB

- USB (Universal Serial Bus即通用串行总线) ;
 - 由Intel公司提出, USB1.0 带宽为12Mbps;
 - 可以热插拔, 即插即用;
 - 可接入127个设备, 计算机外设越来越多, PC机内有限的插槽和接口已经不能满足要求, USB缓解了这一矛盾。
- USB采用四线电缆, 其中两根是用来传送数据的串行通道, 另两根为下游 (Downstream)设备提供电源
- USB系统采用级联星型拓扑, 该拓扑由三个基本部分组成: 主机 (Host), 集线器 (Hub)和功能设备。

总线结构拓补



数据传输方式

■ 控制传输类型

■ 等时传输类型

■ 中断传输类型

- 支持像游戏手柄，鼠标和键盘等输入设备，这些设备与主机间数据传输量小，无周期性，但对响应时间敏感，要求马上响应。

■ 数据块 (Bulk)传输类型

- 支持打印机，扫描仪，数码相机等外设，这些外设与主机间传输的数据量大，USB在满足带宽的情况下才进行该类型的数据传输