

Información general

Grupo No. 5.

Proyecto No.3

Fecha: 18/03/2023.

Nombre del Proyecto: Laboratorio 3 - Lógica Combinacional y Aritmética I

Sesión No. 1.

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Joseph David Jimenez Zuñiga

Minuta

Objetivos de la sesión

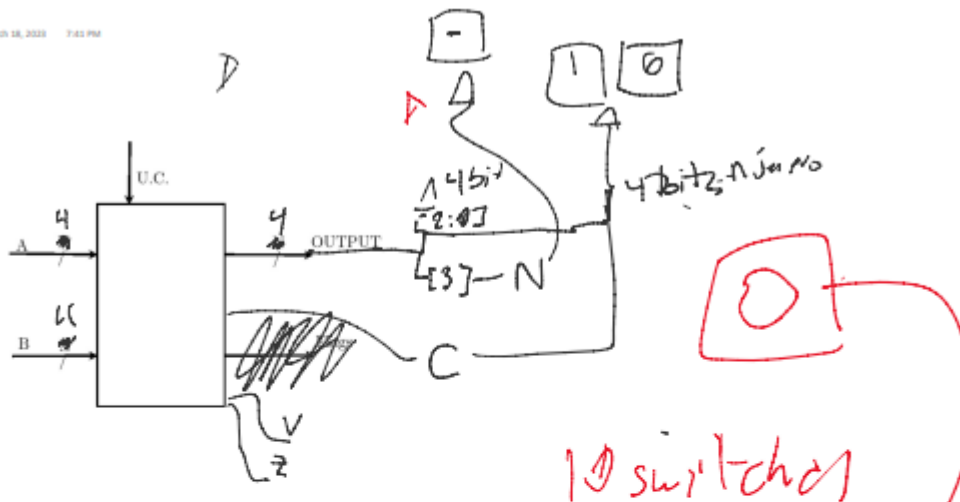
1. Revisar arquitectura básica de la ALU a realizar
2. Repartir modulos basicos de programacion

Descripción breve de la sesión

Se realizó una llamada virtual por la cual se estuvo conversando sobre la ALU a crear, su estructura básica, los elementos que la componen y cómo se iba repartir

ALU

Saturday, March 18, 2023 7:42 PM



0000	Adder
0001	Sub
0010	Multi
0011	Divi
0100	Mod
0101	AND
0110	OR
0111	XOR
1000	ShiftL

Carlos $A \wedge B$
Joseph $\neg U.C$

Parametrizable N
Todos estos son comportamiento
ALU es estructural

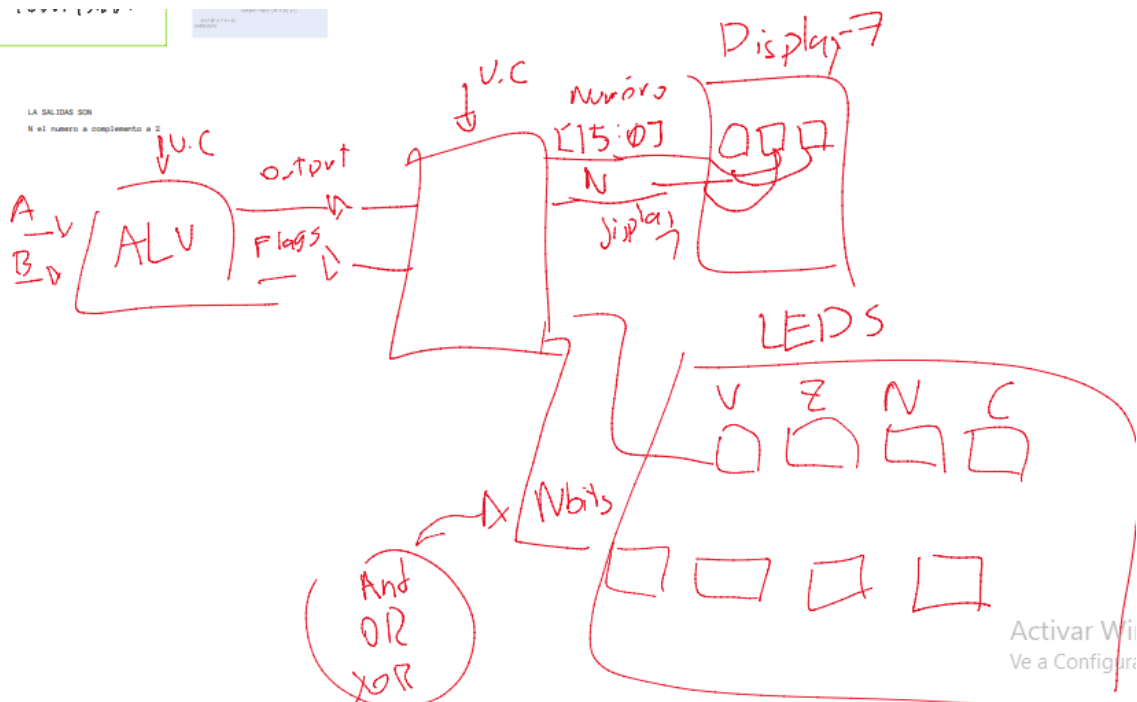
ASI SE PARAMETRIZA

HW Example 5.2 SUBTRACTOR

Synthesizing

Module subtractor (Estructura de la ALU)
Inputs: input1 [0:3], input2 [0:3],
output [0:3], N [0:1],
control [0:3].
Outputs: output [0:3], N [0:1].

LA SALIDAS SON
N el numero a complemento a 2



Activar Wi
Ve a Configuri

Acuerdos	Responsable	Fecha de entrega
Realizar sumador, restador, and, or, xor	Carlos Mata	24/03/2023
Realizar multiplicación, división, módulo y shift left	Joseph Jimenez	24/03/2023

Información general

Grupo No. 5.

Proyecto No.3

Fecha: 21/03/2023.

Nombre del Proyecto: Laboratorio 3 - Lógica Combinacional y Aritmética I

Sesión No. 2.

Marque con una X la modalidad de la sesión:

Presencial (☐)

En línea (☒)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Joseph David Jimenez Zuñiga

Minuta

Objetivos de la sesión

1. Revisar arquitectura top que une los diferentes módulos

Trabajo Previo Investigación

1. Investigue sobre el funcionamiento general de una ALU. Muestra tablas de verdad y diagramas de circuitos lógicos y aritméticos simples (sumas, restas, operaciones lógicas, etc.). Incluya una descripción de las banderas de estado de una ALU, por ejemplo las de la arquitectura ARMv4.

Una unidad aritmética/lógica (ALU) combina una variedad de funciones matemáticas y operaciones lógicas en una sola unidad. La ALU recibe una señal de control, F , que especifica qué función a realizar.

Table 5.1 ALU operations

$F_{2:0}$	Function
000	A AND B
001	A OR B
010	$A + B$
011	not used
100	$A \text{ AND } \bar{B}$
101	$A \text{ OR } \bar{B}$
110	$A - B$
111	SLT

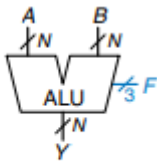
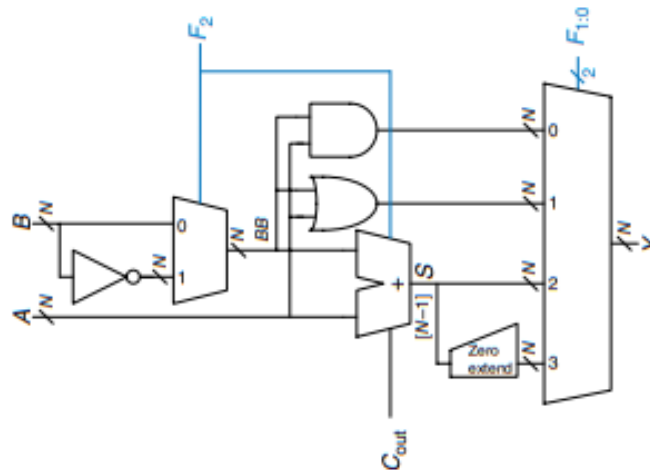


Figure 5.14 ALU symbol

La Figura 5.15 muestra una implementación de la ALU. La ALU contiene un sumador de N bits y N puertas AND y OR de dos entradas. También contiene un inversor y un multiplexor para invertir opcionalmente la entrada B cuando se afirma la señal de control F_2 . Un multiplexor 4:1 elige la función deseada basada en las señales de control $F_{1:0}$.



F_2 también es el acarreo del sumador. Si S es negativo se establece el bit de signo.

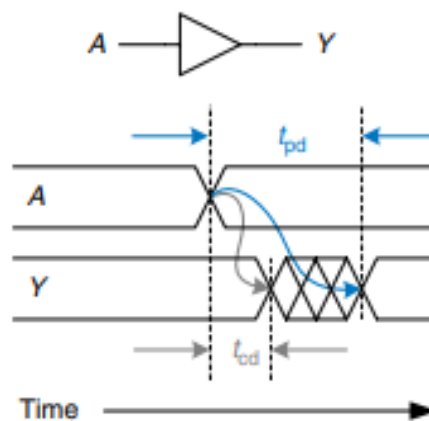
La unidad de extensión cero produce una salida de N bits concatenando su entrada de 1 bit con 0 en los bits más significativos. El bit de signo (el bit $N-1$) de S es la entrada a la unidad de extensión cero.

2. Explique los conceptos de tiempos de propagación y tiempos de contaminación, en circuitos combinacionales.

La lógica combinacional se caracteriza por su retardo de propagación y retraso de la contaminación.

El retardo de propagación, t_{pd} , es el tiempo máximo desde que una entrada cambia hasta que la salida o salidas alcanzan su valor final.

El retardo de contaminación, t_{cd} , es el tiempo mínimo desde cuando una entrada cambia hasta que cualquier salida comienza a cambiar su valor.



3. Investigue sobre la ruta crítica y cómo esta afecta en el diseño de sistemas digitales más complejos, por ejemplo un procesador con pipeline. Investigue su relación con la frecuencia máxima de operación de un circuito.

La ruta crítica, mostrada en azul, es el camino desde la entrada A o B hasta la salida Y. Es el camino más largo y, por lo tanto, el más lento, porque la entrada viaja a través de tres puertas hasta la salida.

Este camino es crítico porque limita la velocidad a la que opera el circuito.

El camino corto a través del circuito, que se muestra en gris, es desde la entrada D hasta la salida Y. Este es el más corto y por lo tanto, el camino más rápido a través del circuito, porque la entrada viaja a través de una sola puerta a la salida.

El retardo de propagación de un circuito combinacional es la suma de los retardos de propagación a través de cada elemento en el camino crítico.

El retraso de la contaminación es la suma de los retrasos de la contaminación a través de cada elemento en el camino corto.

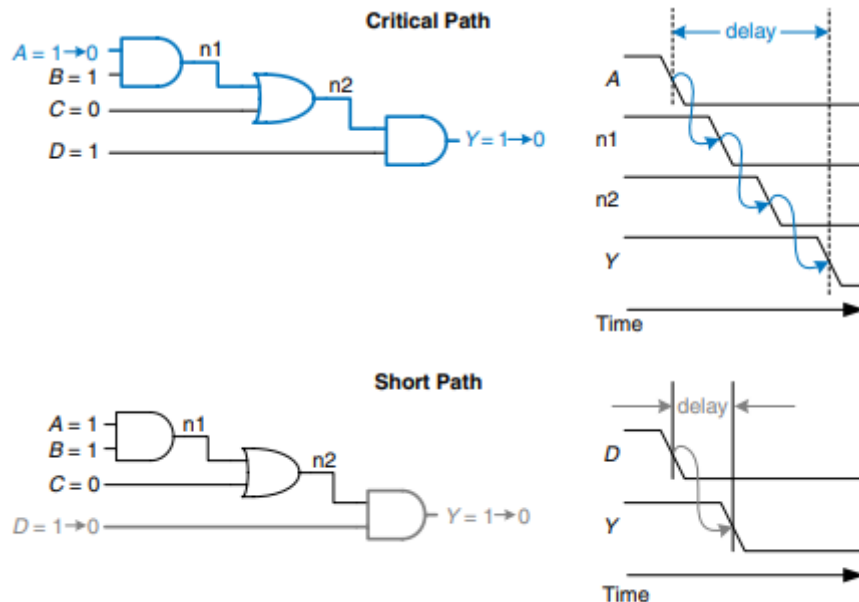


Figure 2.69 Critical and short path waveforms

En el diseño de circuitos digitales, el término "pipeline" se refiere a la técnica de dividir una tarea en etapas y procesar cada etapa en paralelo en diferentes secciones del circuito. Esto permite aumentar la velocidad de procesamiento del circuito, ya que cada etapa se puede procesar simultáneamente.

La frecuencia máxima de operación de un circuito digital está limitada por la duración de las señales eléctricas y la velocidad con la que los componentes del circuito pueden cambiar de estado. Esto se conoce como la velocidad de conmutación de los componentes y está limitada por la capacidad de los componentes para cambiar su estado físico.

En general, el uso de una técnica de pipeline puede mejorar la frecuencia máxima de operación de un circuito, ya que reduce la cantidad de trabajo que cada etapa debe realizar y permite que las señales eléctricas viajen distancias más cortas. Además, los componentes individuales del circuito pueden estar optimizados para una frecuencia de operación más alta, ya que solo necesitan procesar

una parte de la tarea completa. En consecuencia, el uso de una técnica de pipeline puede ayudar a maximizar la frecuencia máxima de operación de un circuito.

Descripción breve de la sesión

Se describió el module top, su estructura básica, su relación con registros y ambos integrantes actualizaron sus avances respecto a cómo realizar sus submódulos.

Acuerdos	Responsable	Fecha de entrega
Terminar submódulos	Joseph Jimenez y Carlos Andres Mata Calderon	24/03/2023

Información general

Grupo No. 5.

Proyecto No.3

Fecha: 25/03/2023.

Nombre del Proyecto: Laboratorio 3 - Lógica Combinacional y Aritmética I

Sesión No. 3.

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Joseph David Jimenez Zuñiga

Minuta

Objetivos de la sesión

1. Revisar submódulos completados.
2. Repartir las siguientes partes de la ALU.

Descripción breve de la sesión

Se presentaron los submódulos acordados en las sesiones previas, Carlos presentó el sumador, restador, and, or y xor; Joseph presentó la multiplicación, división, módulo y shift left.

Se habló de lo faltante del trabajo referido al control de señales, las simulaciones y los registros

Acuerdos	Responsable	Fecha de entrega
Realizar conexiones a Display	Carlos Mata	27/03/2023
Realizar el ALU Control inicial	Joseph Jimenez	27/03/2023

Información general

Grupo No. 5.

Proyecto No.3

Fecha: 29/03/2023.

Nombre del Proyecto: Laboratorio 3 - Lógica Combinacional y Aritmética I

Sesión No. 4.

Marque con una X la modalidad de la sesión:

Presencial ()

En línea (X)

Otra: _____

Distribución de roles:

Rol	Nombre estudiante
Coordinación	Carlos Andres Mata Calderon
Secretariado	Joseph David Jimenez Zuñiga
Fiscal	Joseph David Jimenez Zuñiga

Minuta

Objetivos de la sesión

3. Revisar alu control basica
4. Revisar estructura básica para display

Descripción breve de la sesión

Se presentaron la alu control inicial y la estructura básica para mostrar en display

Acuerdos	Responsable	Fecha de entrega
Terminar lo faltante	Carlos Mata y Joseph Jimenez	30/03/2023