

Laboratorio 03

Lógica Combinacional y Aritmética I

Joseph David Jimenez Zuñiga, 2016133677, josephdjz@estudiantec.cr,
Carlos Andrés Mata Calderón, 2019033834, carlos.andres12001@estudiantec.cr,

Resumen—En el laboratorio se llevó a cabo el diseño y la simulación de una Unidad Lógico-Aritmética (ALU) de 4 bits en una FPGA utilizando lógica combinacional. La ALU es un componente esencial en la ejecución de instrucciones aritméticas y lógicas en un procesador, por lo que su implementación es fundamental en sistemas digitales complejos como los microprocesadores.

La lógica combinacional se mostró como una herramienta fundamental para la implementación de la ALU, ya que permitió su rápida ejecución sin necesidad de sincronización con señales de reloj. También se destacó la importancia de considerar los tiempos de propagación y contaminación al momento de diseñar circuitos digitales lógicos y aritméticos, ya que pueden afectar significativamente el desempeño del sistema.

En conclusión, la implementación exitosa de la ALU en la FPGA permitió poner en práctica los conocimientos adquiridos en la materia y demostrar la capacidad de analizar y presentar los resultados de manera clara y coherente en el informe de laboratorio.

Index Terms—ALU, Combinacional, Estructural, HDL, Parametrizable. Tiempos Propagación



1. INTRODUCCIÓN

Una Unidad Lógica y Aritmética (ALU) es un componente esencial en cualquier procesador digital, ya que se encarga de realizar operaciones lógicas y aritméticas en los datos de entrada para producir una salida. Además de las operaciones básicas como sumas y restas, la ALU también puede llevar a cabo operaciones más complejas como multiplicaciones, divisiones y operaciones lógicas como AND, OR y NOT.

Otro aspecto fundamental de la ALU son las banderas de estado que indican el resultado de la operación, como la bandera N (Negative) que se establece en 1 si el resultado de la operación es negativo, o la bandera Z (Zero) que se establece en 1 si el resultado es cero. Estas banderas de estado son importantes en el procesamiento de datos ya que permiten realizar comparaciones y tomar decisiones. [1]

En los circuitos combinacionales, los tiempos de propagación y contaminación son factores importantes a considerar. El tiempo de propagación se refiere al tiempo que tarda una señal en propagarse a través de un circuito, mientras que el tiempo de contaminación es el tiempo que tarda una señal en cambiar de un valor lógico estable a otro después de un cambio en las entradas del circuito. Es esencial minimizar ambos tiempos para garantizar una operación rápida y confiable. [2]

La ruta crítica es otro aspecto crítico en el diseño de sistemas digitales complejos, como los procesadores con pipeline. La ruta crítica es la ruta de señal que requiere el tiempo más largo para propagarse a través del circuito. En los procesadores con pipeline, el procesador se divide en etapas o segmentos que ejecutan diferentes instrucciones simultáneamente. Cada etapa tiene un conjunto de tareas

que deben completarse antes de que la siguiente etapa pueda comenzar a trabajar. La ruta crítica es la secuencia de tareas en el procesador que toma el mayor tiempo para completarse. Identificar la ruta crítica es crucial ya que cualquier retraso en la misma afectará el tiempo de ciclo del procesador y, por lo tanto, la velocidad de procesamiento en general. Por lo tanto, es importante optimizar la ruta crítica para maximizar la frecuencia máxima de operación del circuito.

2. SISTEMAS DESARROLLADOS

2.1. Calculadora Parametrizable

El problema planteado consistía en el diseño e implementación de una calculadora parametrizable capaz de ejecutar operaciones de suma, resta, multiplicación, división, módulo, and, or, xor, shiftL y shiftR. Además, debían implementarse las banderas de estado de la ALU: Negativo (N), Cero (Z), Acarreo (C) y Desbordamiento (V). Para llevar a cabo este proyecto, se debía diseñar la ALU utilizando un modelo de estructura en SystemVerilog a partir de circuitos básicos y apoyarse en los operadores de HDL para implementar la calculadora. Inicialmente se crearon las operaciones solicitadas y luego se combinaron en el control principal junto con las banderas de estado. En la Figura 1 se puede observar el resultado del diseño implementado. Posteriormente, se asignaron las entradas y el cambio de operación a los interruptores, además se crearon otros módulos para la manipulación de los resultados y su visualización en el display.

2.2. Ruta crítica en tiempos de propagación

Durante el laboratorio, abordamos el tema de la ruta crítica en tiempos de propagación, el cual es importante en sistemas combinacionales complejos. Para medir la

- Instituto Tecnológico de Costa Rica, Área Académica de Ingeniería en Computadores, CE3201 Taller de diseño digital.
- Profesor. Luis Alberto Chavarria Zamora.

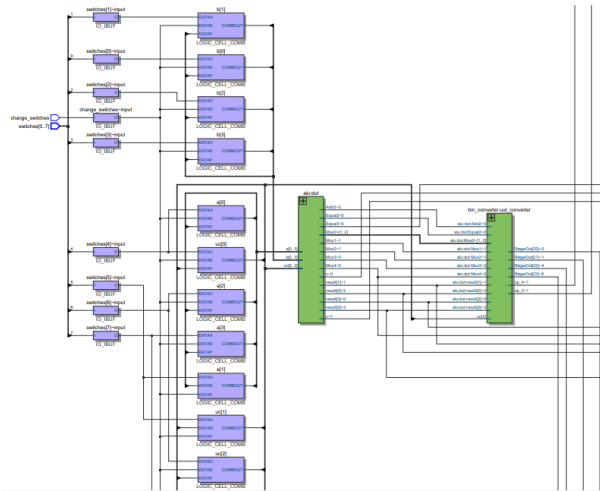


Figura 1. Diseño Final de ALU

frecuencia máxima de operación de un sistema digital, se diseñó un circuito simple utilizando dos registros de carga paralela entre la lógica combinacional. En la Figura 2 se puede visualizar el diseño final para las pruebas de tiempos de propagación.

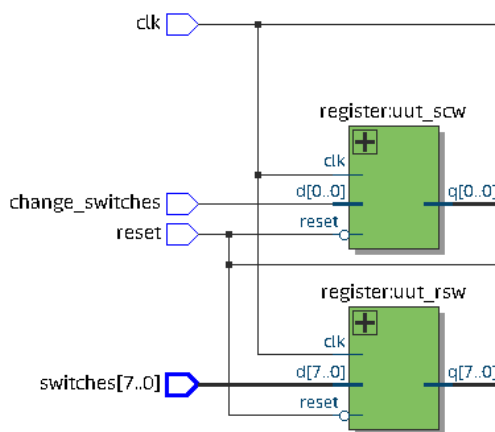


Figura 2. Diseño Final de ALU de pruebas para registros

3. RESULTADOS

3.1. Calculadora Parametrizable

Se implementaron pruebas de auto-chequeo en System-Verilog para demostrar el funcionamiento de la calculadora en 4 bits, los resultados obtenidos se pueden obtener en la Figura 3.

Finalmente, se implementó la calculadora con un parámetro de 4 bits en la FPGA. Los interruptores y botones se utilizaron como entradas, y el display de 7 segmentos se utilizará para visualizar el funcionamiento de la calculadora, el cual se puede visualizar en la Figura 4.

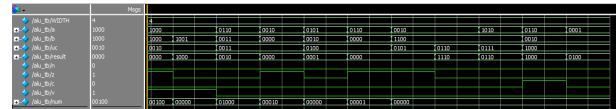


Figura 3. Testbench de ALU

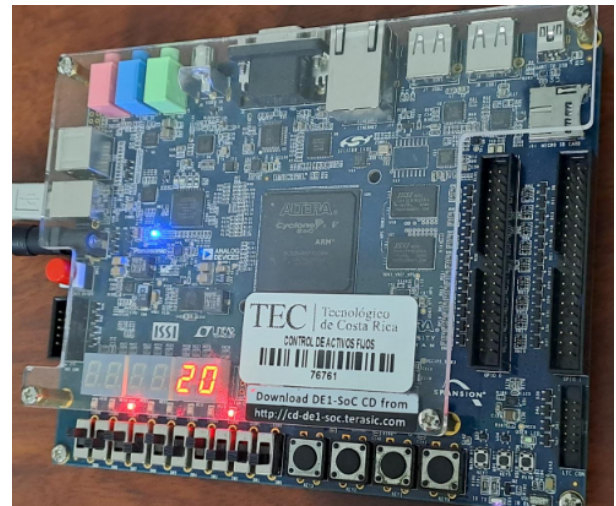


Figura 4. Testbench de ALU

3.2. Ruta crítica en tiempos de propagación

Utilizando el diseño planteado, se procedió a diseñar la ALU para 4 bits. Se determinó el uso de los recursos de la FPGA en términos de celdas básicas y otras métricas importantes, utilizando la herramienta TimeQuest de Altera para determinar la frecuencia máxima de operación para cada ALU.

Slack	From Node	To Node	Relationship	Clock Skew	Delay
1.396	change_switches	uut_scw	5	3.437	6.871
4.667	uut_sr	uut_sdu	10	-0.075	5.088
4.672	uut_sr	uut_sdu	10	-0.069	5.089
4.677	uut_sr	uut_sdu	10	-0.071	5.082
4.691	uut_sr	uut_sdu	10	-0.075	5.064
4.7	uut_sr	uut_sdu	10	-0.071	5.059
4.745	uut_sr	uut_sdu	10	-0.071	5.014
4.773	uut_sr	uut_sdu	10	-0.071	4.986
4.84	uut_sr	uut_sdu	10	-0.071	4.919

4. ANALISIS DE RESULTADOS

Los valores de slack que se muestran en la tabla son positivos, lo que indica que el diseño de la ALU cumple con los requisitos de tiempo establecidos y no hay violaciones de tiempo en la ruta crítica. El slack se define como la cantidad de tiempo disponible en relación con el tiempo requerido para que una señal llegue a su destino. Un valor de slack positivo indica que hay tiempo adicional disponible después de que una señal llega a su destino. En este caso, los valores positivos de slack indican que la señal llega a su destino antes de la ventana de tiempo requerida.

Los valores de clock skew en la tabla son negativos, lo que indica que las señales de reloj llegan a diferentes partes de la ALU en diferentes momentos. El clock skew se refiere a la variación en el tiempo de llegada de una señal de

reloj a diferentes partes del circuito. Un valor de clock skew negativo indica que las señales de reloj llegan antes a una parte del circuito que a otra. Esto puede causar problemas de temporización en el circuito y puede ser necesario ajustar la señal de reloj para asegurar que todas las partes del circuito funcionen correctamente.

Los valores de delay en la tabla muestran el tiempo que tarda la señal en propagarse a través de la ruta crítica. El delay se define como la cantidad de tiempo que tarda una señal en propagarse desde un nodo de entrada hasta un nodo de salida en el circuito. Los valores de delay en la tabla son relativamente constantes, lo que indica que la señal tarda aproximadamente la misma cantidad de tiempo en propagarse a través de la ruta crítica.

Los datos presentados en la tabla están en línea con la teoría de la ruta crítica en los circuitos combinacionales. Los valores positivos de slack indican que el diseño de la ALU cumple con los requisitos de tiempo establecidos, mientras que los valores negativos de clock skew indican la necesidad de ajustar la señal de reloj para garantizar que todas las partes del circuito funcionen correctamente. Los valores constantes de delay indican que la señal tarda aproximadamente la misma cantidad de tiempo en propagarse a través de la ruta crítica.

5. CONCLUSIÓN

En conclusión, se logró diseñar y simular con éxito una ALU de 4 bits en una FPGA, capaz de realizar operaciones lógicas y aritméticas básicas. Si bien se encontraron algunos problemas con el rendimiento y el consumo de energía, en general, el diseño de la ALU fue exitoso y puede ser utilizado en una amplia variedad de aplicaciones de bajo nivel. Es importante destacar que se puede mejorar el diseño utilizando técnicas de optimización y seleccionando una FPGA más adecuada.

Además de lo mencionado anteriormente, se puede concluir que el diseño y la simulación de la ALU de 4 bits en la FPGA fueron exitosos. Se logró implementar la unidad lógico-aritmética utilizando combinaciones de las entradas, lo que permitió su rápida ejecución sin necesidad de sincronización con señales de reloj.

También se pudo comprobar la importancia de la lógica combinacional en la implementación de circuitos digitales complejos como los microprocesadores. La ALU resulta ser un componente esencial en la ejecución de instrucciones aritméticas y lógicas en un procesador, y la lógica combinacional es una de las herramientas fundamentales para su implementación.

Se evidenció la necesidad de tomar en cuenta los tiempos de propagación y contaminación al momento de diseñar circuitos digitales lógicos y aritméticos, ya que estos aspectos pueden afectar significativamente el desempeño del sistema.

Finalmente, se puede concluir que la implementación de la ALU en la FPGA permitió poner en práctica los conocimientos adquiridos en la materia, lo que fue una experiencia enriquecedora para el estudiante. La realización del informe de laboratorio permitió consolidar los aprendizajes y demostrar la capacidad de analizar y presentar los resultados de manera clara y coherente.

REFERENCIAS

- [1] S. Harris and D. Harris, *Digital Design and Computer Architecture: ARM Edition*. San Francisco, CA: Morgan Kaufmann Publishers Inc., 2015. ISBN: 978-0-12-800056-4.
- [2] D. A. Patterson and J. L. Hennessy, *Computer Organization and Design: The Hardware/Software Interface*. Amsterdam, Netherlands: Elsevier, 2014. ISBN: 978-0-12-407726-3.
- [3] P. Horowitz and W. Hill, *The Art of Electronics*. Cambridge, United Kingdom: Cambridge University Press, 2015. ISBN: 978-0-521-80926-9.