



# 关于在FPGA上跑通RISC-V的调研

软件所智能软件中心PLCT实验室 张爱珩 实习生

2020/02/11

# 目 录

01 FPGA开发简介

02 实现RISC-V所需硬件资源

03 实现RISC-V所需工作

04 实现RISC-V成功案例

## 什么是FPGA

- FPGA是**现场可编程门阵列**，英文全称为 Field Programmable Gate Array。
- 通过**软件**的手段去改变和配置器件**内部连接结构**和**逻辑单元**以完成指定设计功能的所有**数字集成电路**。

### 与传统数字专用芯片的不同：

- 由多个独立、可灵活相连的**逻辑单元组成**
- 这些逻辑资源之间的连接方式由一个或多个**可编程的连接矩阵**来决定

### FPGA的优点优势：

- 可编程
- 灵活性高
- 高密度
- 可重新配置
- 开发周期短

### 参考资料：

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京：清华大学出版社,2020.
- [2] <https://wenku.baidu.com/view/4b00548b900ef12d2af90242a8956bec0975a5a9.html>

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京: 清华大学出版社,2020.  
[2] [https://blog.csdn.net/Reborn\\_Lee/article/details/81434974](https://blog.csdn.net/Reborn_Lee/article/details/81434974)  
[3] <http://www.elecfans.com/emb/fpga/20180131627456.html>  
[4] <http://www.elecfans.com/d/879721.html>

## 02 实现RISC-V所需硬件资源

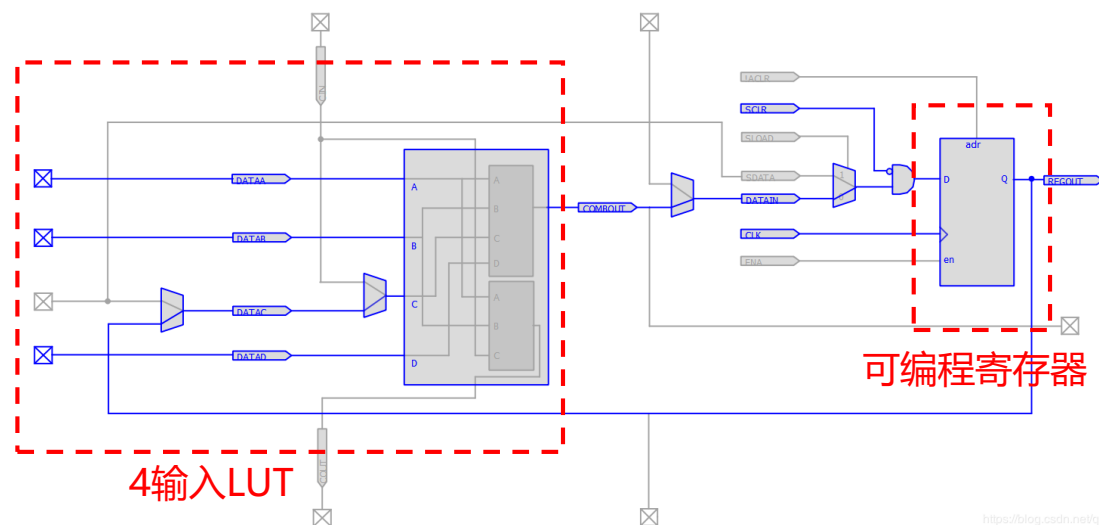
### FPGA平台上的重要部分

FPGA 内部有很多可供用户任意配置的资源，其中包括：**可编程逻辑、可编程I/O、互连线、IP核**等资源。

FPGA 内部最基本的主要单元是由无数个**查找表 (LUT)** 和**寄存器**构成。

以 CycloneIV 系列的 EP4CE10F17C8 为例：

① 逻辑阵列块(LAB)：每个LAB由**16个LE**(Logic Element) 组成。



参考资料：

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京：清华大学出版社,2020.
- [2] [https://blog.csdn.net/qg\\_18239447/article/details/89741682](https://blog.csdn.net/qg_18239447/article/details/89741682)

## 02 实现RISC-V所需硬件资源

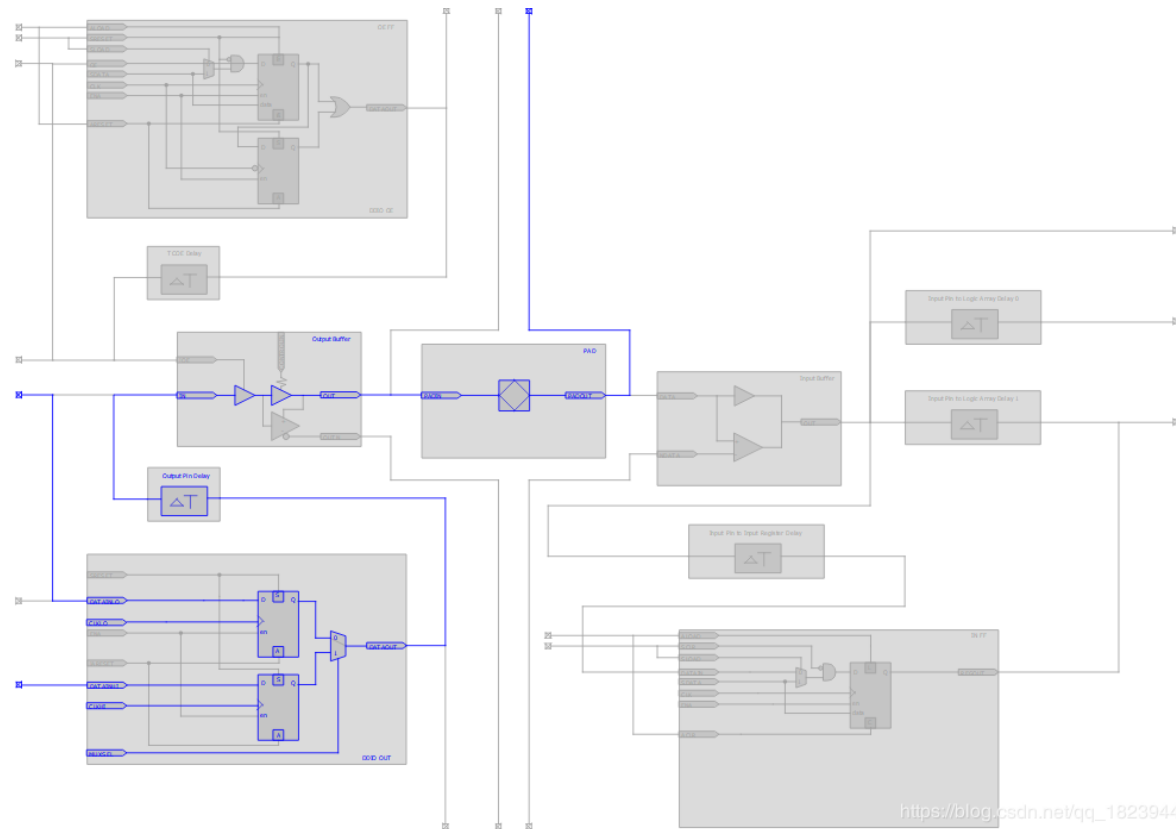
### FPGA平台上的重要部分

FPGA 内部有很多可供用户任意配置的资源，其中包括：**可编程逻辑、可编程I/O、互连线、IP核**等资源。

FPGA 内部最基本的主要单元是由无数个**查找表 (LUT)** 和**寄存器**构成。

以 CycloneIV 系列的 EP4CE10F17C8 为例：

- ① 逻辑阵列块(LAB)：每个LAB由**16个LE**(Logic Element) 组成。
- ② 用户可编程I/O (IOE)



参考资料：

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京：清华大学出版社,2020.
- [2] [https://blog.csdn.net/qq\\_18239447/article/details/89741682](https://blog.csdn.net/qq_18239447/article/details/89741682)

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京: 清华大学出版社,2020.  
[2] [https://blog.csdn.net/qg\\_18239447/article/details/89741682](https://blog.csdn.net/qg_18239447/article/details/89741682)

## 02 实现RISC-V所需硬件资源

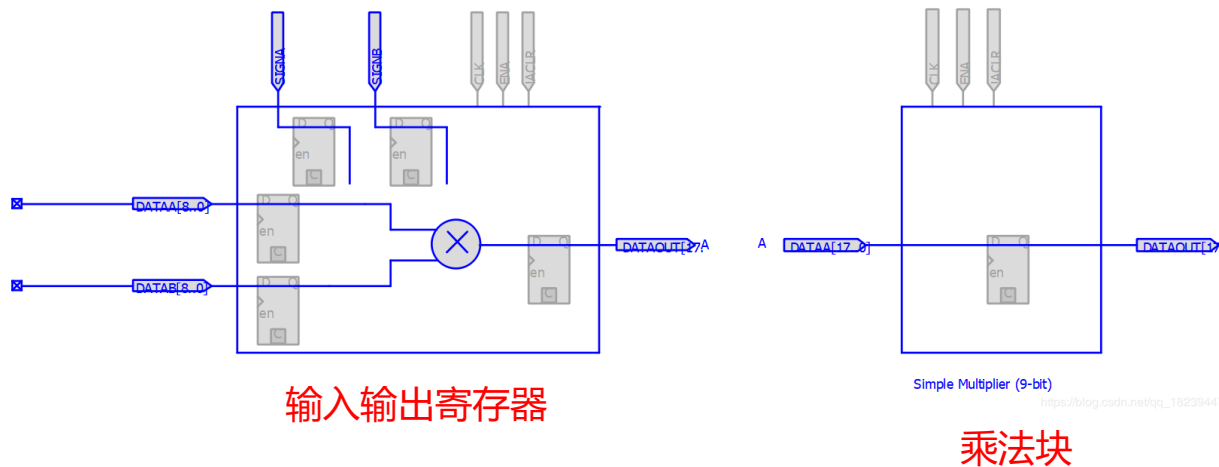
### FPGA平台上的重要部分

FPGA 内部有很多可供用户任意配置的资源，其中包括：**可编程逻辑、可编程I/O、互连线、IP核**等资源。

FPGA 内部最基本的主要单元是由无数个**查找表 (LUT)** 和**寄存器**构成。

以 CycloneIV 系列的 EP4CE10F17C8 为例：

- ① 逻辑阵列块(LAB)：每个LAB由**16个LE**(Logic Element) 组成。
- ② 用户可编程I/O (IOE)
- ③ 嵌入式存储单元 (BRAM)：用于生成RAM、ROM、FIFO、移位寄存器，在**存储较多数据**或作**跨时钟域处理**时常用到。
- ④ 嵌入式乘法单元 (DSP块)：用于各种**复杂的数学运算**。



参考资料：

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京：清华大学出版社,2020.
- [2] [https://blog.csdn.net/qq\\_18239447/article/details/89741682](https://blog.csdn.net/qq_18239447/article/details/89741682)



## 02 实现RISC-V所需硬件资源

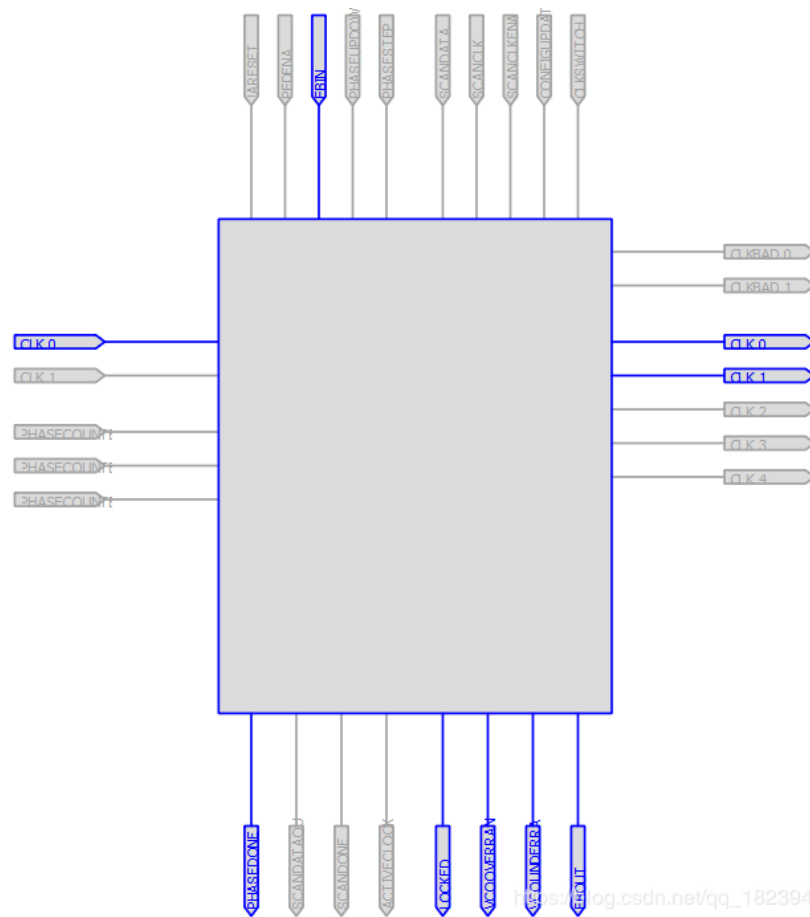
### FPGA平台上的重要部分

FPGA 内部有很多可供用户任意配置的资源，其中包括：**可编程逻辑、可编程I/O、互连线、IP核**等资源。

FPGA 内部最基本的主要单元是由无数个**查找表 (LUT)** 和**寄存器**构成。

以 CycloneIV 系列的 EP4CE10F17C8 为例：

- ① 逻辑阵列块(LAB)：每个LAB由**16个LE**(Logic Element) 组成。
- ② 用户可编程I/O (IOE)
- ③ 嵌入式存储单元 (BRAM)：用于生成RAM、ROM、FIFO、移位寄存器，在**存储较多数据**或作**跨时钟域处理**时常用到。
- ④ 嵌入式乘法单元 (DSP块)：用于各种**复杂的数学运算**。
- ⑤ 锁相环 (PLL)：PLL的参考时钟输入都是由专用时钟管脚上的晶振进来的，用于时钟的倍频、分频，以及相位、占空比调制。PLL出来的时钟都会连接到全局时钟网络上，以保证时钟的质量，**减小时钟偏斜和抖动**。



参考资料：

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京：清华大学出版社,2020.  
[2] [https://blog.csdn.net/qq\\_18239447/article/details/89741682](https://blog.csdn.net/qq_18239447/article/details/89741682)

## 02 实现RISC-V所需硬件资源

### 独立于FPGA平台的部分

一些常用外围设备：

- 串行口UART
- I<sup>2</sup>C总线接口
- SPI接口
- GPIO
- PWM
- PS2
- MicroSD
- 旋转编码器



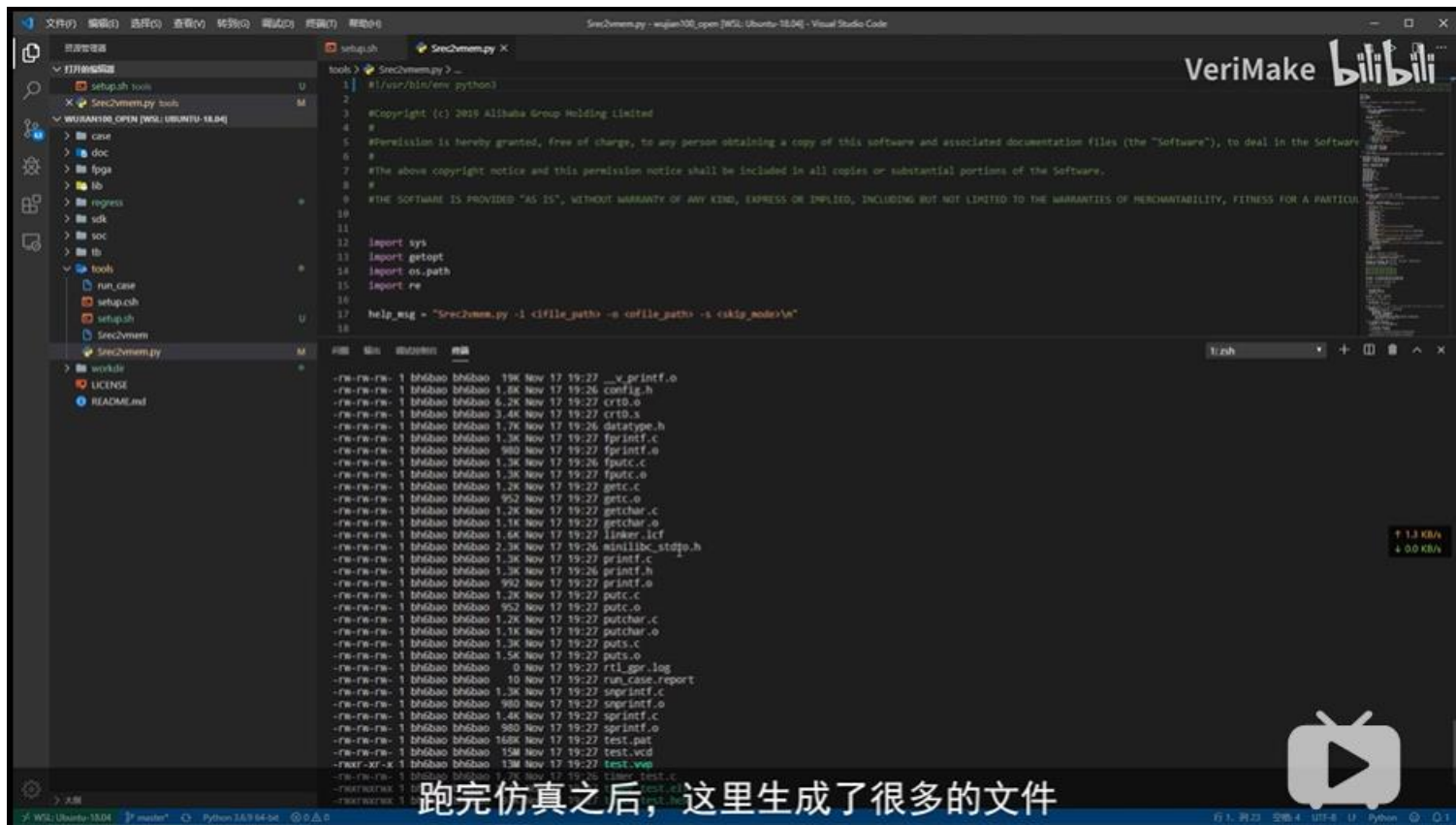
参考资料：

- [1] 顾长怡. 基于FPGA与RISC-V的嵌入式系统设计[M].北京：清华大学出版社,2020.
- [2] <https://www.bilibili.com/video/av74527234>

# 03 实现RISC-V所需工作

## 系统的软件验证

- 下载开发平台提供的官方代码
- 对系统代码进行分析
- 安装准备软件模拟所需的工具软件，例如Modelsim、Cmake等。
- 对官方代码进行编译
- 仿真
- 分析仿真结果
- 不断调试，直至符合预期结果



参考资料：

- [1] 周毅. 基于RISC-V的PULPino SoC的FPGA原型设计和物理实现[D].哈尔滨工业大学,2019.
- [2] 盛启隆. 基于RISC-V架构的双发射微处理器设计与实现[D].西安理工大学,2019.
- [3] <https://www.bilibili.com/video/av76320581>



## 03 实现RISC-V所需工作

文献P、<https://www.bilibili.com/video/av76385673>

ISCAS

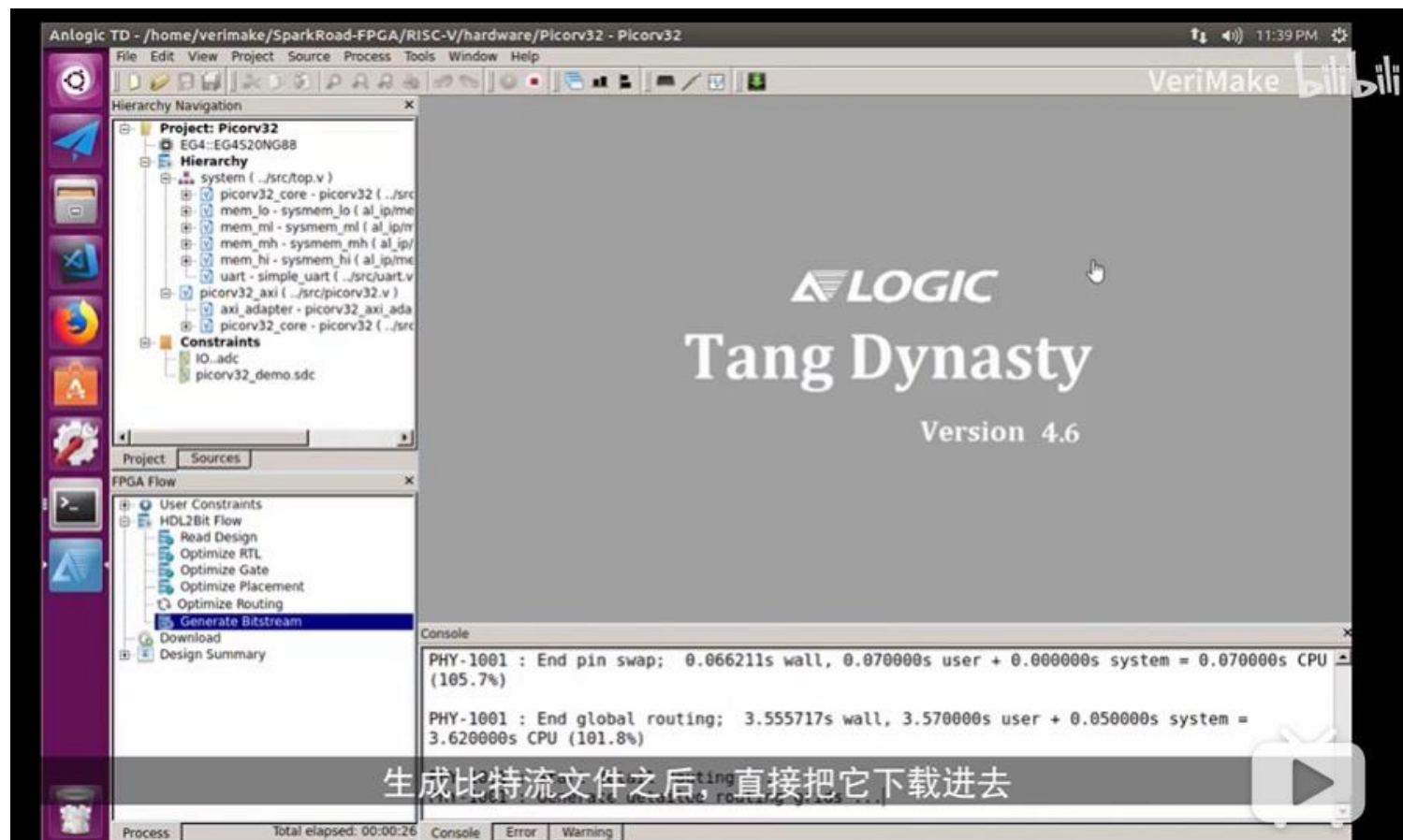
中国科学院软件研究所  
Institute of Software Chinese Academy of Sciences



智能软件研究中心  
Intelligent Software Research Center

### 系统的FPGA验证

- 下载开发平台提供的源码
- 安装 RISC-V 工具链
- 编译、配置，生成比特流文件
- 下载文件到FPGA
- 进行板级测试
- 不断调试，直至实现预期结果



参考资料：

- [1] 周毅. 基于RISC-V的PULPino SoC的FPGA原型设计和物理实现[D].哈尔滨工业大学,2019.
- [2] 盛启隆. 基于RISC-V架构的双发射微处理器设计与实现[D].西安理工大学,2019.
- [3] <https://www.bilibili.com/video/av76385673>

## PULPino SoC 的FPGA实现

- PULPino SoC 是一个基于32位的RISC-V 核心的单核片上系统
- 开源发布了：RTL源代码，所有IP，RTL 模拟环境代码和FPGA构建流程相关代码等
- 软件模拟所用的工具软件为：Modelsim、Cmake
- 在 Vivado2015.1 下完成综合
- 采用 ZedBoard FPGA 开发板
- 通过SPI加载程序

## 双发射微处理器的FPGA实现

- 采用 DMIPS 程序对处理器进行测试
- 用 spike 模拟器进行模拟仿真
- 用 Vivado 进行综合
- 分别采用 Nexys4 和 ZYBO 两种FPGA 开发板进行实现

## 其他实现案例

- 实现板级调试：  
<https://www.bilibili.com/video/av76385673>
- 实现仿真：  
<https://www.bilibili.com/video/av76320581>

参考资料：

[1] 周毅. 基于RISC-V的PULPino SoC的FPGA原型设计和物理实现[D].哈尔滨工业大学,2019.

[2] 盛启隆. 基于RISC-V架构的双发射微处理器设计与实现[D].西安理工大学,2019.

# 谢 谢

欢迎交流合作

2020/02/11