

Examen 3. Duración: 10 minutos VLSI 6 noviembre 20 20

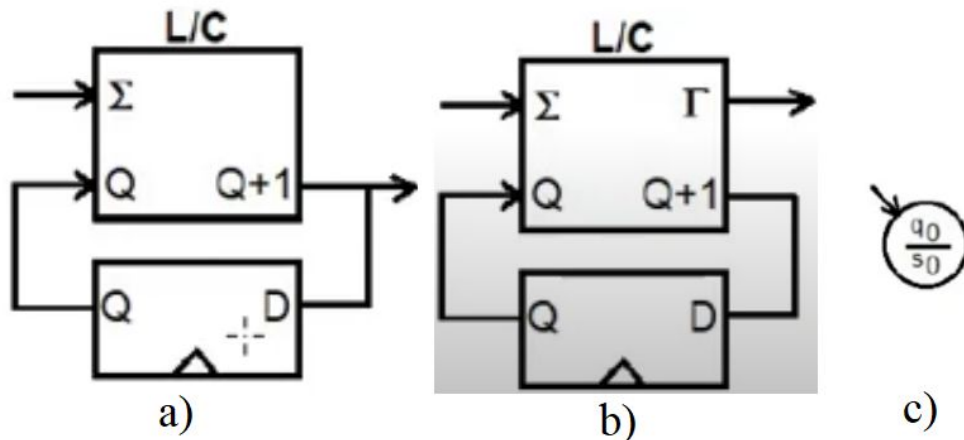
Nombre Completo: Alfonso Murrieta Villegas

1. ¿Qué es un sistema digital?

Es un sistema que tiene la particularidad de realizar procesamiento, almacenamiento y otras funciones más destinada al análisis de señales digitales, además de que están compuestos por datos tanto de salida como de entrada además del control de esto. Además, podemos clasificarlos de manera general en sistemas secuenciales y combinacionales.

2. El sistema digital está dividido en D_____ y C_____L
DATOS y CONTROL

3. Ponle Nombre. Cual es Mealy y cual es Moore (no importa que repitan)



a) Es tipo Moore b) Es tipo Mealy c) Es tipo Moore

4. Para que sirve saber cual es un Autómata Mealy y cual es Moore y además escribe la diferencia entre ellos:

La principal diferencia es que en el caso del Moore la salida depende sólo del estado actual, mientras que en el caso de Mealy, la salida depende del estado actual y la entrada actual

Y esto nos sirve para poder diferenciar entre cada tipo de máquina y saber emplearlas respecto a las máquinas de estados e incluso FlipFlops que se usarán dentro de nuestro sistema a desarrollar

5. Escribe el Código vhdI

```
library ieee;
use ieee.std_logic_1164.all;
entity ejercicio is port(
    x, y: in std_logic;
```

```
        var1, var2: out std_logic
    );
end code;
```

architecture arqejercicio of ejercicio is
 signal: present_state, next_state: state;
 subtype state is std_logic_vector (3 downto 0);

```
    constant state0: state:="0000";
    constant state1: state:="0001";
    constant state2: state:="0010";
    constant state3: state:="0011";
    constant state4: state:="0100";
    constant state5: state:="0101";
    constant state6: state:="0110";
    constant state7: state:="0111";
    constant state8: state:="1000";
```

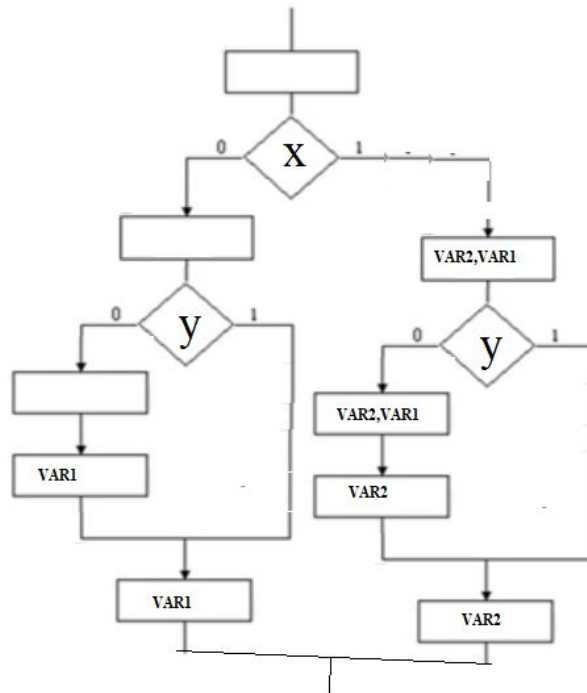
begin

case state is

```
    when state0 =>
        if(x='0')
            next_state <= state1
        else
            next_state <= state2
            var1<='1';
            var2<='1';
        end if;
```

FALTAN LOS DEMAS CASES

end arqejercicio;



AYUDA

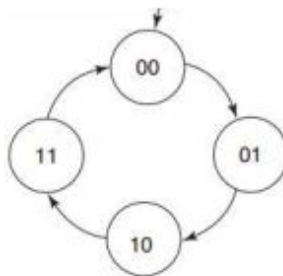
```

library ieee;
use ieee.std_logic_1164.all;

entity cnt2bitc is
    port (clk, reset: in std_logic;
          count: out std_logic_vector(1 downto 0));
end;

architecture behavior of cnt2bitc is
    subtype state is std_logic_vector (1 downto 0);
    signal present_state, next_state : state;
    constant state0: state := "00";
    constant state1: state := "01";
    constant state2: state := "10";
    constant state3: state := "11";

```



State table for a 2-bit counter.

Present State	Next State
00	01
01	10
10	11
11	00

```

begin
    process (clk)
    begin
        if rising_edge(clk) then
            if ( reset='1' ) then
                present_state <= state0;
            else
                present_state <= next_state;
            end if;
        end if;
    end process;

    process (present_state)
    begin
        case present_state is
            when state0 =>
                next_state <= state1;
            when state1 =>
                next_state <= state2;
            when state2 =>
                next_state <= state3;
            when state3 =>
                next_state <= state0;
            when others =>
                next_state <= state0;
        end case;
        count <= present_state;
    end process;
end behavior;

```