

Universidad Nacional Autónoma de México

Tarea 5: Detectores de Paridad, Método funcional y Carta ASM

Alumno: Alfonso Murrieta Villegas

Profesora: Elizabeth Fonseca C.

Objetivos

1. Emplear el puerto VGA de nuestro FPGA para poder mandar datos de forma externa
2. Entender cómo es que funciona el puerto VGA para poder declarar apropiadamente todas sus propiedades y elementos en VHDL - Quartus

Introducción

Uno de los mayores retos dentro de los sistemas digitales es poder desplegar información de una manera más fácil de entender tanto para el usuario como para el mismo cliente. a pesar de que previamente hemos mostrado información mediante leds o incluso displays de 7 segmentos, sabemos que hoy en día hay nuevas formas de poder mostrar información y es el caso concreto de los monitores .

Desarrollo

Para el desarrollo del proyecto, en primera instancia se descargaron 2 códigos de la página de la profesora uno que es el controlador del puerto vga y otro encargado de la generación de imagen, posteriormente se creó un archivo top para poder juntar a estos dos archivos y además a un tercero que es un divisor de frecuencia.

Por último simplemente se modificaron los valores encargados de la definición de la pantalla (Los pixeles), además de algunos otros valores para la sincronización de imagen.

Conclusión

En la presente práctica abordamos el uso y manejo de códigos compartidos por la profesora con la finalidad de poder usar el puerto FPGA de nuestra FPGA, a su vez comprendimos la importancia de cada uno de los elementos necesarios para poder empelar este puerto.

Por último, cabe destacar la importancia del matiz RGB para la representación de colores pues es mediante este que pudimos aterrizar diferentes colores en nuestra pantalla.

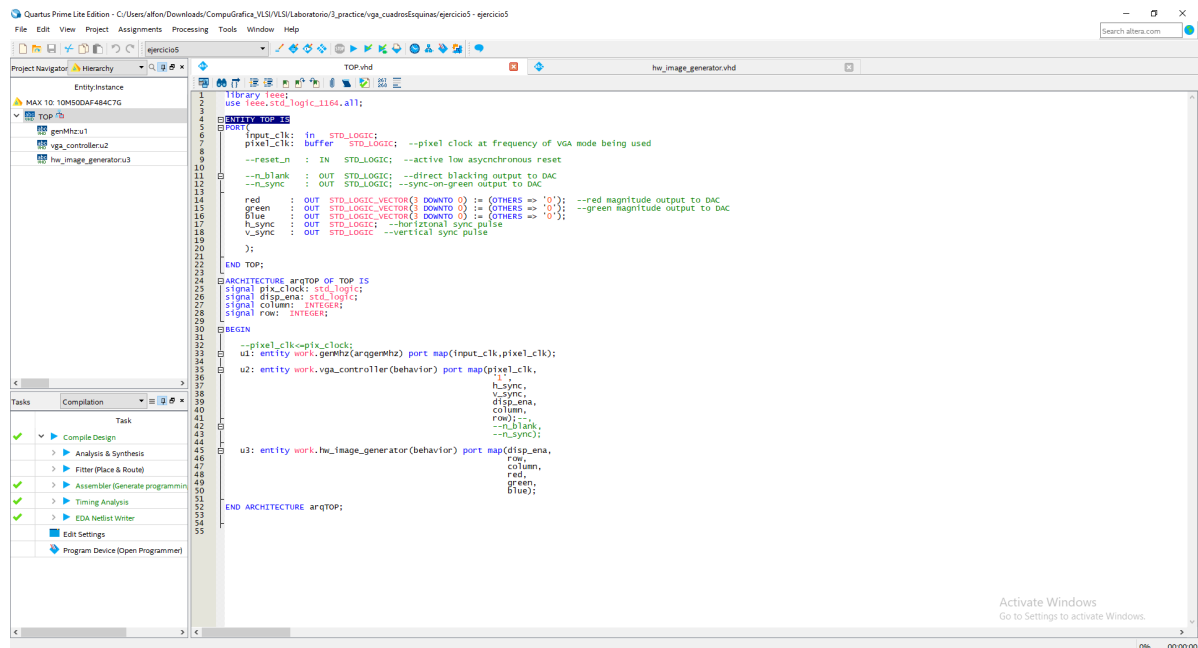
Referencias

1. Fonseca E. VLSI, Diseño Digital con FPGA . Recuperado el 21 de octubre 2020, de <https://blogadmi1.wordpress.com/>

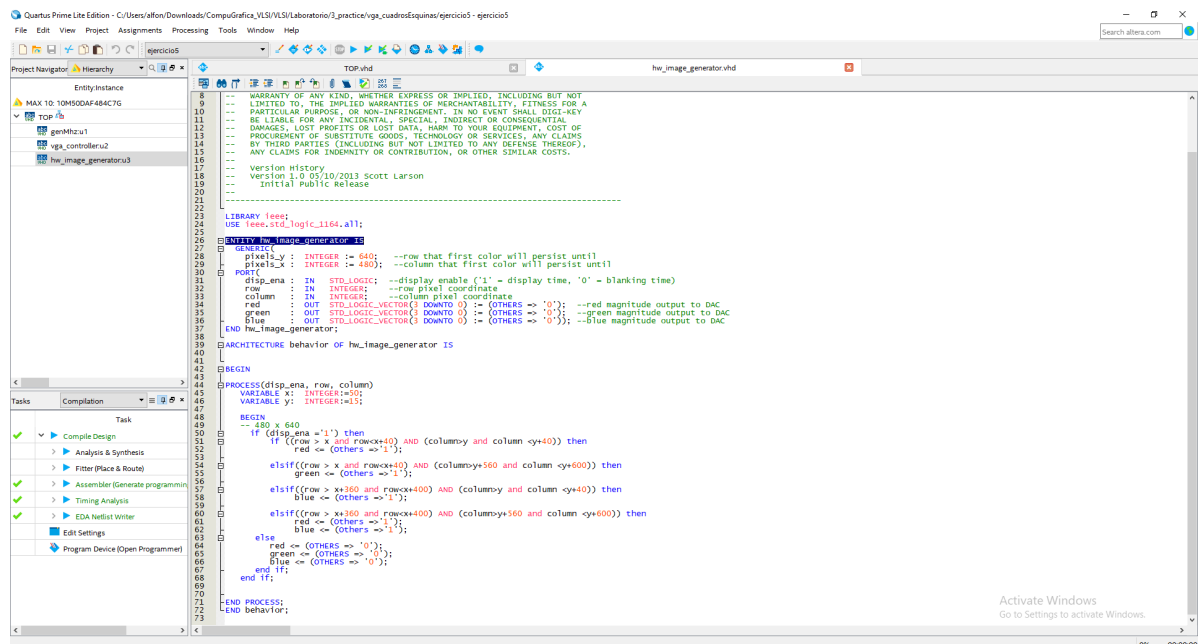
ANEXO

Código - Quartus

A continuación se muestra una captura de pantalla del archivo TOP encargado de juntar e instanciar nuestro divisor de frecuencia o reloj lento, el vga_controller y nuestro hw_image_generator:



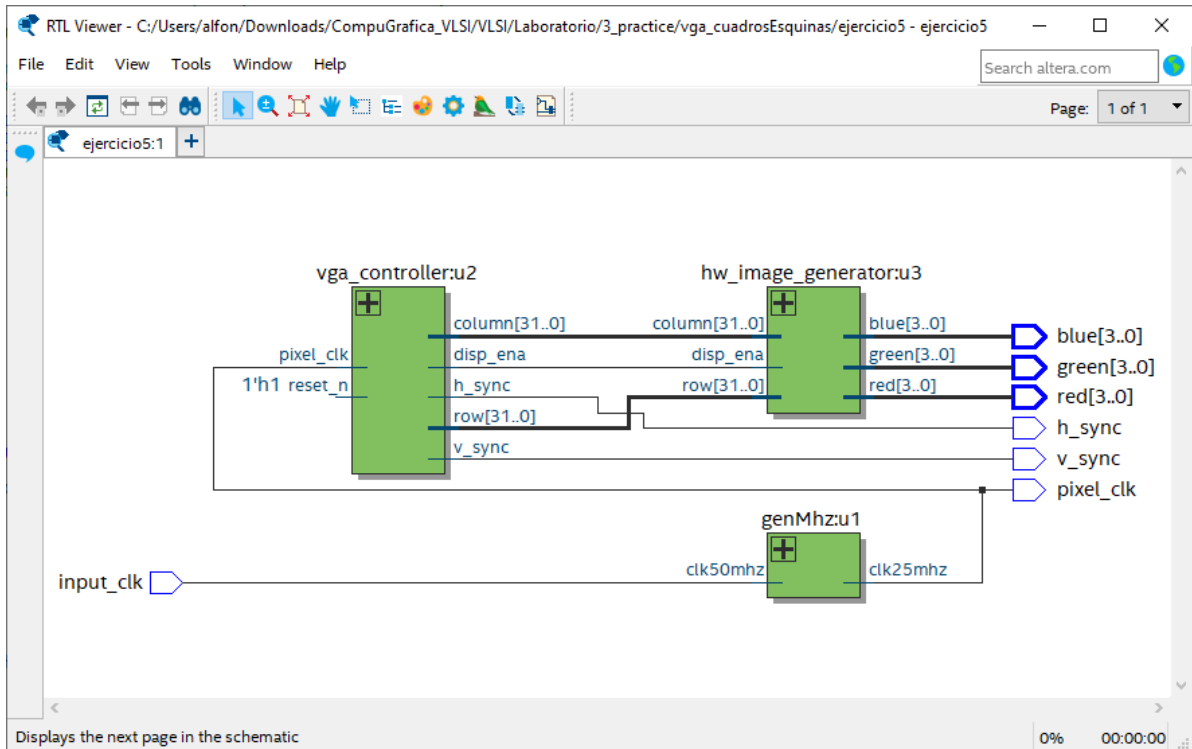
Por otro lado, y como parte a destacar del proyecto, en el archivo hw_image_generator es donde en su process principal mediante el uso de variables podemos determinar la posición de cada uno de los cuadros a dibujar, por otro lado, para poder determinar el color de estos simplemente debemos contemplar los colores en su forma RGB y pasar un determinado valor dentro de las variables red, green y blue:



Por ejemplo, como se observa en el último elif, se puede ver que tenemos tanto el rojo como azul en alto lo cual nos dará como salida un probable morado (Ver evidencia en pantalla.)

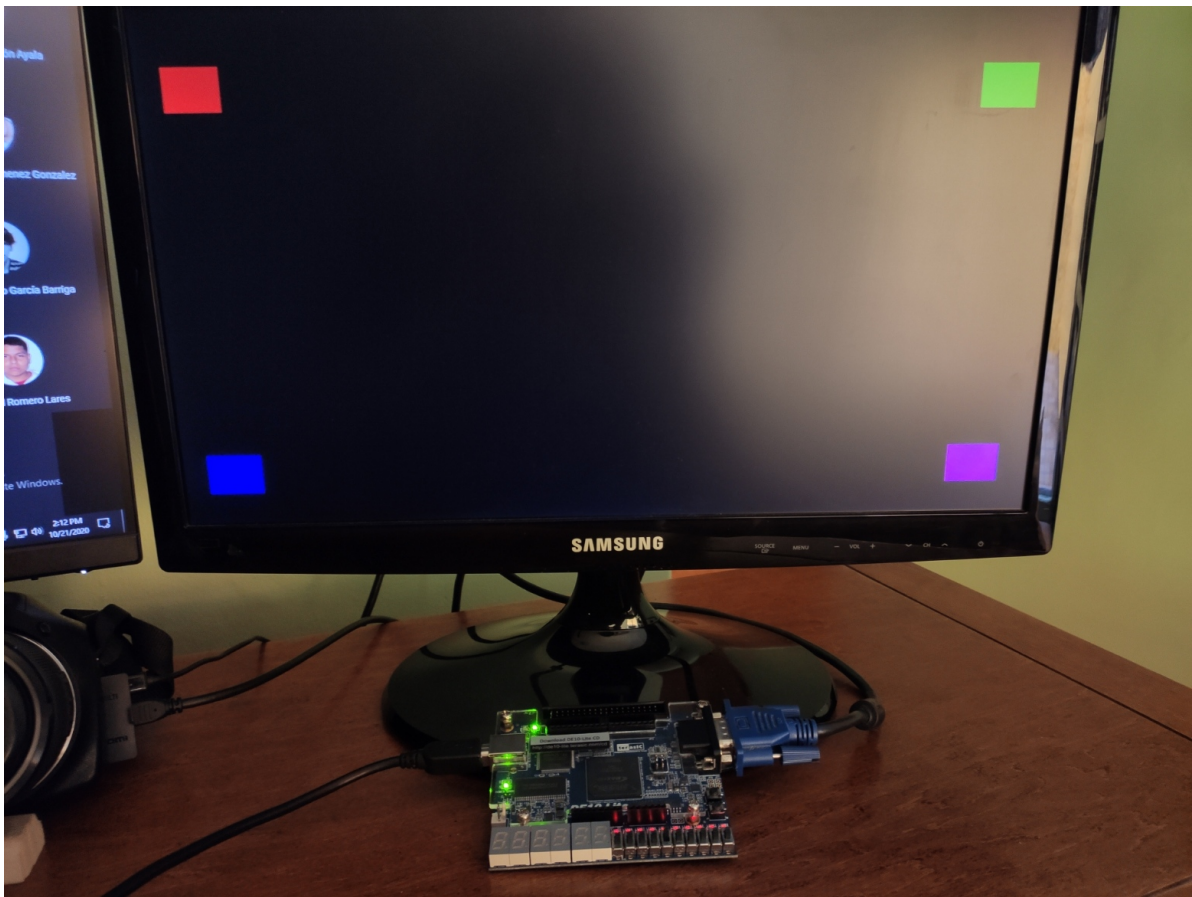
Diagrama RTL

A continuación se muestra el diagrama RTL del proyecto, donde principalmente se aprecian las 3 entidades principales de código, el controlador del vga, el generador de imagen y el divisor de frecuencia.



Evidencia en FPGA - Pantalla

A continuación se muestra la salida de los 4 cuadritos de diferentes colores en nuestra pantalla empleando el puerto VGA de nuestro FPGA:



A su vez comprobamos la interacción del RGB mediante las variables green, red y blue.