

*آزمایش ۱: توصیف مدارهای پایه آزمایش ها و انجام شبیه سازی

شماره دانشجویی: ۹۸۳۱۱۱۸-۹۸۳۱۱۰۶
تاریخ: ۲۶ اسفند ۱۳۹۹

نام و نام خانوادگی: هلیا سادات هاشمی پور - روزینا کاشفی
نام استاد: استاد خجسته دانا

هدف آزمایش:

آشنایی با نحوه مدل کردن مدارهای پایه آزمایشها در زبان VHDL و معرفی ساختارهای همروند

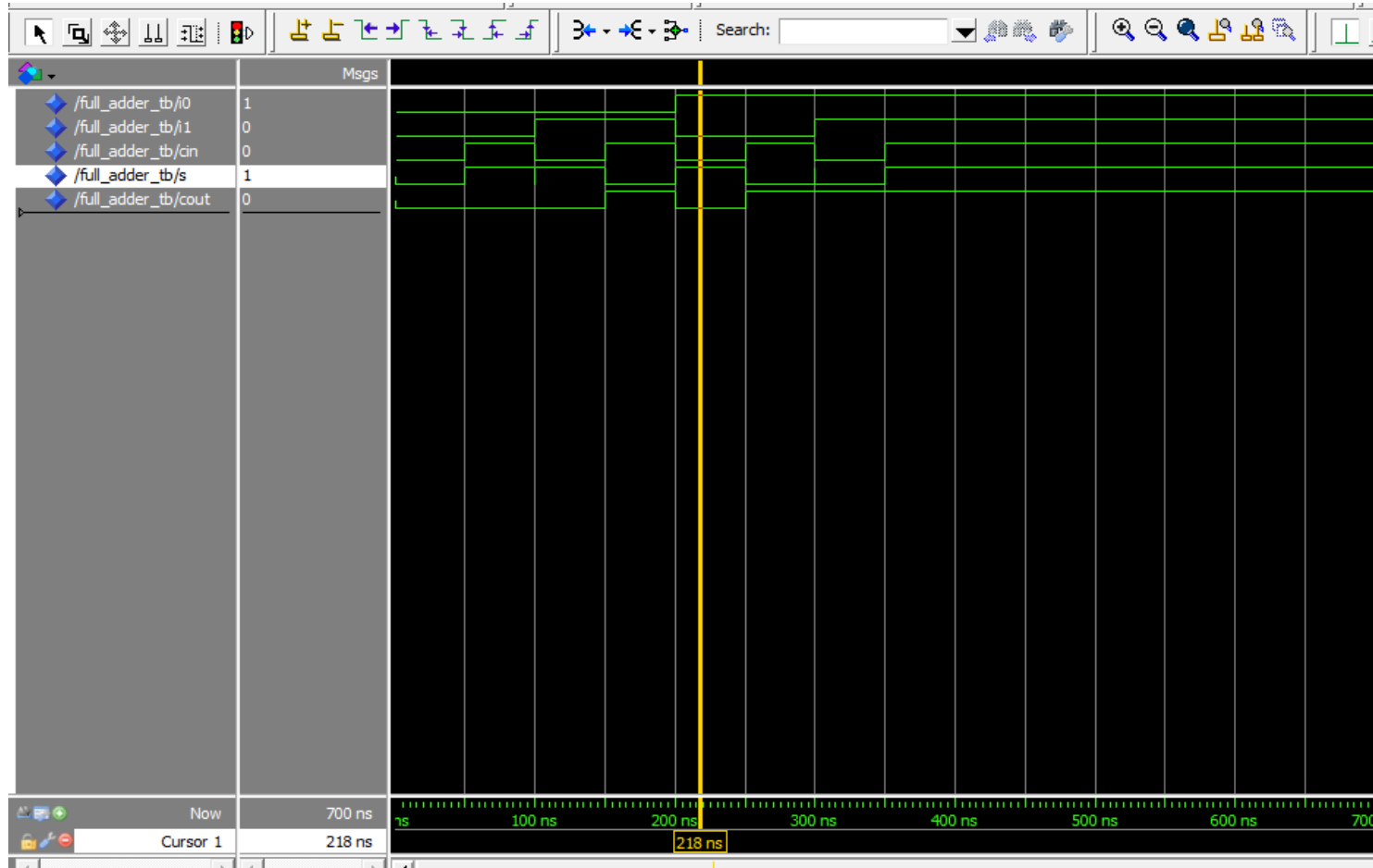
شرح آزمایش:

در این آزمایش از ما خواسته شده است که با توجه به کد های موجود در دستور کار، Test Bench مربوط به Full Adder (تمام جمع کنند) را بنویسیم.
full adder (تمام جمع کننده) سه بیت را با هم جمع می کند و حاصل جمع (s) و رقم نقلی (cout) را تولید می کند.

- جدول درستی تمام جمع کننده به شکل زیر می باشد.

Input			Output	
i _۰	i _۱	Cin	S	Cout
۰	۰	۰	۰	۰
۰	۰	۱	۱	۰
۰	۱	۰	۱	۰
۰	۱	۱	۰	۱
۱	۰	۰	۱	۰
۱	۰	۱	۰	۱
۱	۱	۰	۰	۱
۱	۱	۱	۱	۱

حال با توجه به تست بنچ نوشته شده نمودار به صورت زیر می باشد .



همان طور که مشاهده می کنیم با توجه به جدول درستی می توان به درستی خروجی های حاصل در نرم افزار، پی برد.