به نام خدا

آزمایش ۶

تاخیر در مدار های دیجیتال

نام و نام خانوادگی:هلیا سادات هاشمی پور - روژینا کاشفی

تاریخ:۱۵ اردیبهشت ۱۴۰۰

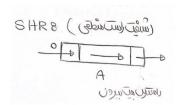
هدف آزمایش: ایجاد تاخیر مشخص در مدارهای دیجیتال

یکی از بحثهای اصلی در مدارهای دیجیتال، بخش زمانبندی است. زمانبندی نامناسب مدارات میتواند مشکالت زیادی را در هنگام شبیهسازی و پیادهسازی به وجود آورد. در این آزمایش به چگونگی ایجاد تاخیر در مدارات دیجیتال پرداخته میشود. برای نیل به این منظور از ثباتهای دارای قابلیت انتقال (منطقی و ریاضی)استفاده می کنیم.

در ثبات هایی که قابلیت انتقال دارند چند نوع شیفت وجود دارد که ما به شیفت منطقی و ریاضی (حسابی) می پردازیم.

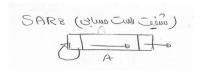
۱-شیفت راست منطقی:

در شیفت راست منطقی کم ارزش ترین بیت (راسترین بیت) بیرون می رود و از سمت چپ در پرارزش ترین رقم صفر وارد میشود.همین امر باعث می شود علامت عدد در مکمل دو بهم بریزد از این رو از این شیفت بیشتر برای اعداد بی علامت استفاده می شود و معادل تقسیم بر ۲ اعداد در دنیای بی علامت است.



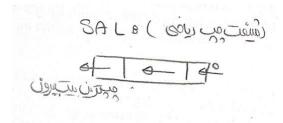
۲-شیفت راست ریاضی(حسابی):

در شیفت راست حسابی کم ارزش ترین بیت(راستترین بیت)بیرون می رود و از چپ بیتی وارد نمی شود بلکه چپ ترین بیت همان می ماند و تکرار می شود.همین امر باعث می شود تا اگر در دنیای مکمل دو باشیم علامت عدد بهم نریزد و معادل تقسیم بر ۲ در دنیای مکمل ۲ است.



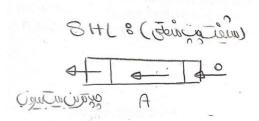
٣-شيفت چپ رياضي(حسابي):

در شیفت چپ منطقی پرارزش ترین بیت (چپ ترین بیت) بیرون می رود و از سمت راست در کم ارزش ترین بیت عدد صفر وارد میشود.همین امر باعث می شود اگر در دنیای با علامت باشیم ممکن است علامت ما عوض شود.و این شیفت معادل ضرب در ۲ دردنیای بی علامت است.



۴-شیفت چپ منطقی:

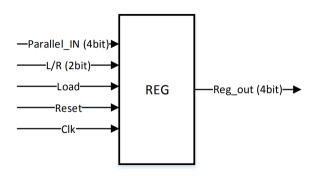
در شیفت چپ منطقی پرارزش ترین بیت (چپ ترین بیت) بیرون می رود و از سمت راست در کم ارزش ترین بیت عدد صفر وارد میشود.همین امر باعث می شود اگر در دنیای با علامت باشیم ممکن است علامت ما عوض شود.و این شیفت معادل تقسیم بر ۲ دردنیای بی علامت است.



همانطور که مشاهده می کنید شیفت چپ منطقی هم ارز شیفت چپ ریاضی (حسابی) است.

الف) يبادهسازي ثبات با قابليت انتقال Shift

حال در آزمایش این سری نیاز به طراحی شیفت رجیستری داریم که مشابه شکل زیر است:



- یک ورودی parallel داریم که ۴ بیتی است که محتوای آن عددی است که می خواهیم شیفت دهیم.
- یک ورودی LR دارد که چهار حالت دار د:
- ۱. LR=00 -> ثبات مقدار قبلی خود را حفظ می کند.
 - ۲. LR=01 -> شیفت راست منطقی
 - ٣. 10=1R -> شيفت چپ منطقى و رياضى
 - ۴. LR=11 -> شیفت راست حسابی
- یک ورودی Load دارد که اگر فعال باشد ورودی به خروجی متصل می شود و اگر غیر فعال باشد مقدار قبلی را نگه می دارد و با توجه به LR عملیات مورد نظر را روی آن داده داخل رجیستر انجام میده.
 - یک ورودی reset داریم که هر زمانی فعال شود خروجی را ۰ می
 کند
 - و یک کلاک ورودی داریم.

پس از طراحی خروجی زیر را مشاهده می کنیم:

₽ +	Msgs									
/tb_shift_register/parallel_in	-No Data-	(1101		0010		1011				
<u>+</u> → /tb_shift_register/lr	-No Data-	00	10		01		11			
/tb_shift_register/load	-No Data-									
/tb_shift_register/reset	-No Data-									
/tb_shift_register/dk	-No Data-									
/tb_shift_register/reg_out	-No Data-	1101	1010	0010	0001	1011	1101	1110	0000	

- مطابق شکل فوق هنگامی که ورودی ۱۱۰۱ داریم و لبه بالا رونده کلاک است load فعال است بنابراین همان عدد
 به خروجی منتقل می شود.
- در لبه بالا رونده بعدی ۱۰ LR و Load غیر فعال است بنابراین به معنای شیفت چپ منطقی است و یک صفر از راست وارد شده و عدد به ۱۰۱۰ تبدیل شده است.
 - در لبه بالا رونده بعدی load فعال است پس همان مقدار ورودی که ۰۰۱۰ است را به خروجی منتقل می کند.

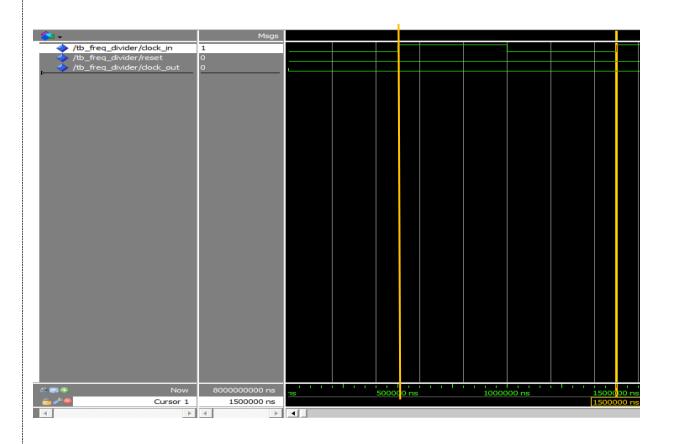
- در لبه بالا رونده بعدی load غیرفعال شد و با توجه مه مقدار LR که ۰۱ است و به معنای شیفت راست منطقی است یک صفر از چپ وارد شد و عدد به ۰۰۰۱ تبدیل شد.
- در ۲ لبه بالا رونده بعدی که ورودی ۱۰۱۱ است و load غیرفعال است و LR=11 است و به معنای شیفت راست
 ریاضی است که موجب تکرار بیت سمت چپ می شود و عدد به ۱۱۰۱ تبدیل می شود.
 - در کلاک های بعدی مشاهده می کنیم بلافاصله که reset فعال می شود خروجی ۰ می شود.

ب) چگونگی ایجاد مقدار تاخیر مشخص برای نمایش خروجی روی برد:

همانطور که در ابتدا آزمایش مطرح کردیم هدف آزمایش ایجاد تاخیر است که این تاخیر را باید بر روی کلاک ورودی اعمال نماییم.

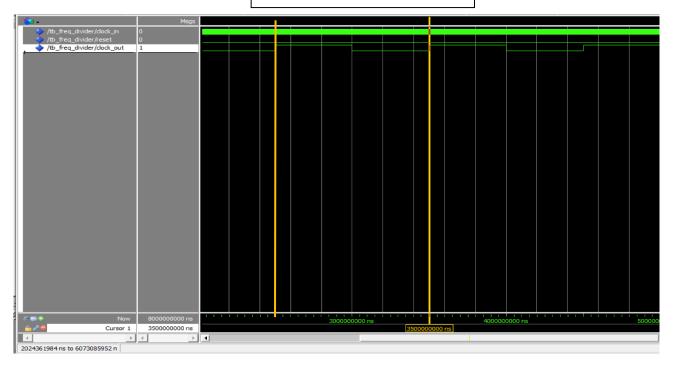
کلاک ورودی تاخیر ۱ کیلو هرتز دارد که تقریبا برابر با ۲ به توان ۱۰ که همان ۱۰۲۴ است و این باعث می شود دوره کلاک ورودی ۱ میلی ثانیه شود که بسیار کم است.

حال برای افزایش آن از شمارنده استفاده می کنیم که به اندازه فرکانس بشمارد و سپس به کلاک بعدی رود. ما می خواهیم کلاک خروجی دوره برابر ۱ ثانیه داشته باشد که ۱۰۰۰ برابر قبلی است و موجب تاخیر می شود.



همانطور که مشاهده می کنید در کلاک ورودی فاصله دولبه بالا رونده برابر است با که 500000=000000-1500000 نانو ثانیه است که برابر است با امیلی ثانیه و همانطور پس از انجام شمارش برابر است با فاصله -350000000 نانو ثانیه است که برابر با ۱ ثانیه است و موجب ایجاد تاخیر شد.

در این فاصله ۱۰۲۴ کلاک رخ داده است.

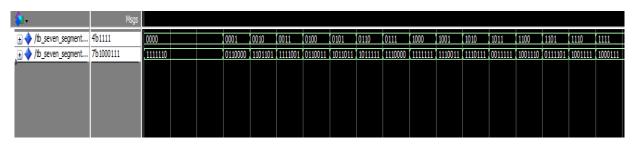


ج) نمایش خروجی بر روی7-Seg

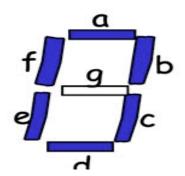
در قسمت نهایی می خواهیم خروجی ثبات را به صورت 7 segment نمایش دهیم که همانطور که می دانیم که یک نوع LED برای نشان دادن اعداد است که اعداد ورودی آن عدد ۴ بیتی bcd است و مشاهده می کنیم که هر کدام از اعداد abcdefg کدام روشن می شود چون ورودی ۴ بیتی است و اعداد ۱۰ تا ۱۶ نیاز به دو رقم دارند جای استفاده از دو seven segment اعداد ۱۰ تا ۱۵ را به شکل هگزادسیمال نشان می دهیم.

Digit	ABCD	abcdefg
0	0000	1111110
1	0001	0110000
2	0010	1101101
3	0011	1111001
4	0100	0110011
5	0101	1011011
6	0110	X011111
7	0111	11100X0
8	1000	111111
9	1001	111X011
А	1010	1110111
В	1011	0011111
С	1100	1001110
D	1101	0111101
E	1110	1001111
F	1111	1000111

جاهایی که در جدول X است به معنای آن است که هم \cdot هم 1 می تواند باشد و به دلخواه ما است.

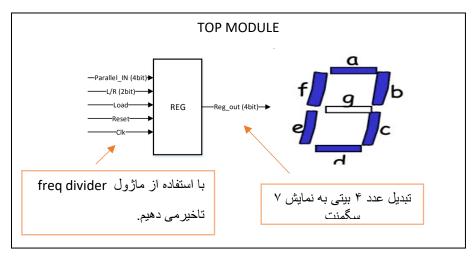


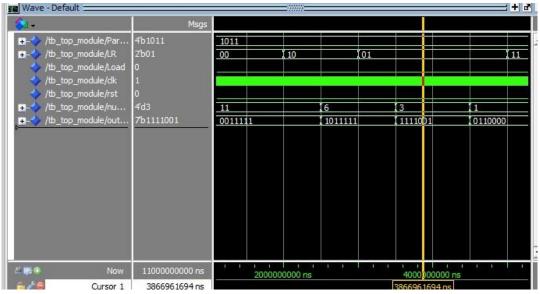
همانطور که مشاهده می کنید اعداد داده شده مطابق جدول است.



د) تشكيل TOP MODULE:

در نهایت نیاز به یک Top module داریم که ابتدا با استفاده از ماژول تاخیر ابتدا کلاک ورودی را تاخیر دهد سپس خروجی رجیستر را به ماژول ۲ سگمنت دهد.





همانطور که مشاهده می کنید ورودی ۱۰۱۱ است یعنی عدد۱۱ و load صفر است و R=00 است به معنای آنکه عدد تغییر نمی کند که مشاهده می کنیم که ورودی ۱۱۱۱۱۱ seven segment است و مطابق جدول فوق به صورت ۱۱۱۱۱۱ نمایش می دهیم.

در کلاک بعدی عدد ورودی ۱۰۱۱ است که load غیرفعال است و LR=10 است که معنای شیفت به چپ است که یعنی . seven segment به صورت ۱۰۱۱۱۱۱ است.

در کلاک بعدی عدد ورودی ۱۰۱۱ است اما چون در کلاک قبلی شیفت به چپ دادیم ۱۰۱۱ را از دست دادیم و حال ۱۱۱۰ داریم که و load غیر فعال است و LR=01 است معنای شیفت راست منطقی می دهد و عدد را به ۱۱۱۰ تبدیل به ۲۰۱۱ می کند که عدد ۳ است و در seven segment نیز به صورت ۱۱۱۱۰۰۱ نمایش می دهیم.

در کلاک بعدی ۲۰۱۱ را شیفت راست ریاضی می دهیم که تبدیل به ۲۰۰۱ می شود و به ضورت ۱۱۰۰۰۰ نمایش میدم.