



Polytech Dijon

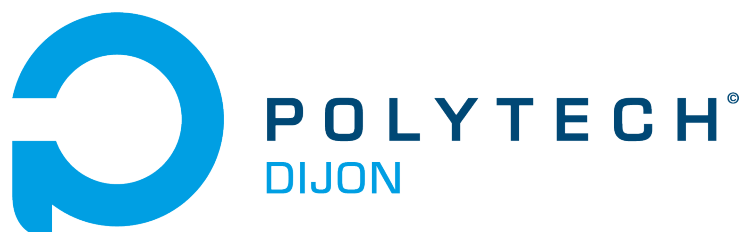
FISA IOT 5A

Compte rendu projet VHDL

Conrolleur SRAM

Auteur :
HELLE Evan

Enseignant :
DUBOIS Julien



2025-2026

Sommaire

1	Compte Rendu	5
1.1	Introduction	5
1.2	IO Buffer	5
1.3	Crontrolleur SRAM	5
1.3.1	Finished State Machine	5
1.3.2	Test bench	5
1.4	Conclusion	5
1.5	Remerciements	5
2	Annexe	6
2.1	Code-source / Document...	6
2.2	Bibliographie	6

Table des Figures

1 Compte Rendu

1.1 Introduction

Ce projet consiste à concevoir et implémenter en VHDL un contrôleur pour une mémoire SRAM de type mt55l512y36f, dont le modèle VHDL est fourni par le fabricant.

L'objectif est de permettre les opérations de lecture et d'écriture tout en respectant les contraintes temporelles et les spécifications électriques du composant.

Le contrôleur recevra les données via une interface d'entrée-sortie (IO Buffer) et assurera la communication avec la mémoire SRAM à travers une interface dédiée.

Son fonctionnement sera structuré autour d'une machine à états finis (FSM) afin de gérer de manière séquentielle et fiable les différentes phases d'accès mémoire.

Le projet inclura également la réalisation de `test bench` destinés à valider le comportement et la conformité de chaque élément du contrôleur.

1.2 IO Buffer

1.3 Crontrolleur SRAM

1.3.1 Finished State Machine

1.3.2 Test bench

1.4 Conclusion

1.5 Remerciements

2 Annexe

2.1 Code-source / Document...

2.2 Bibliographie