Hello-FPGA

info@hello-fpga.cOM

Hello-FPGA Camera link Full Receiver FMC Card User Manual

目录

[Hello-FPGA Camera link Full Receiver FMC Card User Manual 1](#_Toc186119780)

[Hello-FPGA Camera link Full Receiver FMC Card User Manual 4](#_Toc186119781)

[1 Camera link 简介 4](#_Toc186119782)

[2 Camera link FPGA FULL FMC 6](#_Toc186119783)

[2.1 硬件特性 6](#_Toc186119784)

[2.2 结构说明 8](#_Toc186119785)

[2.3 FMC PIN定义 8](#_Toc186119786)

[3 Camera link 调试接口板 10](#_Toc186119787)

[3.1 硬件特性 10](#_Toc186119788)

[4 Camera Link采集和HDMI显示范例 11](#_Toc186119789)

[4.1 FPGA板卡 11](#_Toc186119790)

[4.2 IP接口与原理说明 11](#_Toc186119791)

[4.3 FPGA实现 15](#_Toc186119792)

[4.4 VITIS软件 16](#_Toc186119793)

[图 1‑1 channel link 示意图 4](#_Toc186119794)

[图 1‑2 图解Base、Medium、Full结构 5](#_Toc186119795)

[图 1‑3 专用channel link 串并转换芯片 6](#_Toc186119796)

[图 2‑1 Hello-FPGA Camera link模块框图 7](#_Toc186119797)

[图 3‑1 Hello-FPGA Camera link 接线板接口引脚定义 10](#_Toc186119798)

[图 3‑2 Hello-FPGA Camera link 接线板PCB（成品包含连接器等器件） 10](#_Toc186119799)

[图 4‑1 AXKU040 FPGA 实验板 11](#_Toc186119800)

[图 4‑2 CameraLink 接口时序图 15](#_Toc186119801)

Hello-FPGA Camera link Full Receiver FMC Card User Manual

# Camera link 简介

Camera Link是一种为工业相机接口应用而设计的串行通信协议标准。它的设计目的是为了标准化科学和工业视频产品的互联，包括摄像机、电缆和帧捕获器。

Camera Link的接口有三种配置Base、Medium、Full，主要是解决数据传输量的问题。Camera Link已经是一个成熟的接口标准，采用LVDS源同步时序传输视频数据，采用串口传输控制数据，采用4对普通LVDS IO传输其他控制信号，主要是触发信号。

图示, 示意图

描述已自动生成

图 ‑1 channel link 示意图

Channel link 接口的实施通常使用专用串并转换芯片DS90CR288/7 完成，但是串并转换芯片需要占用较多IO，必须使用HPC FMC才能实施full格式接口，这对部分场景并不友好，而channel link 本质就是串并转换，可以使用FPGA逻辑完成，因此我们设计了1款直接使用FPGA LVDS接口的camera link full 输入接口板，同时扩展了多路FPGA IO ，用于用户拓展接口。

图表, 图示

描述已自动生成

图 ‑2 图解Base、Medium、Full结构

图示, 示意图

描述已自动生成

图 ‑3 专用channel link 串并转换芯片

# Camera link FPGA FULL FMC

型号Hello-FPGA CL-R-FULL-FPGA-FMC

## 硬件特性

▪ 支持Base、Medium、Full模式, LVDS FPGA直连，不仅适用于camera link 数据传输，还适用于其他需要LVDS连接的通用场景

▪ 尺寸63mm x 84mm, 单槽LPC FMC连接器

▪ 采用SDR26标准接口、线缆

▪ 支持对外5V、12V供电，方便用户做更多的外部设备拓展

▪ 支持30（15对差分）GPIO，通过2\*18双排2.54mm间距连接器提供给客户，用于进一步拓展功能

▪ Hello-FPGA 同样还提供Camera link的接线板，可将MDR26标准接口线缆的信号转换为螺钉式接线端子上，以方便客户的测试使用

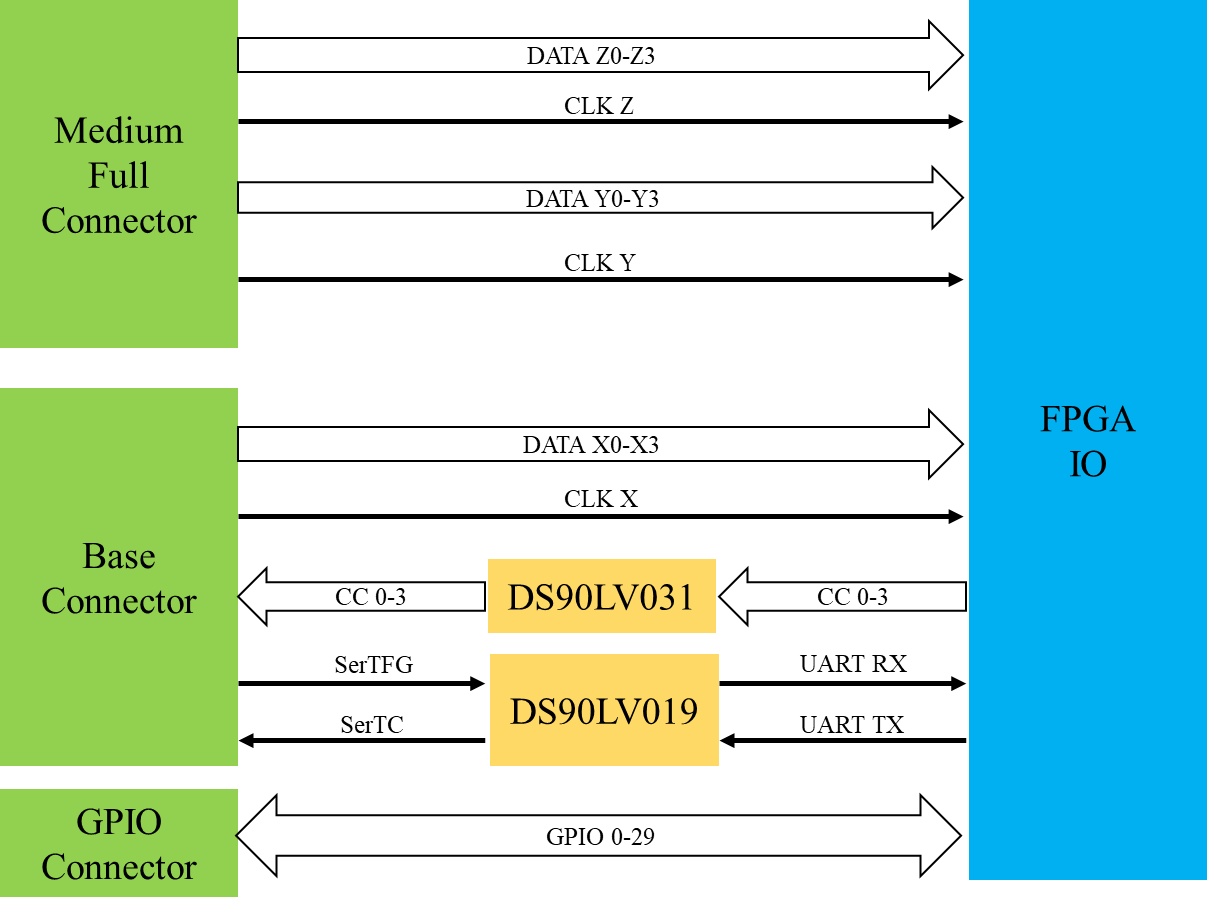


图 ‑1 Hello-FPGA Camera link模块框图

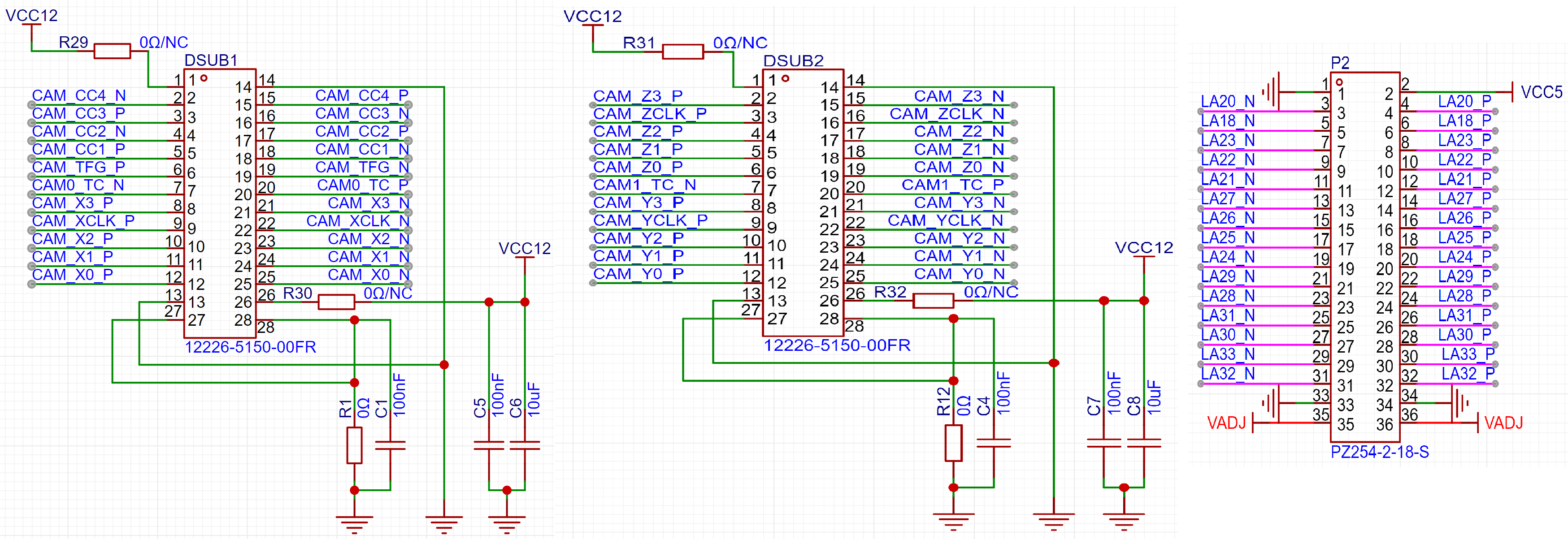


图 ‑2 Hello-FPGA Camera link模块MDR26和36pin排针连接器引脚定义

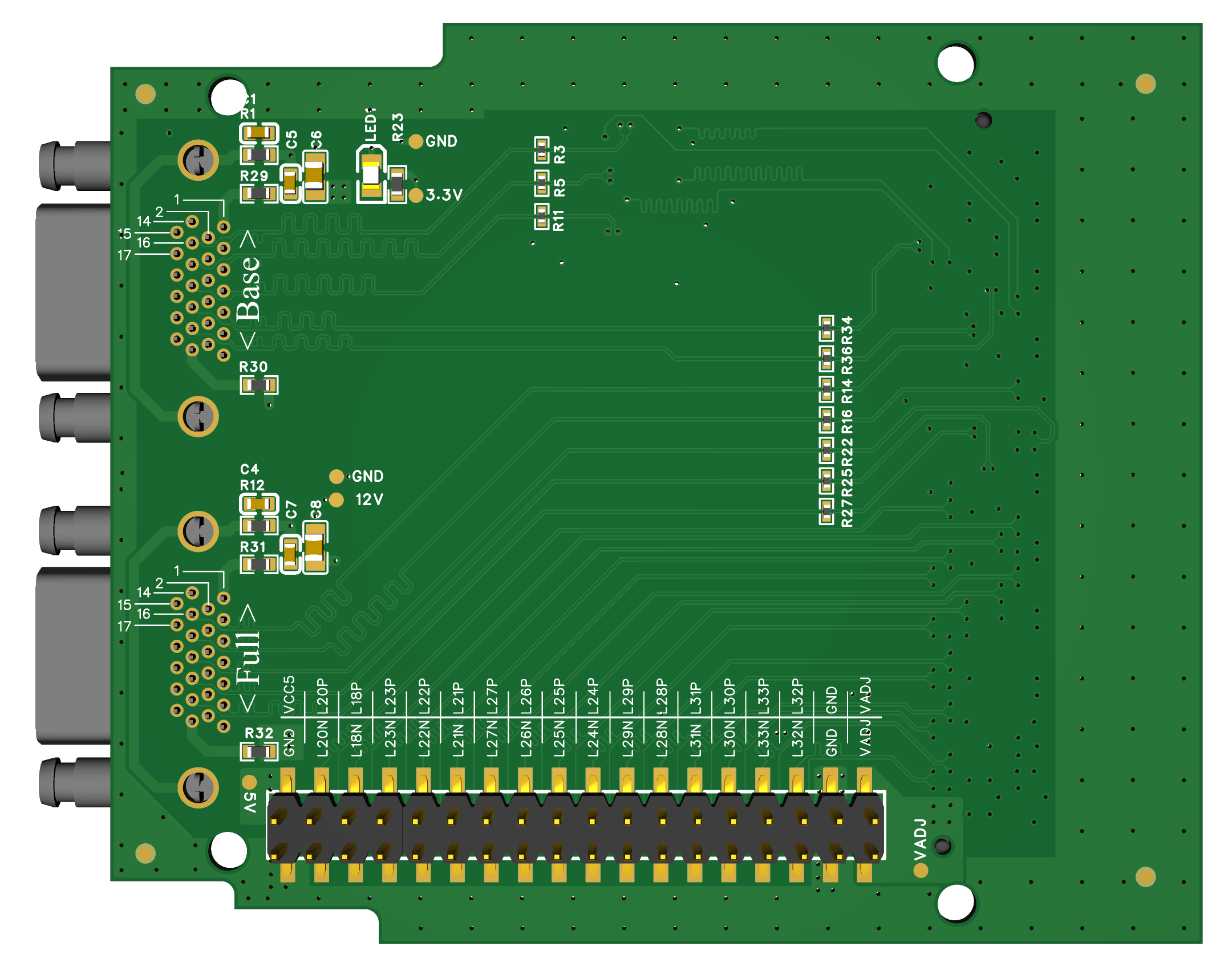


图 ‑3 Hello-FPGA Camera link板卡正面

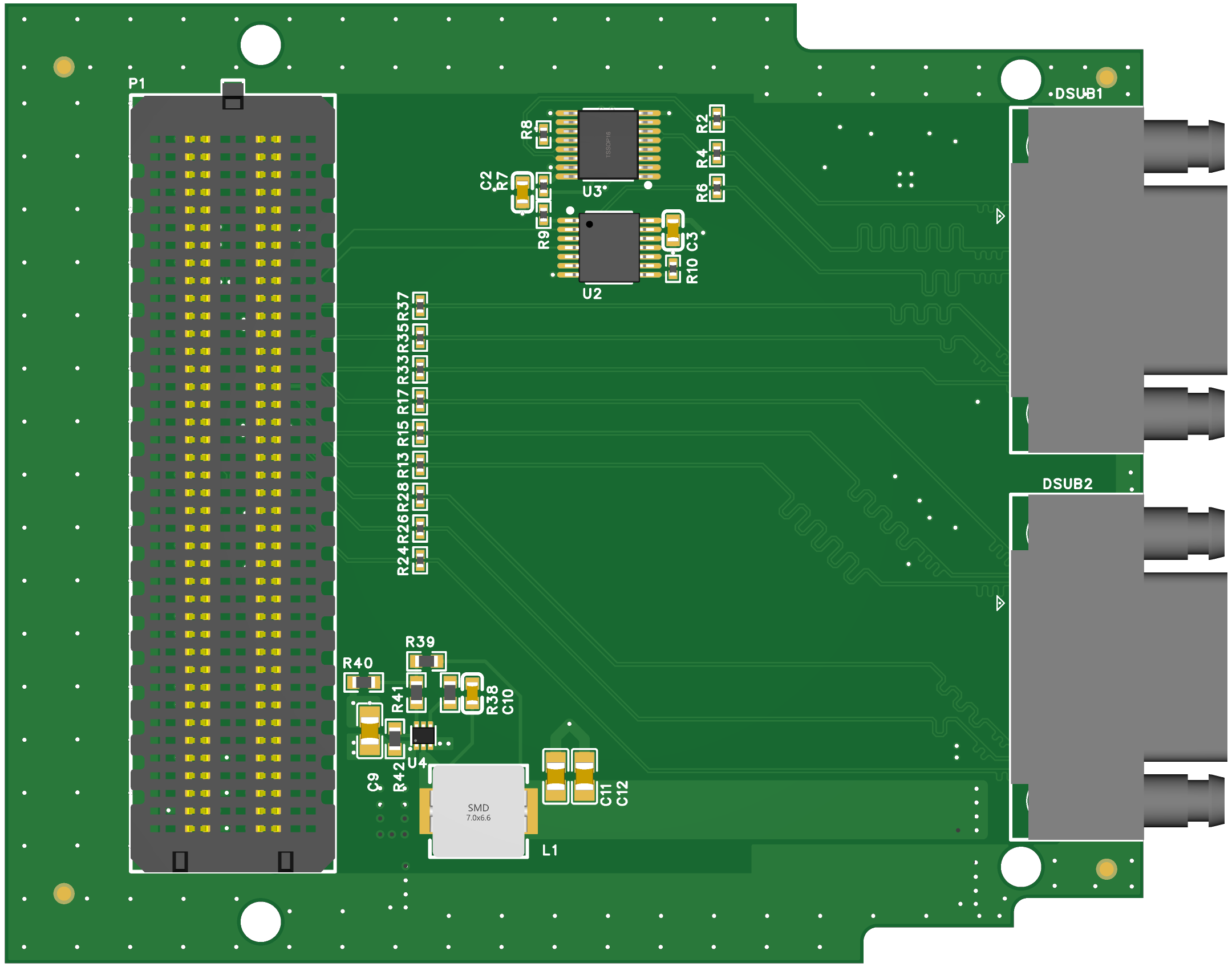


图 ‑4 Hello-FPGA Camera link板卡背面

## 结构说明

* LPC FMC连接器，使用FMC高密度连接器，符合VITA 57.1标准；
* X/Y/Z相关相机数据由MDR26接口通过LVDS直接接入到FPGA IO, CC1~CC4相机控制信号以及SerTC、SerTCG串行通信信号则通过DS90LV031/ DS90LV019转换成单端信号后接入到FPGA IO；
* 模块提供12V对外电源，其驱动功率与FPGA载板相关；
* 模块提供5V对外电源，其驱动功率最大为5V\*2A；
* 模块提供对外电源VADJ，其驱动电压与功率与FPGA载板相关；

## FMC PIN定义

LPC FMC连接器的引脚定义如下：

图示, 示意图

描述已自动生成

图 ‑1 FMC连接器 pin定义

这里的是FMC LPC连接器，其标准定义如下：



图 ‑2 HPC FMC pins（LPC只包含C/D/G/H）

# Camera link 调试接口板

型号Hello-FPGA CL-PROBE-MDR26

为了方便客户的测试使用，Hello-FPGA 同样还提供Camera link的接线板，可将MDR26标准接口线缆的信号转换为螺钉式接线端子上。

## 硬件特性

▪ 接线板上包括MDR26标准接口和3.81mm间距的螺钉式接线端子，二者间通过等长的差分线直接连接，丝印接口标注明确，用户可以方便接线，板上可选100欧姆差分匹配电阻，方便用户进行测试。

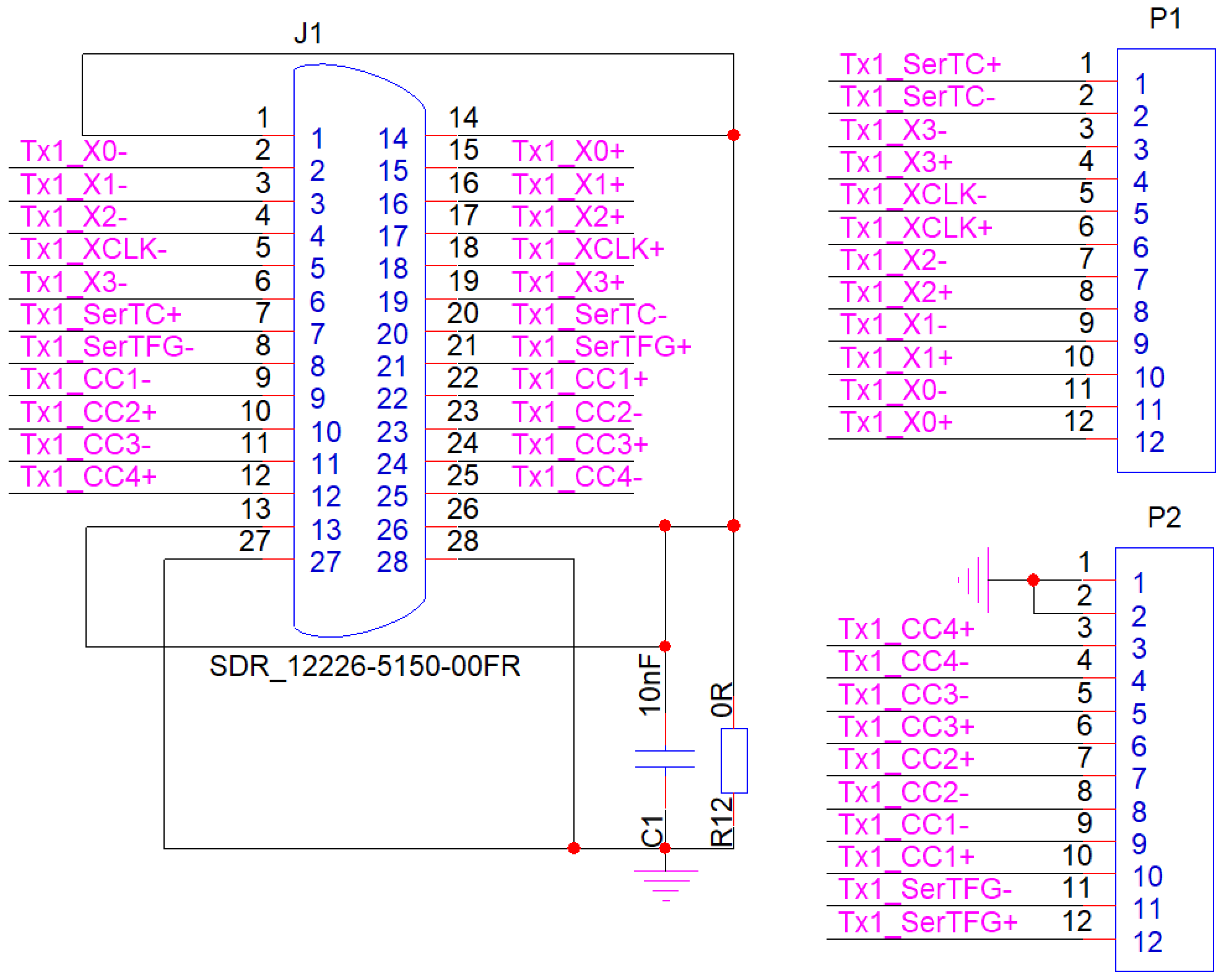


图 ‑1 Hello-FPGA Camera link 接线板接口引脚定义

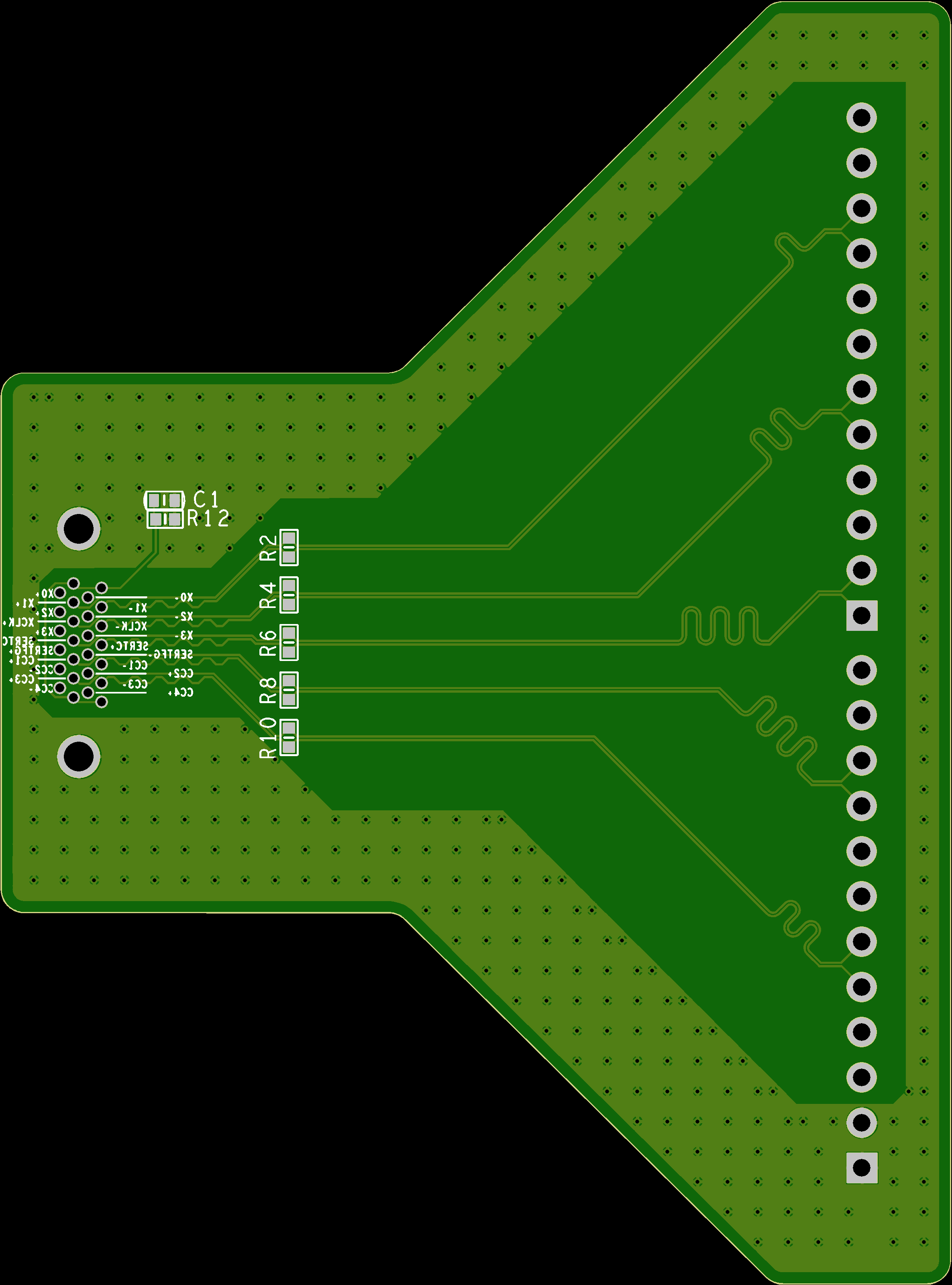


图 ‑2 Hello-FPGA Camera link 接线板PCB（成品包含连接器等器件）

# Camera Link采集和HDMI显示范例

本章节说明了使用FPGA逻辑实现Camera Link串转并的原理和串转并模块的接口说明。提供的范例展示了如何使用Xilinx Vivado 2020.2和Vitis开发工具链，在FPGA板上实现Camera Link Full模式的数据采集，并通过Microblaze软核处理器配置VDMA IP核来处理数据流的缓存和传输。最终，图像数据将被输出到HDMI显示器上。对于其他模式的支持，需要对配置进行相应的修改。

## FPGA板卡

FPGA板卡使用的是由芯驿电子科技开发板AXKU040，基于XCKU040 FPGA。

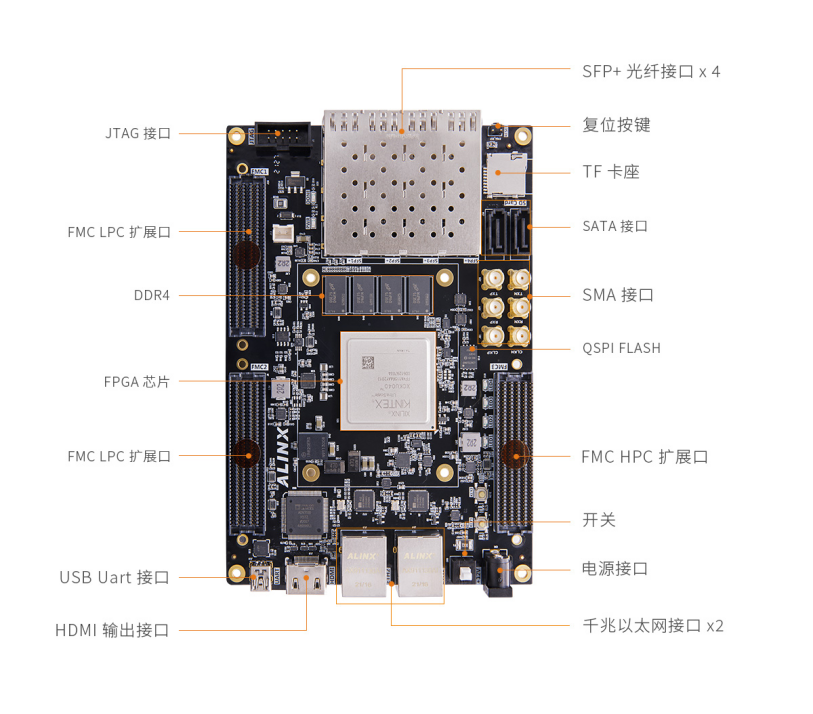


图 4‑1 AXKU040 FPGA 实验板

该板卡有如下特点适合我们的应用场景：

1、3 个标准的 FMC 的扩展口，其中有 2 个 LPC 扩展口，1 个 HPC 扩展口。示例使用HPC接口连接 CameraLink FULL子卡的连接，实现CameraLink相机的控制和数据的传输；

2、1 路 HDMI 视频输出接口，选用了 ANALOG DEVICE 公司的 ADV7511 HDMI 编码芯片，最高支持 1080P@60Hz 输出输出。

## IP接口与原理说明

本IP设计参考了Xilinx官方设计，基于ISERDES3原语和IDELAY3原语实现的LVDS解码模块对输入的CameraLink视频进行解码，并根据Camera Link的数据位对解码后的数据进行重新排列。

下面是接口说明：

表 4‑1 输入参数

|  |  |
| --- | --- |
| 名称 | 说明 |
| **CAMERA\_LINK\_MODE** | 设置Camera Link通道的数量，  N=3 -> Full Mode（全模式）  N=2 -> Medium Mode（中级模式）  N=1 -> Base Mode（基础模式） |

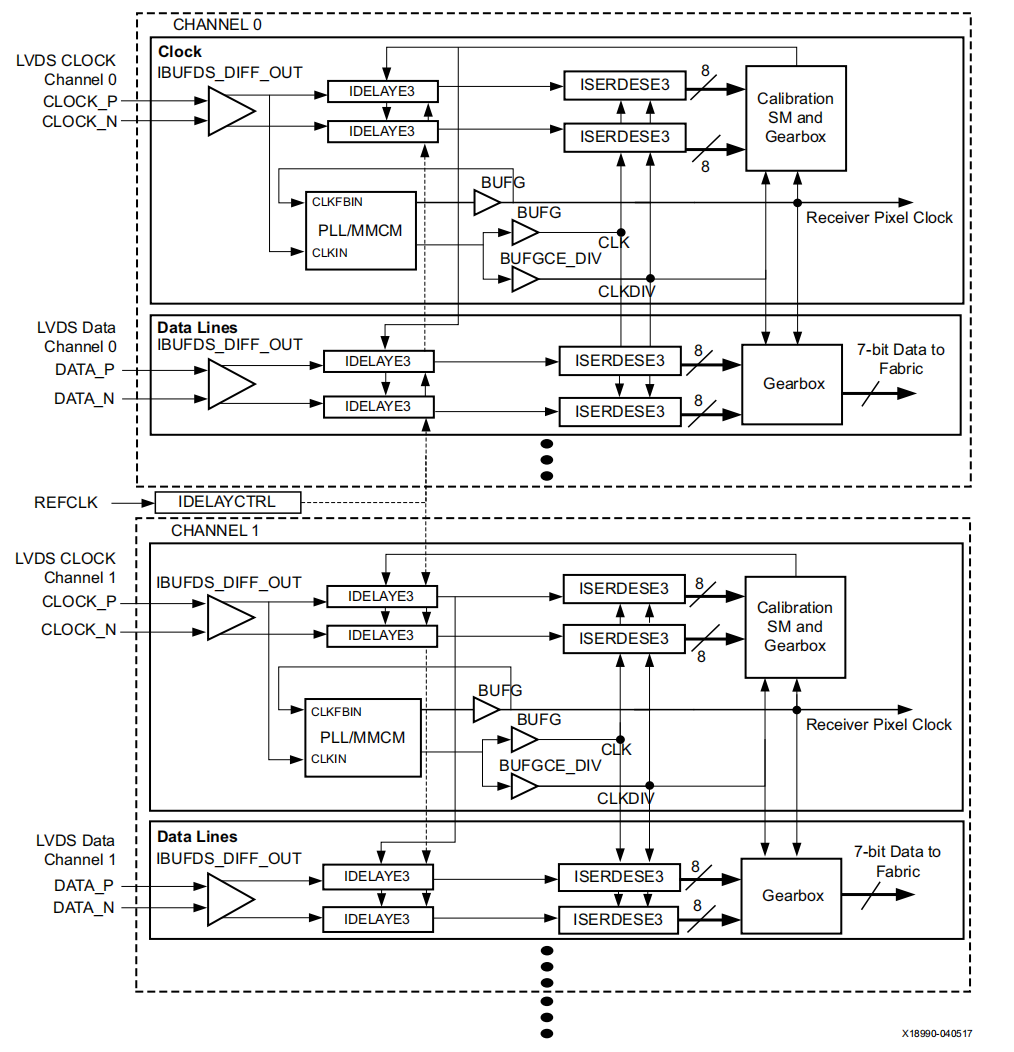
表 4‑2 信号说明

|  |  |
| --- | --- |
| 名称 | 说明 |
| **ref\_clk\_300** | 参考时钟输入，通常为300MHz，用于调节时延，作为IDELAY参考时钟 |
| **user\_reset\_n** | 用户复位信号，低电平有效 |
| **CL\_X\_N, CL\_X\_P, CL\_XCLK\_N, CL\_XCLK\_P** | :Camera Link X通道的差分数据和时钟信号 |
| **CL\_Y\_N, CL\_Y\_P, CL\_YCLK\_N, CL\_YCLK\_P** | Camera Link Y通道的差分数据和时钟信号（仅在N≥2时有效） |
| **CL\_Z\_N, CL\_Z\_P, CL\_ZCLK\_N, CL\_ZCLK\_P** | Camera Link Z通道的差分数据和时钟信号（仅在N=3时有效） |
| **x\_clk** | X通道的时钟输出，最高85M |
| **x\_ready** | X通道准备好信号，高电平有效 |
| **xLVAL** | X通道行有效信号（Line Valid），高电平有效 |
| **xFVAL** | X通道帧有效信号（Frame Valid），高电平有效 |
| **PortA, PortB, PortC** | X通道的数据端口，每个端口8位数据（基础模式使用这三个端口） |
| **y\_clk** | Y通道的时钟输出，最高85M |
| **y\_ready** | Y通道准备好信号，高电平有效 |
| **yLVAL** | Y通道行有效信号（Line Valid），高电平有效 |
| **yFVAL** | Y通道帧有效信号（Frame Valid），高电平有效 |
| **PortD, PortE PortF** | Y通道的数据端口，每个端口8位数据（中级模式使用这三个端口） |
| **z\_clk** | Z通道的时钟输出，最高85M |
| **z\_ready** | Z通道准备好信号，高电平有效 |
| **zLVAL** | Z通道行有效信号（Line Valid），高电平有效 |
| **zFVAL** | Z通道帧有效信号（Frame Valid），高电平有效 |
| **PortG, PortH** | Z通道的数据端口，每个端口8位数据（full模式使用这2个端口） |

图形用户界面, 文本

描述已自动生成

LVDS视频解码模块设计框图如下：



数据解析原理：接收的数据流是输入时钟速率的倍数（×7），并且时钟信号被用作接收数据的帧信号。在一个时钟期间，数据线有七个状态变化。一个广泛使用的例子是用于相机、平板电视和显示器的7：1接口。接收器在1：8 DDR模式下使用ISERDESE3和基于8：7分布式RAM的变速箱来反序列化和对齐输入数据流。这个实现需要三个时钟域，一个1/2速率的采样时钟（rx\_clkdiv2），一个1/8速率反序列化的数据时钟（rx\_clkdiv8），和一个1/7像素的时钟（px\_clk），它等于原始的接收源时钟。接收源时钟在MMCM或PLL中乘以7或14以满足VCO频率范围，然后除以2生成1/2速率采样时钟（rx\_clkdiv2），然后除以7生成结构像素时钟（px\_clk）。1/8速率反序列化数据时钟（rx\_clkdiv8）是由1/2速率采样时钟MMCM或PLL输出生成的，以最小化ISERDESE3 CLK和CLKDIV输入之间的时钟倾斜。

数据重组：根据CameraLink视频协议提取出行同步信号、场同步信号、数据有效信号和像素数据。解析出来的数据是按照cameraLink时序的顺序排列，需要根据数据位进行重组。时序图和数据位对应关系如下图所示。

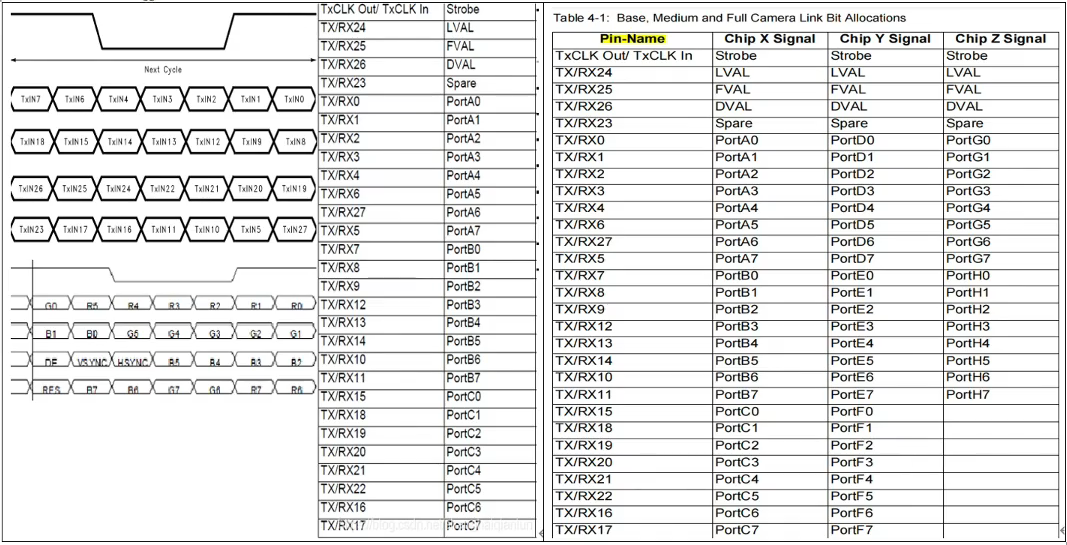
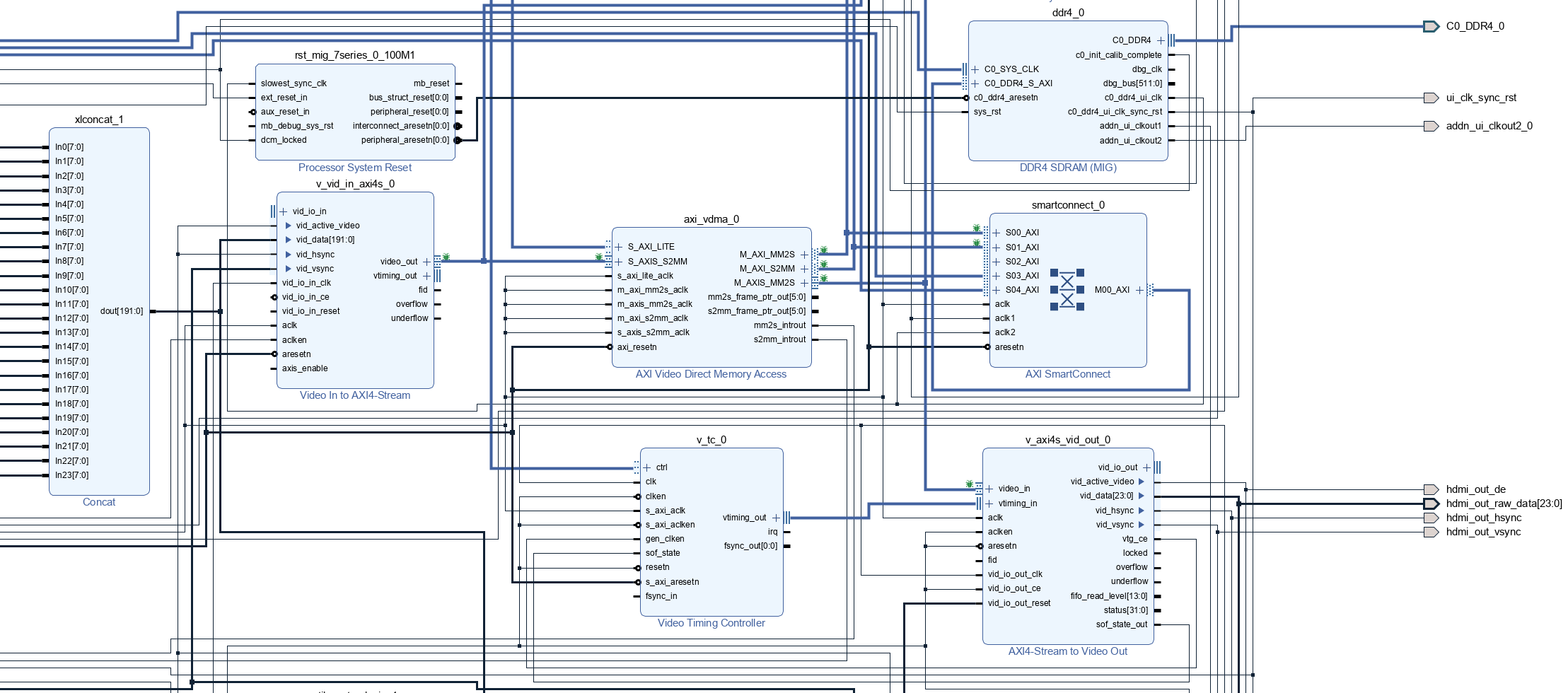


图 4‑2 CameraLink 接口时序图

## FPGA实现

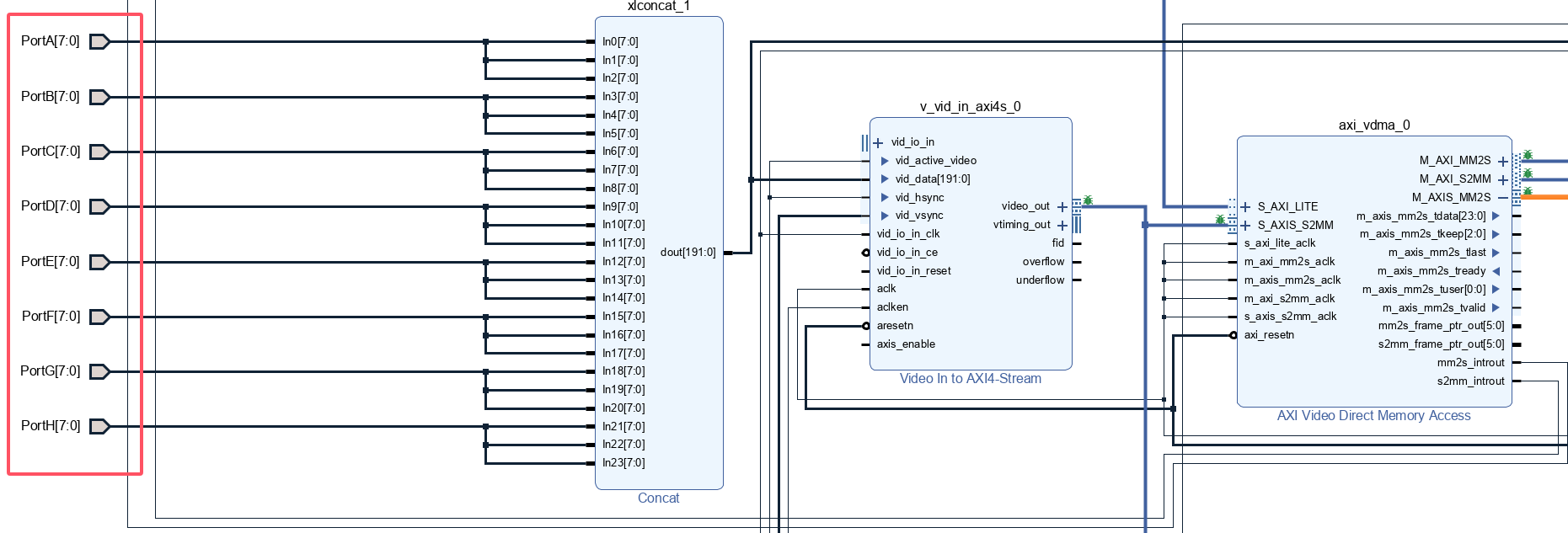
block design中调用xilinx提供的Video In to AXI4-Stream、VDMA、VTC、AXI4-Stream to Video Out IP实现图像数据流的高效传输。并使用Microblaze对VDMA和VTC进行寄存器配置，以符合实际的视频参数要求。

* Video In to AXI4-Stream IP核将RGB视频流转换为AXI-Stream视频流；
* VDMA IP作为核心组件，实现了视频数据从DDR4内存的读取与写入操作，允许对多帧视频数据进行管理，这里配置为三帧缓存。
* VTC IP用于根据需求产生对应的行/场同步信号等时序信号，可以通过microblaze根据图像分辨率配置参数。
* AXI4-Stream to Video Out IP将AXI4-Stream视频流转换为RGB视频流；
* 最后通过外部的HDMI芯片，将视频流转换成TMDS的差分视频送显示器显示；

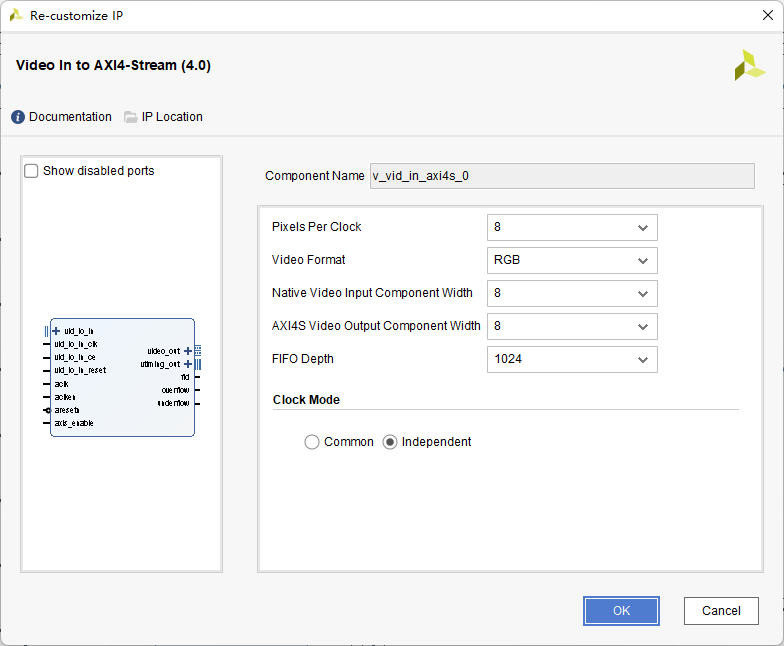


灰度图像每个像素通常只有一个8bit的值，代表亮度级别。而RGB图像每个像素有三个分量（红色、绿色、蓝色），每个分量通常也用8bit表示。为了将灰度图像转化为RGB图像，可以将灰度图像的每个像素值复制到RGB的三个分量中，使得RGB的三个色彩通道的亮度值相同，从而得到一个灰度图像的彩色表示。

在切换到Base或Medium模式后，原先在Full模式下的端口数据将不再有效，因此需要修改Block Design中部分IP的位宽设置。如果使用的是Base模式，则只需要处理PortA、PortB和PortC三个端口的数据；而在Medium模式下，则需要同时处理PortA、PortB、PortC、PortD、PortE和PortF六个端口的数据。

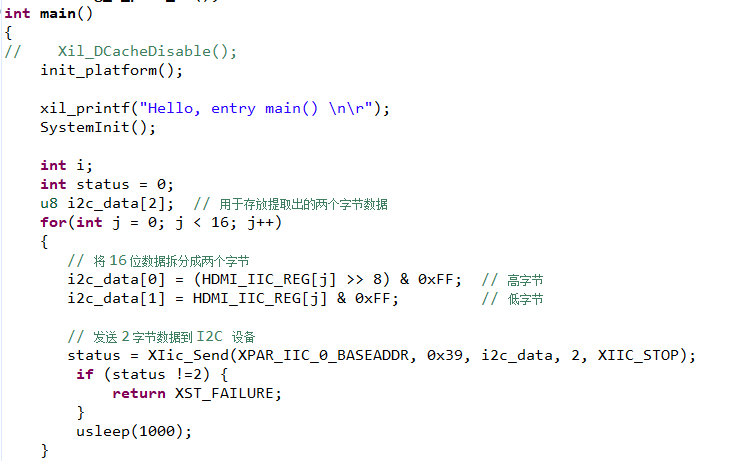


然后修改video In to AXI4-stream IP中的参数，和实际数据源相匹配。

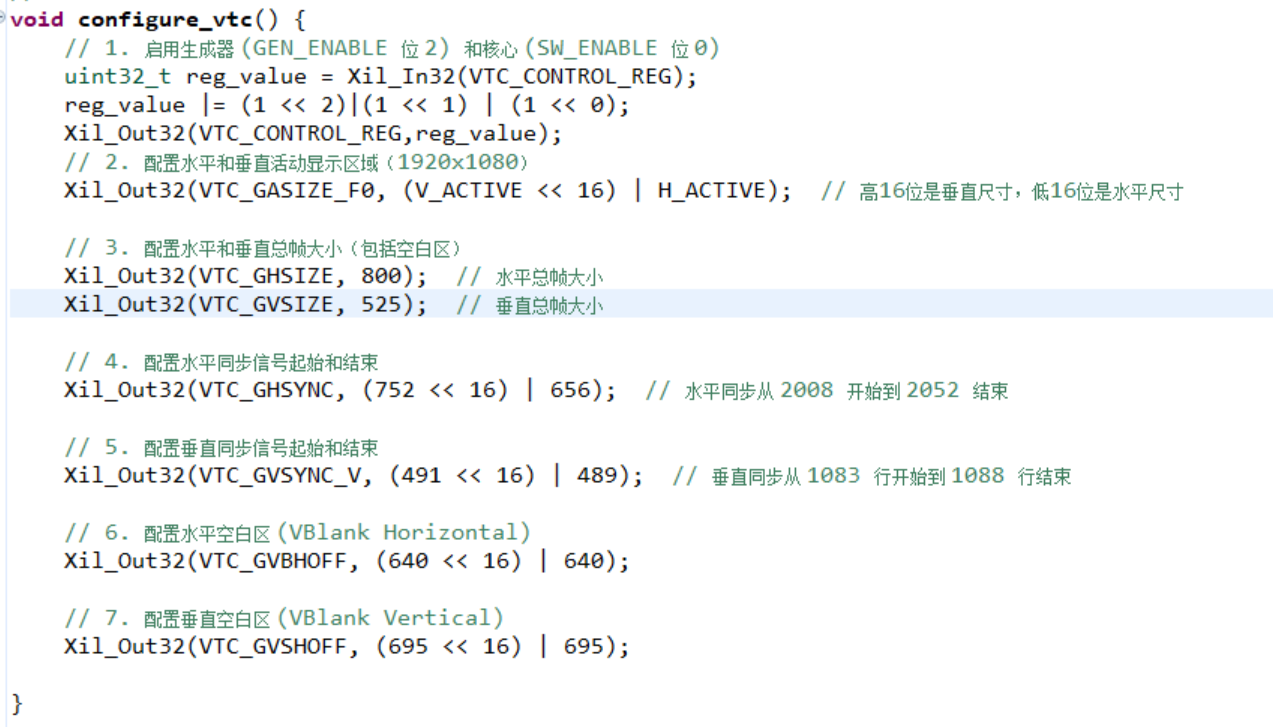


## VITIS软件

首先通过IIC配置HDMI芯片。



然后调用configure\_vtc()函数来设置视频定时控制器（VTC），以生成正确的同步信号。



如果需要针对不同的分辨率进行配置，应根据目标分辨率调整以下参数：

H\_ACTIVE和V\_ACTIVE: 根据所需的分辨率设置水平和垂直活动像素/行数。例如，对于480p（640x480），应将H\_ACTIVE设为640，V\_ACTIVE设为480。

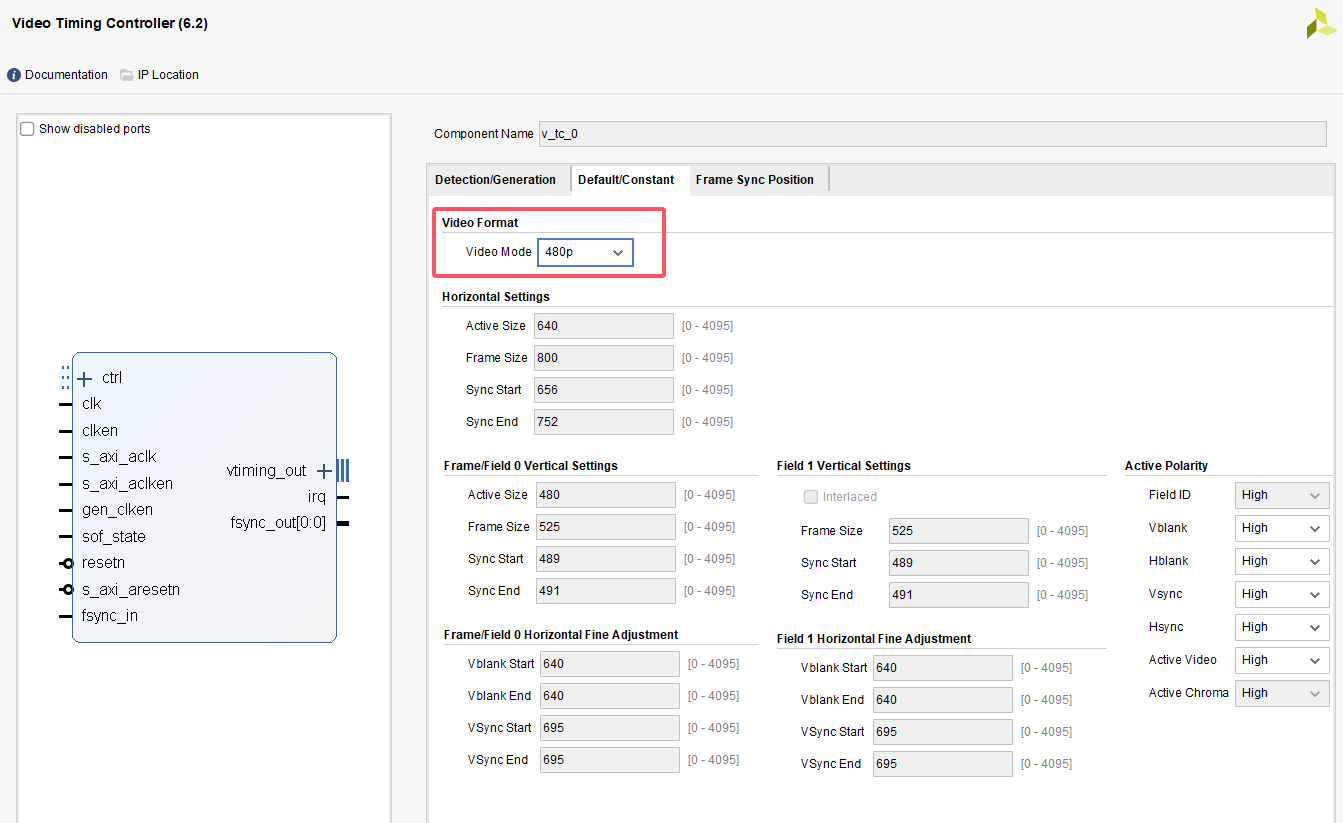
VTC\_GHSIZE 和 VTC\_GVSIZE: 设置为包括所有空白区在内的总帧大小。这取决于具体的视频标准。

VTC\_GHSYNC 和 VTC\_GVSYNC\_V: 根据所选分辨率的标准配置水平和垂直同步信号的位置。

VTC\_GVBHOFF 和 VTC\_GVSHOFF: 确定水平和垂直空白区的位置，确保它们与同步信号正确对齐。

用户应当查阅相关的视频标准文档（如VESA标准、CEA标准等）来获取准确的时序参数，并根据这些参数调整上述配置函数中的数值。

在vivado中也可将VTC配置为固定的模式，如480p/720p/1080p。



最后配置VDMA的参数。

S2MM (Stream to Memory Mapped) 和 MM2S (Memory Mapped to Stream) VDMA 控制寄存器被重置并启用循环模式。

设置了VDMA的起始地址，这些地址指向DDR内存中存储3帧视频帧的位置。

配置了水平偏移量 (H\_STRIDE)、水平尺寸 (H\_ACTIVE\*3) 和垂直尺寸 (V\_ACTIVE)，这些参数定义了视频帧的大小和布局。

