

浙江理工大学

ZHEJIANG SCI-TECH UNIVERSITY



《集成电路课程设计》

(2021/2022 学年第 2 学期)

指导教师：戴燕云

班级：23 通信 1 班

学号：2023329600055

姓名：王宗斐

目 录

- 一、设计任务和要求
- 二、设计思路 and 方案
- 三、网表文件和说明
- 四、仿真与结果分析
 - 4.1 功能仿真结果与分析
 - 4.2 负载驱动能力的仿真与分析
 - 4.3 功耗的仿真与分析
 - 4.4 延时的仿真与分析
 - 4.5 改变沟道 W 时的仿真与分析
- 五、总结

题目

一、设计任务和要求

根据半导体集成电路、利用 Hspice 软件以及数字电路等课程的知识，使用集成电路 CMOS 工艺完成触发器的设计，熟悉和掌握集成电路芯片电路设计及模拟方法和技巧。

1、设计如图 1 所示用传输门构成的电平触发 D 触发器，和图 2 所示的边沿触发器

D 触发器电路图^[1]

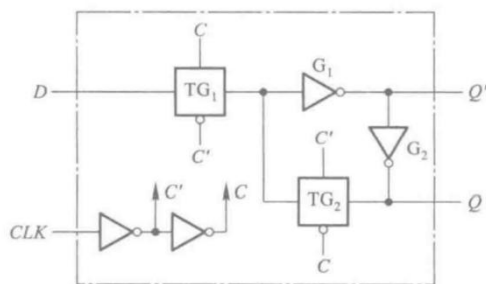


图 1 D 触发器

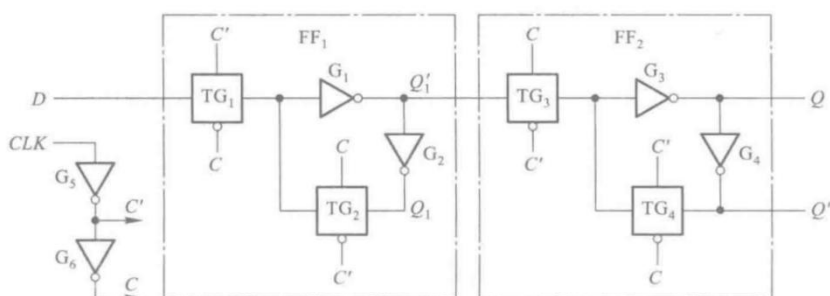


图 2 边沿触发器

- 2、写出详细的电路原理分析；
- 3、编写 Hspice 网表文件，采用 32nm 的工艺；
- 4、进行电路瞬态波形仿真分析，进行功能验证；
- 5、改变负载，进行瞬态波形模拟，进行性能分析；
- 6、测量电路的功耗和延时，进行性能分析；
- 7、改变管子的尺寸，W 或者 L，再次进行瞬态波形，负载能力和功耗延时的测量和分析；

二、设计思路和方案

2.1 传输门构成的 D 触发器

传输门 (TG) 就是一种传输模拟信号的模拟开关。CMOS 传输门由一个 P 沟道和一个 N 沟道增强型 MOSFET 并联而成。TG 的左边是输入端，右边是输出端。上边是控制信号 C' 输入端，下边是控制信号 C 输入端。

当 $C' = 0$ 、 $C = 1$ 时，TG 导通，输出端的信号等于输入端信号。

当 $C = 0$ 、 $C' = 1$ 时，俩个 MOS 管栅极与衬底之间的压差为 0V 压降，因而没有导电沟道产生，NMOS 管和 PMOS 管此时都处于截止状态。

传输门构成的 D 触发器，当 $CLK = 1$ 时，传输门 TG1 导通、TG2 截止， $Q = D$ 。而且，在 $CLK = 1$ 的全部时间里 Q 端的状态始终跟随 D 端的状态而改变。在 CLK 回到 0 以后，TG2 导通、TG1 截止。由于反相器 G1 输入电容的存储效应，短时间内 G1 输入端仍然保持为 TG1 截止以前瞬间的状态、而且这时反相器 G1、G2 和传输门 TG2 形成了状态自锁的闭合回路，所以 Q 和 Q' 的状态被保存下来。

在 clk 上升沿到来之前，D 输入端无论输入任何值触发器状态不会改变，次态等于现态。当时钟上升沿到来时，与时钟信号连接的非门产生的短暂延迟，使得触发器状态置成 D 输入端的状态。

2.2 边沿触发器

当 $CLK = 0$ 时，TG1 导通、TG3 截止，此时 FF1 正常工作，FF2 处于锁存状态若输入 $D = 0$ ，则 $Q1' = 1$ ， $Q = 0$ ；当 CLK 跳变到 1 时，FF1 锁存，FF2 正常工作，此时 Q 跳变为 0；因为 FF1 处于状态，所以 $Q1'$ 的值保持不变，即 Q 的值也不变；当下降沿到来时，FF1 工作、FF2 锁存 Q 依旧不变，所以呈现出了边沿触发的特性，而且是上升沿触发。

三、网表文件和说明

3.1 传输门构成的 D 触发器

title inv4

.lib 'D:\PTM 32nm.lib' 32nmcmos_models

V1 1 0 dc=1

非门模块

```
.SUBCKT feimen 1 0 in out
Mp0 out in 1 1 pmos W=0.2u L=32n
Mn0 out in 0 0 nmos W=0.4u L=32n
.ENDS
```

传输门模块

```
.SUBCKT chuanshumen 1 0 in out clk clk1
mn1 in clk out 0 nmos w=0.2u l=32nm
mp1 in clk1 out 1 pmos w=0.2u l=32n
.ENDS
```

互连电路

```
X1 1 0 D A C C1 chuanshumen
X2 1 0 A Q1 feimen
X3 1 0 Q1 Q feimen
X4 1 0 A Q C1 C chuanshumen
X5 1 0 CLK C1 feimen
X6 1 0 C1 C feimen
```

```
V2 CLK 0 pulse(0 1 0.1u 0.1n 0.1n 1.3u 2.6u)
```

```
V3 D 0 pulse(0 1 0.1u 0.1n 0.1n 0.4u 0.8u)
```

```
.probe v(CLK) v(D) v(Q) v(QF)
```

负载驱动

```
C1 Q 0 cc
.param cc=0.005p
.data ccdata
cc 0.005p 0.05p 0.5p 5p
.enddata
```

在输出端装载不同的电容负载值的同时观测瞬态波形来测试电路的驱动能力。

功耗

```
.measure tran average_vdd_power  
+AVG P(v1) from=0ns to=5u
```

延时

```
.measure D_Q_delay  
+trig v(D) val=500mv fall=1  
+targ v(Q) val=500mv fall=1  
.tran 0.1n 5u sweep data=ccdata.  
end
```

使用 .measure 语句来进行电路延时和功耗的测试。

分析：该代码是一个基本的 D 触发器电路，其中包含四个反相器（fei）和两个个传输门（tg）构成的 D 触发器。V1 定义了一个高电平的输入信号。V2 和 V3 分别定义了时钟信号和 D 输入信号的脉冲信号。在 .tran 语句中，定义了仿真的时间范围和时间步长。在 .probe 语句中，定义了需要监测的信号，包括时钟信号、D 输入信号、输出信号和反相输出信号。

3.2 边沿触发器

```
.title inv4  
.lib'D:\PTM 32nm.lib'32nmcmos_models  
.global VDD GND  
负载驱动
```

```
.data cv  
cload  
0.0005p  
0.005p  
0.05p  
0.5p  
5p
```

.enddata

非门模块

```
.subckt feimen in out GND VDD
mn1 out in GND GND nmos w=0.2u l=32nm
mp1 out in VDD VDD pmos w=0.4u l=32nm
.ends
```

传输门模块

```
.subckt chuanshumen in out C1 C2 GND VDD
mn1 in C2 out GND nmos w=0.2u l=32nm
mp1 in C1 out VDD pmos w=0.4u l=32nm
.ends
```

互连电路

VDD VDD 0 1

```
x1 clk e1 GND VDD feimen
x2 e1 e2 GND VDD feimen
x3 D b e2 e1 GND VDD chuanshumen
x4 b g1 GND VDD feimen
x5 g1 g GND VDD feimen
x6 b g e1 e2 GND VDD chuanshumen
x7 g1 f e1 e2 GND VDD chuanshumen
x8 f q1 e2 e1 GND VDD chuanshumen
x9 f q GND VDD feimen
x10 q q1 GND VDD feimen
```

C q GND cload

VIN1 D 0 PULSE(0 1 2n 0.0001n 0.0001n 8n 16n)

VIN2 CLK 0 PULSE(0 1 1n 0.0001n 0.0001n 4n 8n)

延时和功耗

```
.measure T_delay
+trig v(CLK)   val=0.5   rise=1
+targ v(q)     val=0.5   rise=1

.measure tran average_VDD_power
AVG  P(X1)    from=0ns to=32ns

.tran 1ns 32ns sweep data=cv
.END
```

两个 D 触发器的级联。第一个传输门和第一个反相器构成一个 D 触发器，其中 D 输入通过传输门输入，输出通过反相器输出。第二个传输门和第二个反相器构成另一个 D 触发器，其中 D 输入通过反相器输入，输出通过传输门输出。两个 D 触发器的时钟信号共用，但是 D 输入信号分别通过不同的反相器输入。

四、仿真与结果分析

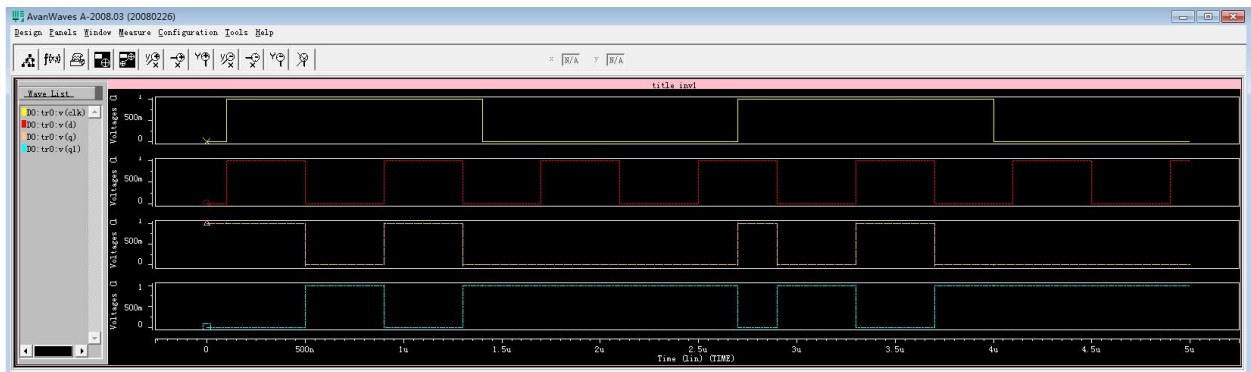
4.1 功能仿真结果与分析

4.1.1

4.1.1 传输门构成的 D 触发器波形图

如图所示，在 CLK=1 时，D=Q，当 CLK=0 时，Q 保持不变，满足电平 D 触发器的特性。

4.1.2

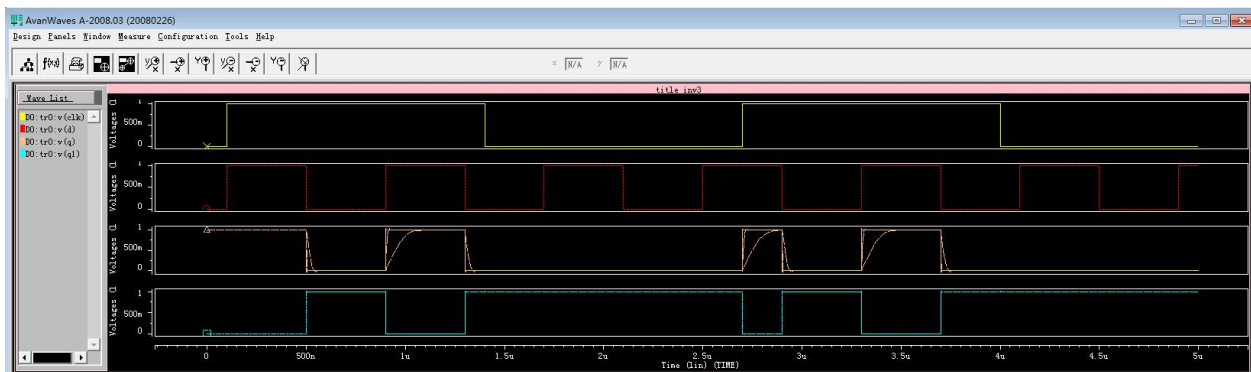


4.1.2 边沿触发器波形图

波形为上升沿触发，而且呈现 D 触发器特性，所以是一个上升沿触发的边沿 D 触发器。

4.2 负载驱动能力的仿真与分析

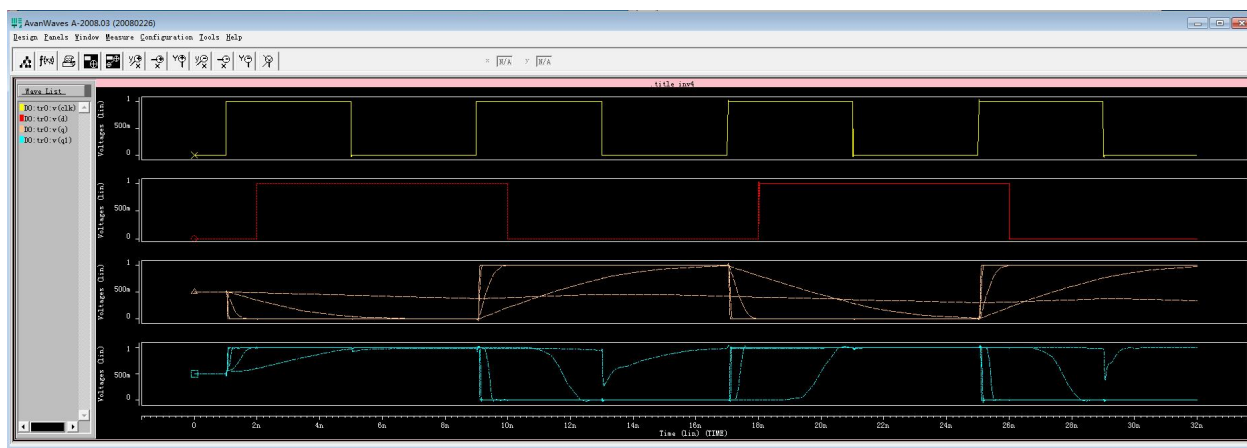
4.2.1



4.2.1 传输门构成的 D 触发器负载驱动能力波形图

随着加入负载的增加，功耗和延时不断加大，同时继续加大负载波形会产生失真。

4.2.2



4.2.2 边沿触发器负载驱动能力波形图

随着加入负载的增加，功耗和延时不断加大，同时继续加大负载波形会产生失真

4.3 功耗的仿真与分析

4.3.1

表 4.3.1 电平触发器功耗仿真表

负载	功耗
0.005p	-6.1539E-09
0.05p	-3.3520E-08
0.5p	-2.8803E-07
5p	-3.0133E-06

基本符合随着负载电容的容值不断增大，电路的总功耗不断增大的规律。电路的响应时间受到负载电容的影响。当电路驱动较大的负载电容时，需要更多的电荷来使电容充电或放电到目标电平，从而导致输出信号的变化速度和稳定性下降。

4.3.2

表 4.3.1 边沿触发器功耗仿真表

负载	功耗
0.0005p	2.1287E-07
0.005p	2.1225E-07
0.05p	2.2204E-07
0.5p	2.5193E-07
5p	2.0925E-07

随着负载电容的容值不断增大，电路的总功耗先减小后增大再减小。在逐步增加负载电容时，产生了显著的结果。这可能表明负载电容已经达到了某个关键点，继续增加负载电容可能导致电路响应时间显著延长、输出信号失真或出现稳定性问题。

4.4 延时的仿真与分析

4.4.1

表 4.4.1 电平触发器延时仿真表

负载	延时
0.005p	7.7695E-11
0.05p	1.9871E-10
0.5p	1.4388E-09
5p	1.3643E-08

基本符合随着负载电容的容值不断增大，延时不断减小的规律。在仿真过程中，负载电容的增加意味着更多的电荷需要在电路中传输。根据电荷传输的基本原理，电荷通过电路的速度与电容成反比关系。因此，当电容增大时，电荷传输所需的时间会减少，从而导致延时减小。

4.4.2

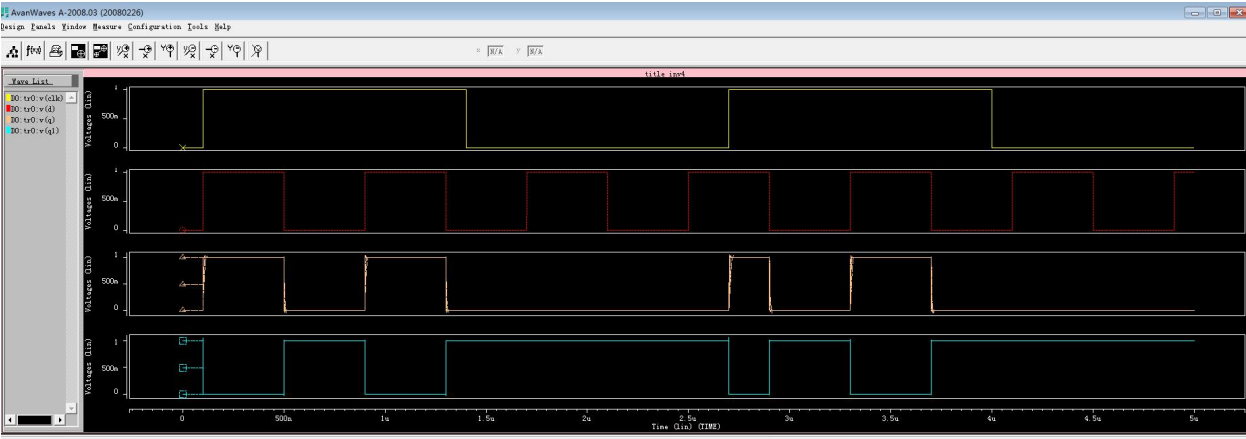
表 4. 4. 2 边沿触发器延时仿真表

负载	延时
0. 0005p	-1. 6990E-08
0. 005p	-8. 9105E-09
0. 05p	-8. 6784E-09
0. 5p	-6. 5594E-09
5p	failed

从 0. 0005p 到 0. 005p，不难发现，延时差距过大，说明负载不能过小。

4.5 改变沟道 W 时的仿真与分析

4.5.1



4. 5. 1 传输门构成的 D 触发器波形图

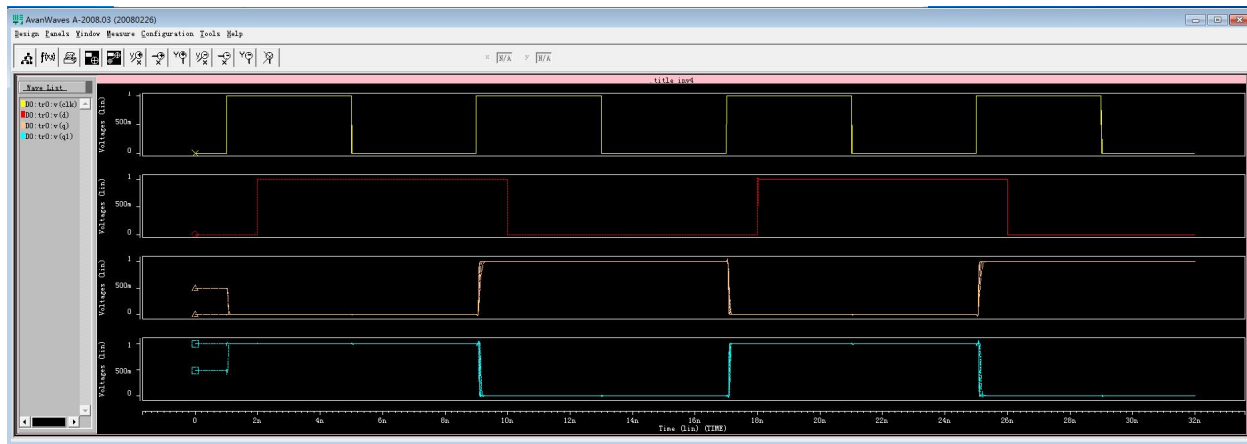
沟道发生改变后，波形未出现明显的失真。

表 4. 5. 1 电平触发器改变 W 仿真表

负载	功耗	延时
0. 2u	-3. 9726E-07	2. 8269E-09
0. 4u	-4. 0205E-07	1. 4116E-09
1. 2u	-4. 4520E-07	5. 1470E-10
2. 4u	-4. 0729E-07	3. 2023E-10
3u	-3. 1943E-07	2. 8938E-10

随着沟道的增加，功耗先增加后减小，延时不断减小。

4.5.2



4.5.1 传输门构成的 D 触发器波形图

沟道发生改变后，波形未出现明显的失真。

表 4.5.2 边沿触发器改变 W 仿真表

负载	功耗	延时
0.2u	1.4412E-07	8.1184E-09
0.4u	3.0733E-07	8.0934E-09
1.2u	9.7321E-07	8.0770E-09
2.4u	1.9584E-06	8.0729E-09
3u	2.2854E-06	8.0721E-09

随着沟道的增加，功耗不断变化，延时不断减小。

五、总结

以上代码实现了一个基本的数字电路设计，其中包括传输门（Transmission Gate）、反相器（Inverter）。代码中使用了 PTM 32nm 的模型库，该模型库提供了对 32 纳米工艺的模拟支持。

在这个课程设计中遇到的问题，对我个人而言最困难的地方是熟练掌握 HSPICE 的用法，这个软件里是英文的，里面包含了许多功能，但是对初步接触的我来说显得很陌生。我在这里卡住了很久。当然起初琢磨虚拟机时也废了一些心思，因为没有系统的完整学习，所以只能边做边改，边做边学习。

先是环境配置中出了问题，我在网上查询资料，但是发现对这方面的介绍似乎不是很多，在此过程中也了解到市面上常用的几种 EDA 仿真软件。然后是代码撰写方面，开始并没意识到需要包含工艺库文件，以至于运行报错，不过后来想起来在虚拟机 D 盘中找到了 32nm 工艺库文件，并修正了代码路径。接着到了仿真阶段，查看波形，发现几个波形都挤在一张图标上，很不美观，试着在网上找到解决办法，未果，发现连关于 HSPICE 的使用方法介绍的都不是很多，或者说很直观。只能试着把软件中的每个窗口按钮功能试一遍，找到了 window 中的 stack mode，成功把多个波形隔开查看。到此，发现背景中还有虚线，也是人海搜索，多次尝试后发现，右键后点击 grid off 即可消除背景虚线，到这里，我才终于把波形调整好，变得美观。

在心得体会方面，对 HSPICE 的用法有了大致的了解和学习，这是我收益最多的部分。经过这次实验仿真，我也从零基础变成了对该软件的用法有一定了解的学习者了。在整个学习过程中，了解到，随着现代科技的迅猛发展，对集成电路（IC）的需求日益增加，尤其是在人工智能、物联网、5G 通讯等领域。全球范围内的技术竞争促使各国加大对半导体产业的投入，推动了集成电路设计的急需。在地缘政治紧张局势下，拥有独立的集成电路设计能力被视为国家安全的重要组成部分。

总而言之，在实践中学习了如何使用 HSPICE 进行建模和仿真。通过理解和掌握这样的设计方法和仿真工具，我们可以更好地理解和分析数字电路的工作原理和性能特点。同时也意识到集成电路设计的紧迫性和重要性，同时，绿色设计在集成电路设计中愈发重要，不仅有助于保护环境，也符合未来科技发展的趋势。

工程文档

1) 电平 D 触发器

```
title inv1  
  
.lib 'D:\model\models\PTM 32nm.lib' 32nmos_models  
  
V1 1 0 dc=1  
  
.  
  
.SUBCKT feimen 1 0 in out
```

```

Mp0 out in 1 1 pmos W=0.2u L=32n
Mn0 out in 0 0 nmos W=0.4u L=32n
.ENDS

.SUBCKT chuanshumen 1 0 in out clk clk1
mn1 in clk out 0 nmos w=0.2u l=32nm
mp1 in clk1 out 1 pmos w=0.2u l=32n
.ENDS

X1 1 0 D A C C1 chuanshumen
X2 1 0 A Q1 feimen
X3 1 0 Q1 Q feimen
X4 1 0 A Q C1 C chuanshumen
X5 1 0 CLK C1 feimen
X6 1 0 C1 C feimen

V2 CLK 0 pulse(0 1 0.1u 0.1n 0.1n 1.3u 2.6u)
V3 D 0 pulse(0 1 0.1u 0.1n 0.1n 0.4u 0.8u)

.tran 0.1n 5u
.probe v(CLK) v(D) v(Q) v(QF)

.end

```

2) 电平 D 触发器驱动能力检验

```

title inv3
.lib 'D:\model\models\PTM 32nm.lib' 32nmcmos_models
V1 1 0 dc=1

```

```
.SUBCKT feimen 1 0 in out
```

```
Mp0 out in 1 1 pmos W=0.2u L=32n
```

```
Mn0 out in 0 0 nmos W=0.4u L=32n
```

```
.ENDS
```

```
.SUBCKT chuanshumen 1 0 in out clk clk1
```

```
mn1 in clk out 0 nmos w=0.2u l=32nm
```

```
mp1 in clk1 out 1 pmos w=0.2u l=32n
```

```
.ENDS
```

```
X1 1 0 D A C C1 chuanshumen
```

```
X2 1 0 A Q1 feimen
```

```
X3 1 0 Q1 Q feimen
```

```
X4 1 0 A Q C1 C chuanshumen
```

```
X5 1 0 CLK C1 feimen
```

```
X6 1 0 C1 C feimen
```

```
V2 CLK 0 pulse(0 1 0.1u 0.1n 0.1n 1.3u 2.6u)
```

```
V3 D 0 pulse(0 1 0.1u 0.1n 0.1n 0.4u 0.8u)
```

```
.probe v(CLK) v(D) v(Q) v(QF)
```

```
C1 Q 0 cc
```

```
.param cc=0.005p
```

```
.data ccdata
```

```
cc 0.005p 0.05p 0.5p 5p
```

```
.enddata
```



```
.tran 0.1n 5u sweep data=ccdata  
.end
```

3) 电平 D 触发器功耗仿真

```
title inv4  
.lib 'D:\model\models\PTM 32nm.lib' 32nmcmos_models  
V1 1 0 dc=1  
  
.SUBCKT feimen 1 0 in out  
Mp0 out in 1 1 pmos W=0.2u L=32n  
Mn0 out in 0 0 nmos W=0.4u L=32n  
.ENDS  
  
.SUBCKT chuanshumen 1 0 in out clk clk1  
mn1 in clk out 0 nmos w=0.2u l=32nm  
mp1 in clk1 out 1 pmos w=0.2u l=32n  
.ENDS  
  
X1 1 0 D A C C1 chuanshumen  
X2 1 0 A Q1 feimen  
X3 1 0 Q1 Q feimen  
X4 1 0 A Q C1 C chuanshumen  
X5 1 0 CLK C1 feimen  
X6 1 0 C1 C feimen  
  
V2 CLK 0 pulse(0 1 0.1u 0.1n 0.1n 1.3u 2.6u)
```

```
V3 D 0 pulse(0 1 0.1u 0.1n 0.1n 0.4u 0.8u)
```

```
.probe v(CLK) v(D) v(Q) v(QF)
```

```
C1 Q 0 cc
```

```
.param cc=0.005p
```

```
.data ccdata
```

```
cc 0.005p 0.05p 0.5p 5p
```

```
.enddata
```

```
.measure tran average_vdd_power
```

```
+AVG P(v1) from=0ns to=5u
```

```
.tran 0.1n 5u sweep data=ccdata
```

```
.end
```

4) 电平 D 触发器功耗延时仿真

```
title inv4
```

```
.lib 'D:\model\models\PTM 32nm.lib' 32nmos _models
```

```
V1 1 0 dc=1
```

```
.SUBCKT feimen 1 0 in out
```

```
Mp0 out in 1 1 pmos W=0.2u L=32n
```

```
Mn0 out in 0 0 nmos W=0.4u L=32n
```

```
.ENDS
```

```
.SUBCKT chuanshumen 1 0 in out clk clk1
```

```

mn1 in clk out 0 nmos w=0.2u l=32nm
mp1 in clk1 out 1 pmos w=0.2u l=32n
.ENDS

X1 1 0 D A C C1 chuanshumen
X2 1 0 A Q1 feimen
X3 1 0 Q1 Q feimen
X4 1 0 A Q C1 C chuanshumen
X5 1 0 CLK C1 feimen
X6 1 0 C1 C feimen

V2 CLK 0 pulse(0 1 0.1u 0.1n 0.1n 1.3u 2.6u)
V3 D 0 pulse(0 1 0.1u 0.1n 0.1n 0.4u 0.8u)

.probe v(CLK) v(D) v(Q) v(QF)

C1 Q 0 cc
.param cc=0.005p
.data ccdata
cc 0.005p 0.05p 0.5p 5p
.enddata

.measure tran average_vdd_power
+AVG P(v1) from=0ns to=5u
.measure D_Q_delay
+trig v(D) val=500mv fall=1
+targ v(Q) val=500mv fall=1
.tran 0.1n 5u sweep data=ccdata

```

```
.end
```

5) 电平 D 触发器改变沟道 W 时的仿真

```
title inv4
.lib 'D:\model\models\PTM 32nm.lib' 32nmos_models
V1 1 0 dc=1
.SUBCKT feimen 1 0 in out
Mp0 out in 1 1 pmos W=wu L=32n
Mn0 out in 0 0 nmos W=wu L=32n
.ENDS

.SUBCKT chuanshumen 1 0 in out clk clk1
mn1 in clk out 0 nmos w=0.2u l=32nm
mp1 in clk1 out 1 pmos w=0.2u l=32n
.ENDS

X1 1 0 D A C C1 chuanshumen
X2 1 0 A Q1 feimen
X3 1 0 Q1 Q feimen
X4 1 0 A Q C1 C chuanshumen
X5 1 0 CLK C1 feimen
X6 1 0 C1 C feimen

V2 CLK 0 pulse(0 1 0.1u 0.1n 0.1n 1.3u 2.6u)
V3 D 0 pulse(0 1 0.1u 0.1n 0.1n 0.4u 0.8u)

.probe v(CLK) v(D) v(Q) v(QF)

C1 Q 0 cc
```

```

.param cc=0.5p
.data cv
wu
0.2u 0.4u 1.2u 2.4u 3u
.enddata

.measure tran average_vdd_power
+AVG P(v1) from=0ns to=5u
.measure D_Q_delay
+trig v(D) val=500mv fall=1
+targ v(Q) val=500mv fall=1
.tran 0.1n 5u sweep data=cv
.end

```

6) 边沿触发器

```

.title inv2
.lib 'D:\model\models\PTM 32nm.lib' 32nmcmos_models
.global VDD GND

.subckt feimen IN OUT VDD GND
mn1 OUT IN GND GND nmos w=0.2u l=32n
mp1 OUT IN VDD VDD pmos w=0.4u l=32n
.ends

.subckt chuanshumen IN OUT cl cl1 VDD GND
mn1 IN cl OUT GND nmos w=0.2u l=32n
mp1 IN cl1 OUT VDD pmos w=0.4u l=32n
.ends

X1 CLK C1 VDD GND feimen

```

```

X2 C1 C VDD GND feimen
X3 D B C1 C VDD GND chuanshumen
X4 B Q21 VDD GND feimen
X5 Q21 Q2 VDD GND feimen
X6 B Q2 C C1 VDD GND chuanshumen
X7 Q21 K C C1 VDD GND chuanshumen
X8 K Q VDD GND feimen
X9 Q Q1 VDD GND feimen
X10 K Q1 C1 C VDD GND chuanshumen
c1 Q 0 0.0001p
VDD VDD 0 1
VIN1 D 0 PULSE(0 1 2n 0.0001n 0.0001n 8n 16n)
VIN2 CLK 0 PULSE(0 1 1n 0.0001n 0.0001n 4n 8n)
.tran 1n 32n
.end

```

7) 边沿触发器驱动能力检验

```

.title inv4
.lib 'D:\model\models\PTM 32nm.lib' 32nmcmos_models
.global VDD GND
.data cv
cload
0.0005p
0.005p
0.05p
0.5p
5p
.enddata

```

```

.subckt feimen in out GND VDD
mn1 out in GND GND nmos w=0.2u l=32nm
mp1 out in VDD VDD pmos w=0.4u l=32nm
.ends

.subckt chuanshumen in out C1 C2 GND VDD
mn1 in C2 out GND nmos w=0.2u l=32nm
mp1 in C1 out VDD pmos w=0.4u l=32nm
.ends

VDD VDD 0 1
x1 clk e1 GND VDD feimen
x2 e1 e2 GND VDD feimen
x3 D b e2 e1 GND VDD chuanshumen
x4 b g1 GND VDD feimen
x5 g1 g GND VDD feimen
x6 b g e1 e2 GND VDD chuanshumen
x7 g1 f e1 e2 GND VDD chuanshumen
x8 f q1 e2 e1 GND VDD chuanshumen
x9 f q GND VDD feimen
x10 q q1 GND VDD feimen
C q GND cload
VIN1 D 0 PULSE(0 1 2n 0.0001n 0.0001n 8n 16n)
VIN2 CLK 0 PULSE(0 1 1n 0.0001n 0.0001n 4n 8n)
.tran 1ns 32ns sweep data=cv
.END

```

8) 边沿触发器功耗和延时检验

```

.title inv4

.lib 'D:\model\models\PTM 32nm.lib' 32nmcmos_models

.global VDD GND

.data cv
cload
0.0005p
0.005p
0.05p
0.5p
5p
.enddata

.subckt feimen in out GND VDD
mn1 out in GND GND nmos w=0.2u l=32nm
mp1 out in VDD VDD pmos w=0.4u l=32nm
.ends

.subckt chuanshumen in out C1 C2 GND VDD
mn1 in C2 out GND nmos w=0.2u l=32nm
mp1 in C1 out VDD pmos w=0.4u l=32nm
.ends

VDD VDD 0 1
x1 clk e1 GND VDD feimen
x2 e1 e2 GND VDD feimen
x3 D b e2 e1 GND VDD chuanshumen
x4 b g1 GND VDD feimen
x5 g1 g GND VDD feimen
x6 b g e1 e2 GND VDD chuanshumen

```



```

x7  g1  f  e1  e2 GND VDD chuanshumen
x8  f    q1 e2  e1 GND VDD chuanshumen
x9  f    q   GND VDD feimen
x10 q    q1 GND VDD feimen
C q GND cload
VIN1  D 0 PULSE(0 1 2n 0.0001n 0.0001n 8n 16n)
VIN2  CLK 0 PULSE(0 1 1n 0.0001n 0.0001n 4n 8n)

.measure T_delay
+trig v(D)    val=0.5  rise=1
+targ v(q)    val=0.5  rise=1
.measure tran average_VDD_power  AVG  P(X1)  from=0ns to=32ns

.tran 1ns 32ns sweep data=cv
.END

```

9) 边沿触发器改变沟道

```

.title inv4
.lib 'D:\model\models\PTM 32nm.lib' 32nmos_models
.global VDD GND
.data cv
wu
0.2u
0.4u
1.2u
2.4u
3u
.enddata

.subckt feimen in out GND VDD

```

```

mn1 out in GND GND nmos w=wu l=32nm
mp1 out in VDD VDD pmos w=wu l=32nm
.ends

.subckt chuanshumen in out C1 C2 GND VDD
mn1 in C2 out GND nmos w=wu l=32nm
mp1 in C1 out VDD pmos w=wu l=32nm
.ends

VDD VDD 0 1
x1 clk e1 GND VDD feimen
x2 e1 e2 GND VDD feimen
x3 D b e2 e1 GND VDD chuanshumen
x4 b g1 GND VDD feimen
x5 g1 g GND VDD feimen
x6 b g e1 e2 GND VDD chuanshumen
x7 g1 f e1 e2 GND VDD chuanshumen
x8 f q1 e2 e1 GND VDD chuanshumen
x9 f q GND VDD feimen
x10 q q1 GND VDD feimen
C q GND 0.005p
VIN1 D 0 PULSE(0 1 2n 0.0001n 0.0001n 8n 16n)
VIN2 CLK 0 PULSE(0 1 1n 0.0001n 0.0001n 4n 8n)

.measure T_delay
+trig v(D) val=0.5 rise=1
+targ v(q) val=0.5 rise=1
.measure tran average_VDD_power AVG P(X1) from=0ns to=32ns

```

```
.tran 1ns 32ns sweep data=cv  
.END
```