



**《集成电电路课程设计》**

**（2021/2022学年第2学期）**

**目 录**

1、设计要求……………………………………………………………………………..…………1

2、设计思路和方案…………………………………………………………………….…….……1

2.1触发器介绍…………………………………………………………………….…….……2

2.2 CMOS构成非门 ……………………………………………………………….………...2

2.3 CMOS构成传输门 ………………………………………………………….….………..2

2.4电平D触发器……………………………………………………………….…….………2

2.5 边沿触发器………………………………………………………………..….…….……..3

3、网表文件和说明…………………………………………………………………….……....…..3

3.1传输门……………………………………………………………………….……………..3

3.2非门………………………………………………………………………….……………..3

3.3电平D触发器………………………………………………………………….……...…..3

3.4边沿触发器………………………………………………………………………….……..4

3.5输入信号……………………………………………………………………….…………..4

3.6测量…………………………………………………………………………….…………..4

3.6.1 波形瞬态分析. ……………………………………………………….……………4

3.6.2驱动能力的测试…… ………………………………………………….…………..4

3.6.3 功耗和延时………………………………………………………………….…......5

3.6.4 W数值对电路的影响………………………………………………….…………..5

4、仿真与结果分析…………………………………………………………………….…………..5

4.1 功能仿真结果与分析……………………………………………………….…………….5

4.1.1电平D触发器………………………………………………………….…………..5

4.1.2 边沿触发器…………………………………………………………….……….….6

4.2 负载驱动能力的仿真与分析………………………………………………………….….7

4.2.1电平D触发器…………………………………………………………………..….7

4.2.2边沿触发器…………………………………..…………………………………..….8

4.3 功耗和延时的仿真与分析………………………………..……………….………..….….8

4.3.1电平D触发器………………………………………………………………………8

4.3.2 边沿触发器…………………………………………………………………………9

4.4 改变沟道W时的仿真与分析…………………………………………………….………9

4.4.1波形瞬态分析……………………………………………………………….………9

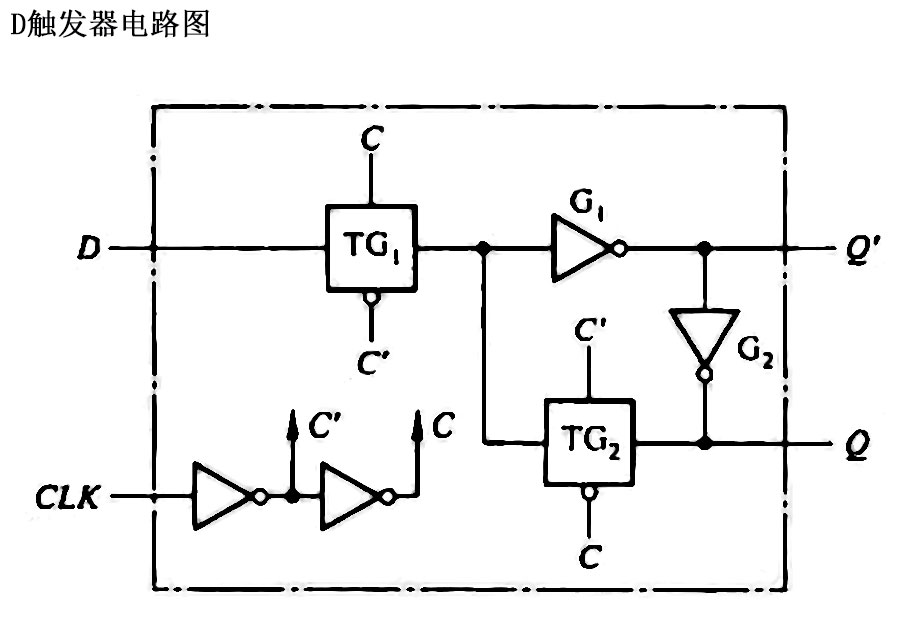
4.4.2延时和功耗分析……………………………………………………………………10

5、总结…………………………………………………………………………………………...…10

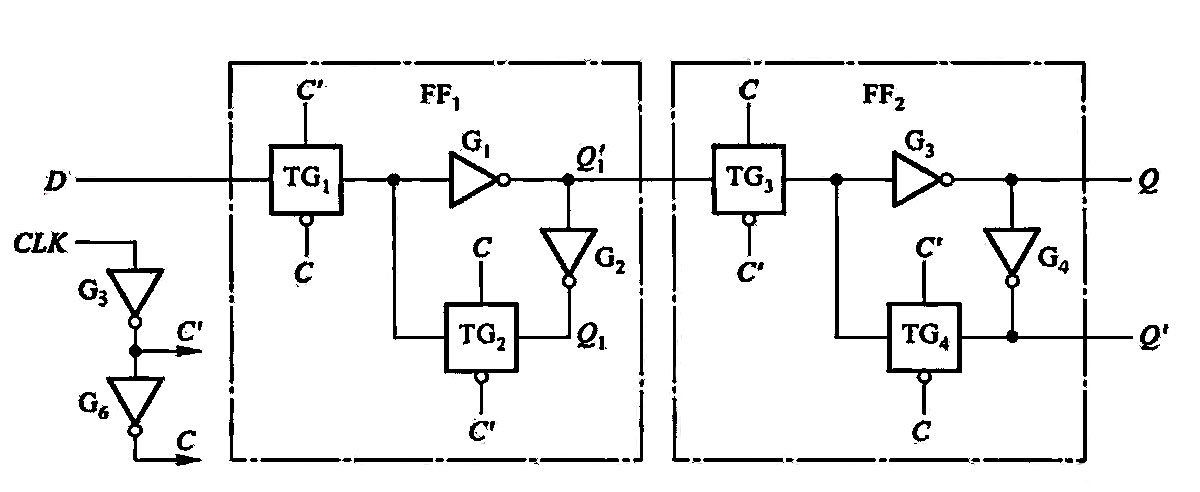
6、工程文档………………………………………………………………………………………. .11

**1、设计任务和要求**

(1)设计如图1所示用传输门构成的电平触发D触发器，和图2所示的边沿触发器



**图1 电平D触发器**



**图2 边沿触发器**

(2)写出详细的电路原理分析；

(3)编写Hspice网表文件，采用32nm的工艺；

(4)进行电路瞬态波形仿真分析，进行功能验证；

(5)改变负载，进行瞬态波形模拟，进行性能分析；

(6)测量电路的功耗和延时，进行性能分析；

(7)改变管子的尺寸，W或者L，再次进行瞬态波形，负载能力和功耗延时的测量和分析；

(8)小结、撰写报告 （结合集成电路设计的急迫性、重要性、以及绿色设计的概念）

(9)答辩验收。

**2、设计思路和方案**

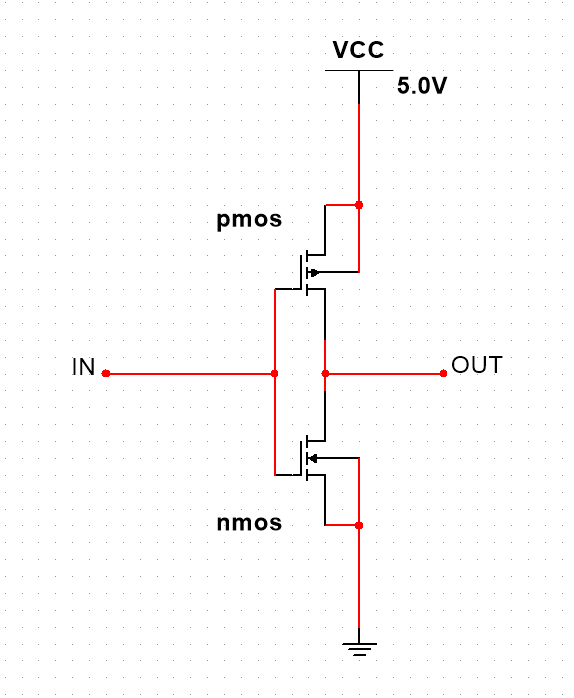
**2.1触发器介绍**

触发器是一种具有记忆功能的逻辑单元电路，它能存储一位二进制码。有如下特点：  
（1）有两个稳定状态“0”或“1”；

（2）他能根据输入信号将触发器置成“0”或“1”；

（3）在输入信号消失后，被置成的“0”或“1”状态可以保存下来。

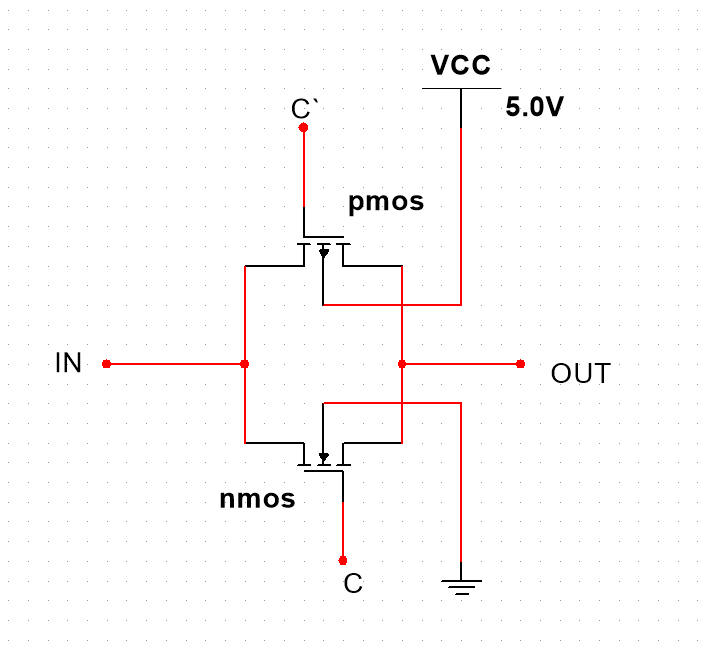
**2.2 CMOS构成非门**



**图3 mos管非门**

如图所示由一个pmos管和一个nmos管串联构成了一个非门。

**2.3 CMOS构成传输门**



**图4 mos管传输门**

由一个pmos管和一个nmos管并联构成一个传输门。

**2.4电平D触发器**

如上图2所示，由传输门和非门构成如图所示电路图，当C处于低电平，C’为高电平，即当CLK处于高电平时TG1导通，TG2截止，此时若D=0 则Q’=1、Q=0；当CLK处于低电平时，TG2导通，TG1截止，数据保持不变，由此构成了D电平触发器。

**2.5 边沿触发器**

如图3所示，由传输门和非门构成的电路，当CLK=0时，TG1导通、TG3截止，此时FF1正常工作，FF2处于锁存状态若输入D=0，则Q1’=1，Q=0；当CLK跳变到1时，FF1锁存，FF2正常工作，此时Q跳变为0；因为FF1处于状态，所以Q1’的值保持不变，即Q的值也不变；当下降沿到来时，FF1工作、FF2锁存Q依旧不变，所以呈现出了边沿触发的特性，而且是上升沿触发。再结合D和Q的关系，说明这是一款边沿D触发器。

**3、网表文件和说明**

**3.1传输门**

|  |
| --- |
| .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=0.2u l=32nm  mp1 in CX1 out VDD pmos w=0.4u l=32nm  .ends |

使用一个P管和一个N管并联，d级相连形成传输门的输入脚，s级相连形成传输门的输出脚，两个g级作为传输门的C和C’端。

**3.2非门**

|  |
| --- |
| .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=0.2u l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=0.4u l=32nm  .ends |

使用一个P管和一个N管串联，g级相连形成非门的输入端，D级相连形成传输门的输出端，N管的b、s相连接地，P管的b、s相连接VDD。

**3.3电平D触发器**

|  |
| --- |
| x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e1 e2 GND VDD chs  x4 b Q1 GND VDD fei  x5 Q1 Q GND VDD fei  x6 b Q e2 e1 GND VDD chs |

电平D触发器由两个传输门和四个非门构成，其中由俩个非门作为时钟信号的产生，来控制传输门导通和截止。

**3.4边沿触发器**

|  |
| --- |
| x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e2 e1 GND VDD chs  x4 b g1 GND VDD fei  x5 g1 g GND VDD fei  x6 b g e1 e2 GND VDD chs  x7 g1 f e1 e2 GND VDD chs  x8 f q1 e2 e1 GND VDD chs  x9 f q GND VDD fei  x10 q q1 GND VDD fei |

边沿触发器由两个串联的D触发器构成，同时利用了两个非门来构成时钟信号，来控制传输门的导通和截止。

**3.5输入信号**

|  |
| --- |
| Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 1ns 0.01ns 0.01ns 3ns 6ns)  .ic v(q)=0 |

分别为输入信号和始终信号，均为矩形脉冲，空号中内容从左向右依次代表：初始值、脉冲值、延迟时间、上升时间、下降时间、脉冲宽度、周期。

**3.6测量**

**3.6.1 波形瞬态分析**

|  |
| --- |
| .tran 1ns 32ns |

**3.6.2驱动能力的测试**

|  |
| --- |
| …  .data cv  cload  1f  5f  10f  20f  100f  0.5p  .enddata  …  C q GND cload  …  .tran 1ns 32ns sweep data=cv |

通过在输出端装载不同的电容负载值的同时观测瞬态波形来测试电路的驱动能力。

**3.6.3 功耗和延时**

|  |
| --- |
| .measure T\_delay  +trig v(D) val=0.5 rise=1  +targ v(Q) val=0.5 fall=1  .measure tran average\_VDD\_power AVG P(vDD) from=0ns to=32ns |

使用.measure语句来进行电路延时和功耗的测试。

**3.6.4 W数值对电路的影响**

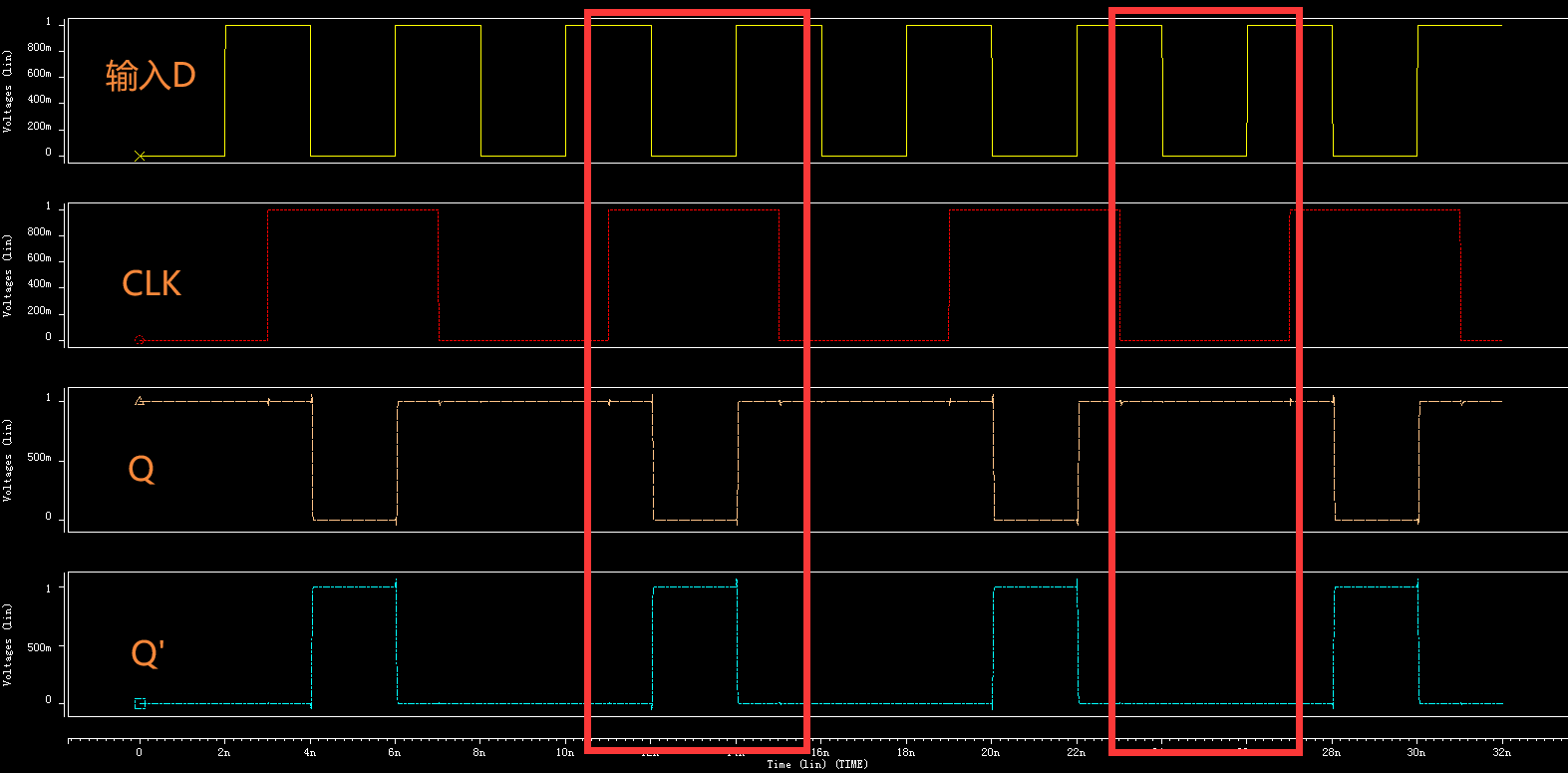
|  |
| --- |
| …  .data cv  wu  0.2u 0.4u 1.2u 2.4u 3u 10u  .enddata  …  .tran 1ns 32ns sweep data=cv |

导入不同的沟道宽度W来对电路进行分析,观测瞬态波形和功耗。

**4、仿真与结果分析**

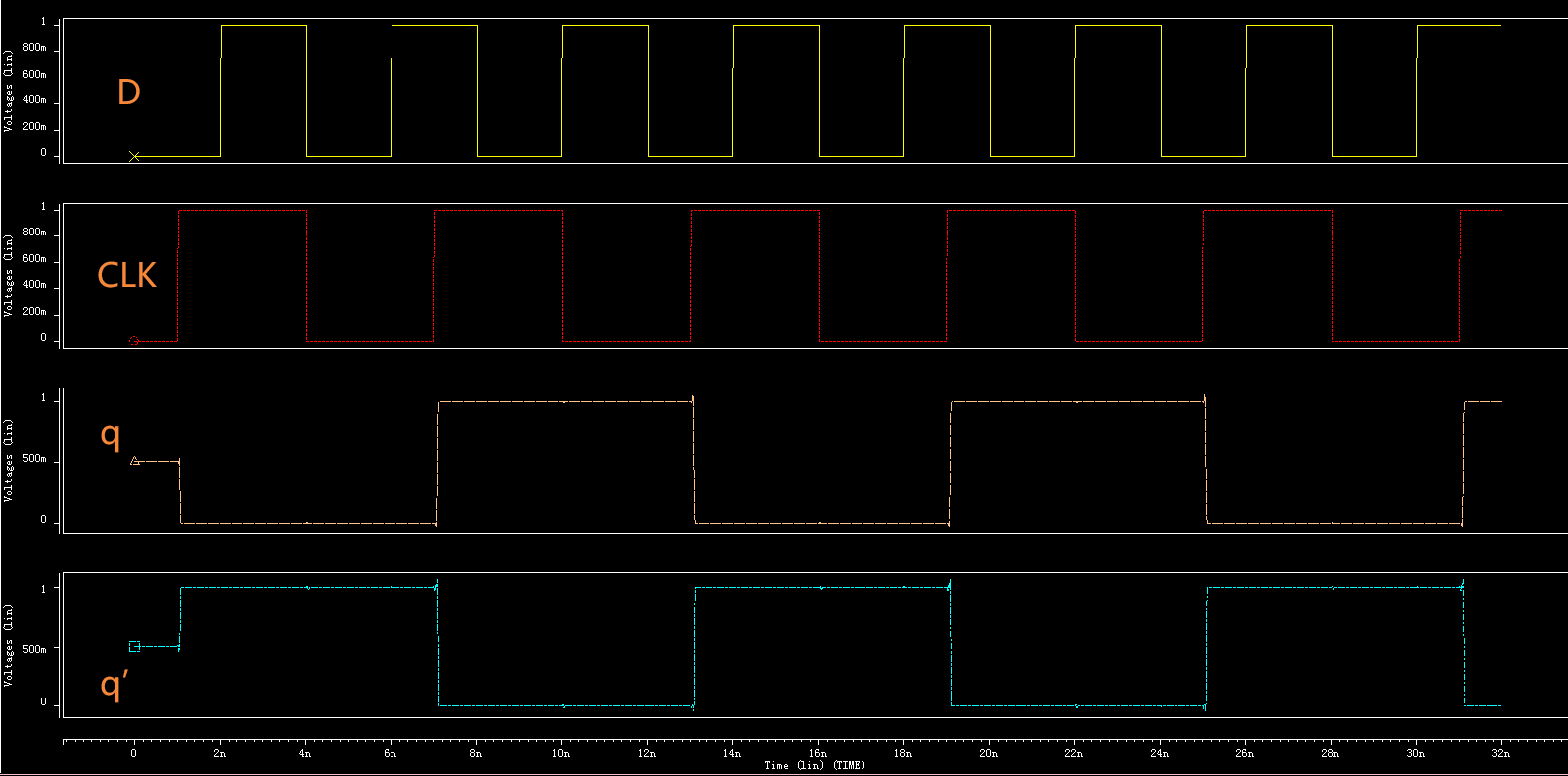
**4.1 功能仿真结果与分析**

**4.1.1电平D触发器**



**图4 电平D触发器波形图**

如图所示，在CLK=1时，D=Q，当CLK=0时，Q保持不变，满足电平D触发器的特性。

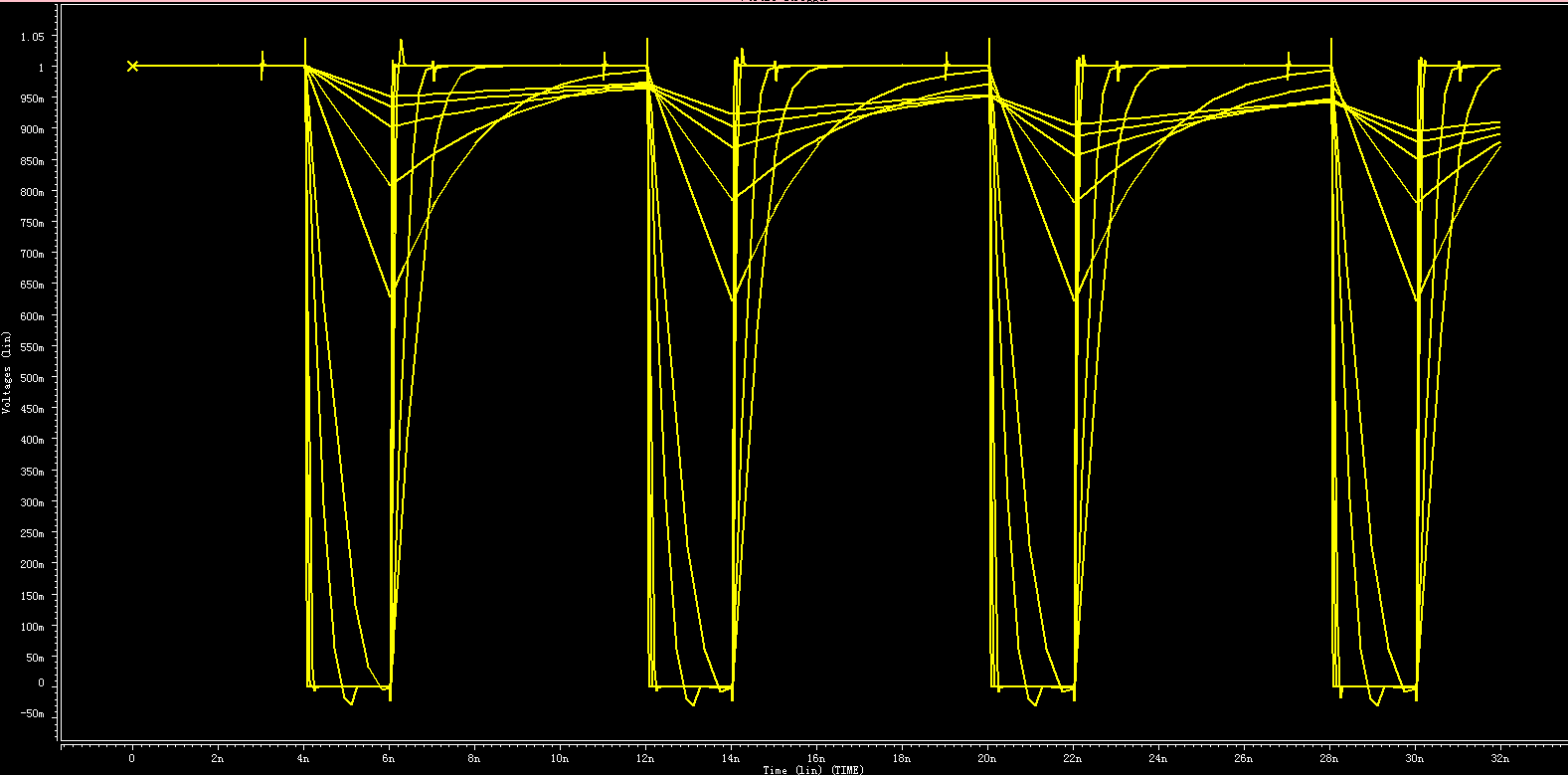
**4.1.2 边沿触发器**

**图5 边沿触发器波形图**

如图所示，波形为上升沿触发，而且呈现D触发器特性，所以是一个上升沿触发的边沿D触发器。

**4.2 负载驱动能力的仿真与分析**

**4.2.1电平D触发器**

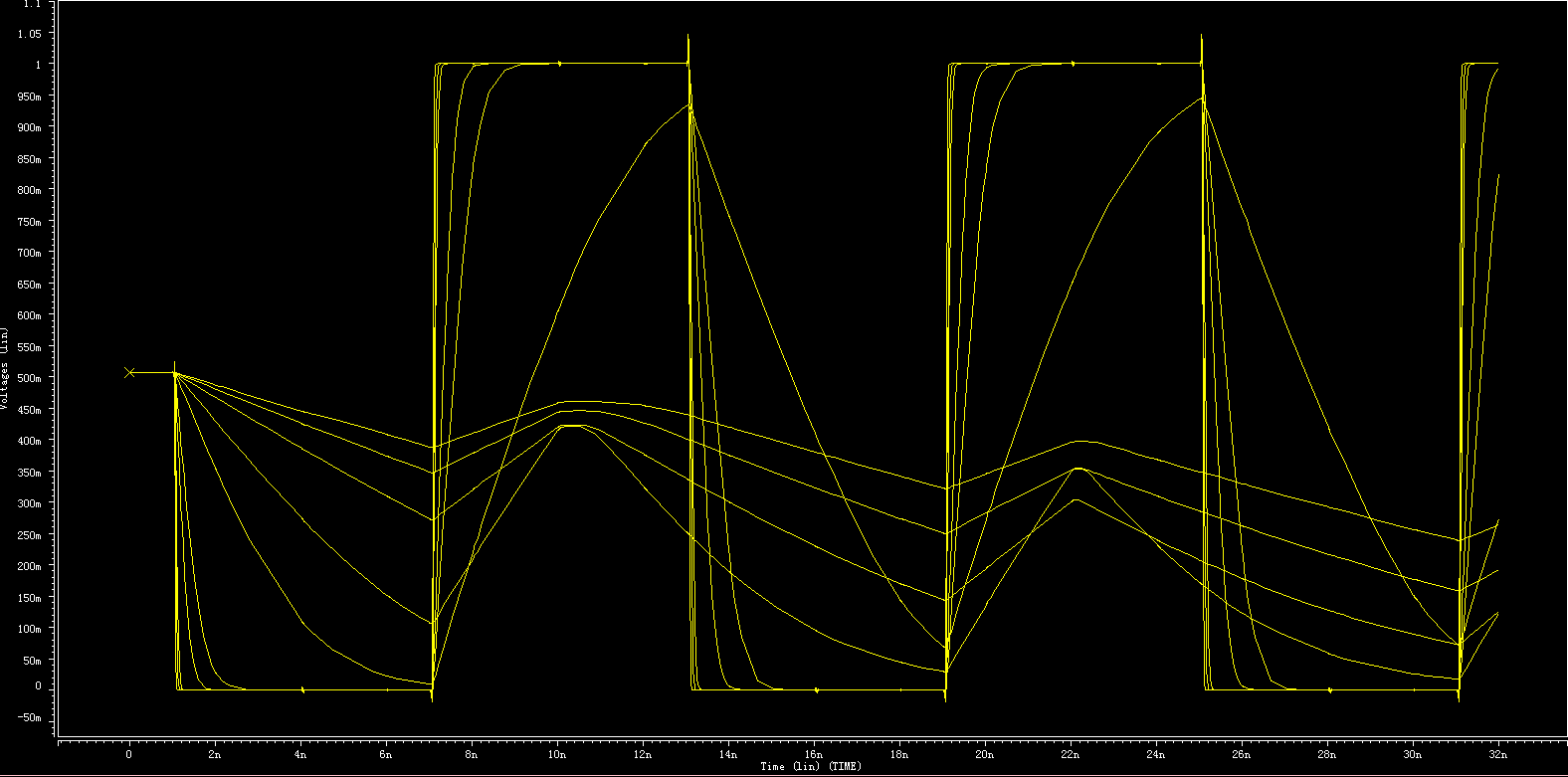
通过扫描负载电容，观察输出波形，来根据波形选择出合适的负载。

**图6 电平D触发器驱动测试图**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **负载** | **波形** | **功耗** | **延时** | **PDP** |
| 1FF | 无失真 | -9.33E-07 | 1.07E-09 | 9.97E-16 |
| 5FF | 无失真 | -1.56E-06 | 1.09E-09 | -1.69E-15 |
| 10FF | 无失真 | -2.33E-06 | 1.11E-09 | -2.59E-15 |
| 20FF | 略微失真 | -8.63E-06 | 1.30E-09 | -1.13E-14 |
| 100FF | 明显失真 | -1.60E-05 | 1.54E-09 | -2.46E-14 |
| 500FF | 严重失真 | -3.00E-05 | failed | XX |

**表1 电平D触发器驱动能力测试图**

随着加入负载的增加，功耗和延时不断加大，同时继续加大负载波形会产生失真，由数据分析可以的得出该电路的驱动能力为10FF左右。

**4.2.2边沿触发器**

**图7 边沿触发器驱动测试图**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **负载** | **波形** | **功耗** | **延时** | **PDP** |
| 1FF | 无失真 | -1.45E-06 | 1.09E-09 | -1.57E-15 |
| 5FF | 无失真 | -1.82E-06 | 1.11E-09 | -2.02E-15 |
| 10FF | 无失真 | -2.29E-06 | 1.13E-09 | -2.59E-15 |
| 20FF | 略微失真 | -3.23E-06 | 1.18E-09 | -3.81E-15 |
| 100FF | 明显失真 | -1.02E-05 | 3.45E-09 | -3.51E-14 |
| 500FF | 严重失真 | -3.28E-05 | 3.45E-09 | -1.13E-13 |

**表2 边沿触发器驱动测试表**

随着加入负载的增加，功耗和延时不断加大，同时继续加大负载波形会产生失真，由数据分析可以的得出该电路的驱动能力为10FF左右。

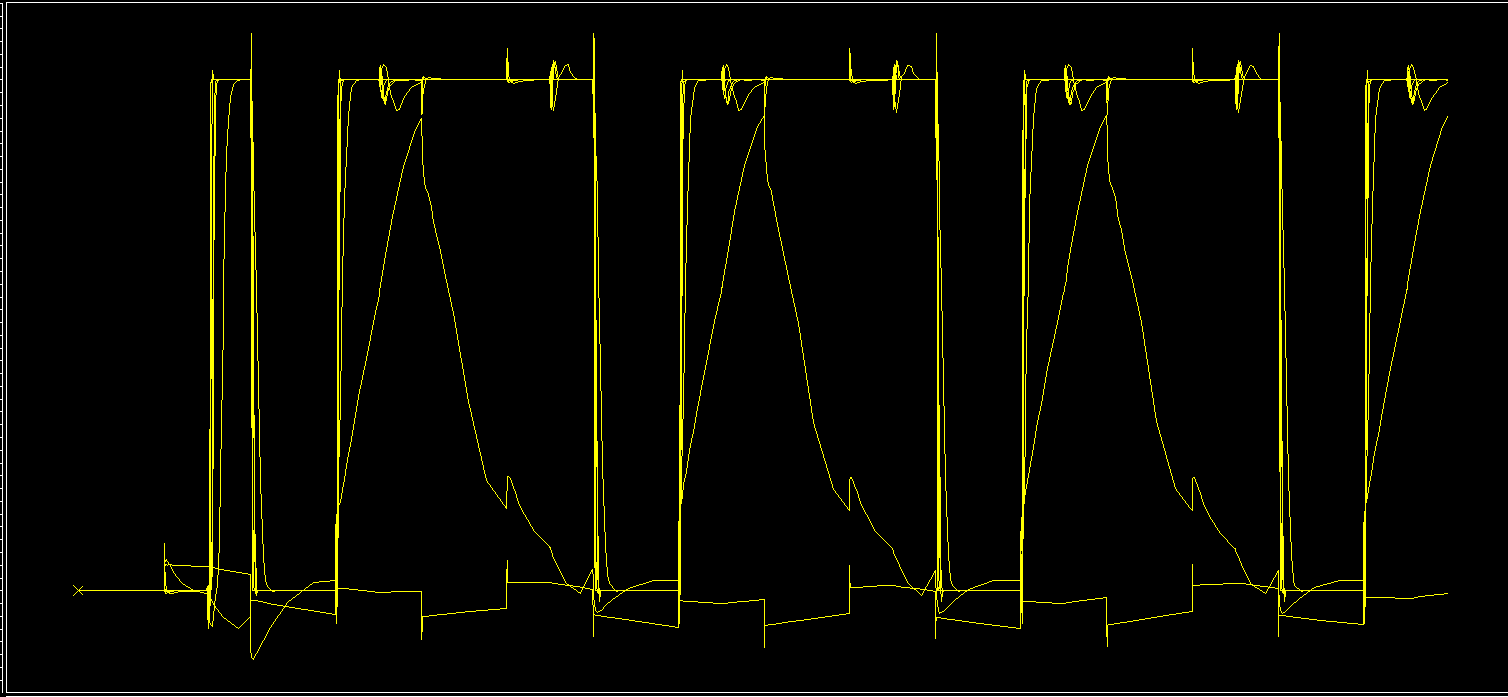
**4.3 功耗和延时的仿真**

|  |  |  |
| --- | --- | --- |
| **类别** | **功耗** | **延时** |
| 电平D触发器 | -7.8354E-07 | 1.0637E-09 |
| 边沿触发器 | 4.8357E-07 | 5.0801E-09 |

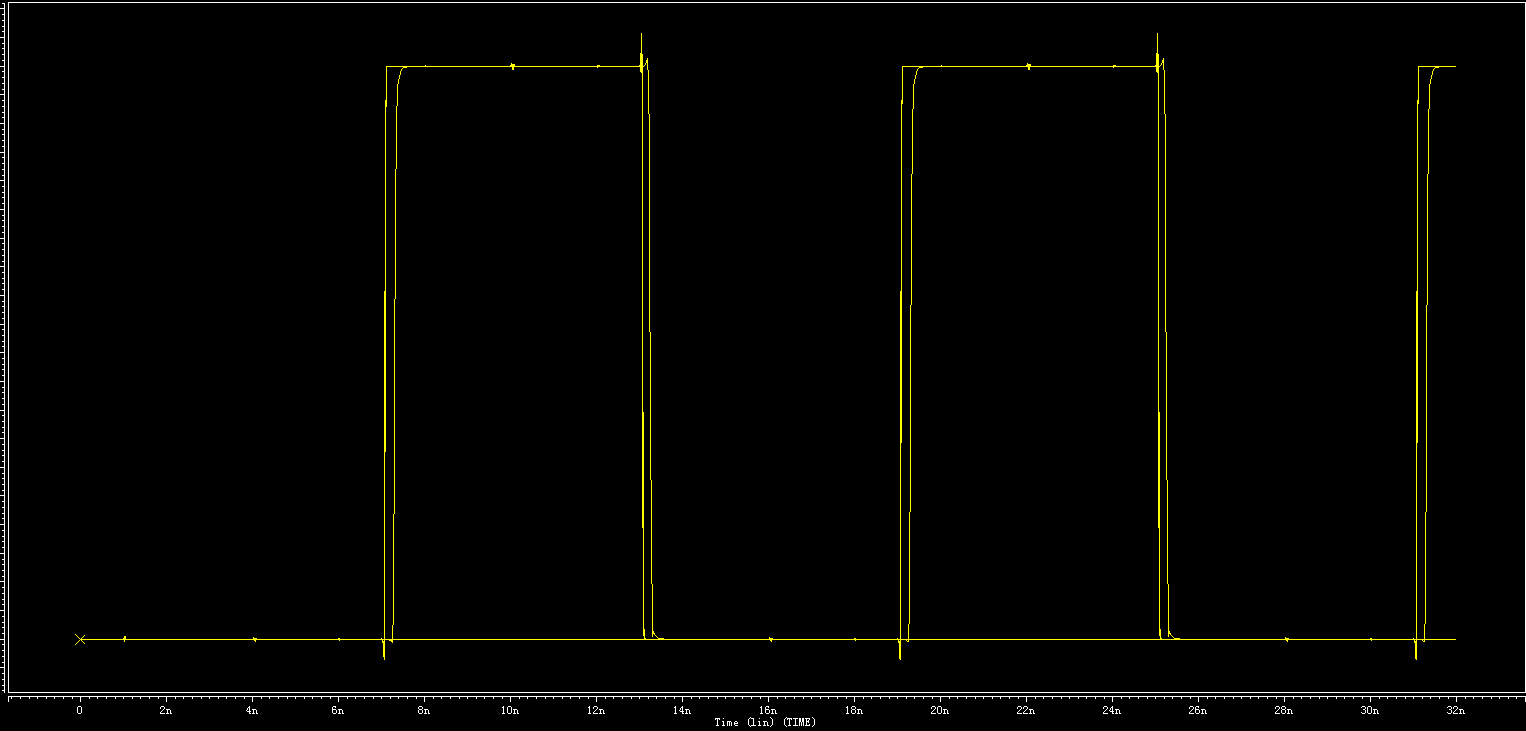
**表3 电路的功耗和延时**

**4.4 改变沟道W时的仿真与分析**

**4.4.1波形瞬态分析**



**图8 不同W下的电平D触发器输出波形**

由上图得出，改变W的数值不会对输出的波形产生太大的影响。

**图9 不同W下的边沿触发器输出波形**

**4.4.2延时和功耗分析**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **沟道宽度** | **波形** | **功耗** | **延时** | **PDP** |
| 0.2 | 基本无失真 | -7.0421E-07 | 1.0710E-09 | -7.54E-16 |
| 0.4 | 基本无失真 | -8.5412E-07 | 1.0710E-09 | -9.15E-16 |
| 1.2 | 基本无失真 | -1.4376E-06 | 1.0710E-09 | -1.54E-15 |
| 2.4 | 基本无失真 | -2.3198E-06 | 1.1339E-09 | -2.63E-15 |
| 3 | 基本无失真 | -2.8007E-06 | 1.1521E-09 | -3.23E-15 |
| 10 | 轻微失真 | -8.0520E-06 | 1.3674E-09 | -1.10E-14 |
| 100 | 明显失真 | -4.6335E-05 | 4.8226E-09 | -2.23E-13 |

**表5 电平D触发器功耗延时分析**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **沟道宽度** | **波形** | **功耗** | **延时** | **PDP** |
| 0.2 | 基本无失真 | -8.7951E-07 | 5.0704E-09 | -4.46E-15 |
| 0.4 | 基本无失真 | -1.7937E-06 | 5.0703E-09 | -9.09E-15 |
| 1.2 | 基本无失真 | -1.0917E-05 | 5.0702E-09 | -5.54E-14 |
| 2.4 | 基本无失真 | -1.3657E-05 | 5.0702E-09 | -6.92E-14 |
| 3 | 轻微失真 | -4.5570E-05 | 5.3055E-09 | -2.42E-13 |
| 10 | 明显失真 | -4.6516E-04 | 5.3055E-09 | -2.47E-12 |

**表6 边沿触发器的功耗延时分析**

随着沟道宽度的增大，导致通过mos管的电流增加，进而导致电路的功耗增加。电流的增加理论上会导致延时减少，通过计算功耗和延时的乘积（PDP）来进一步分析出最合适的沟道宽度。

**5、总结**

1. 在设计网表文件的时候可以先把给出的电路拆分成PMOS和NMOS管的组合，在对照各个引脚来填写网表；
2. 在进行驱动能力分析的时候，可以利用一种特殊的语句将各个数值代入一次性测试，免去了多次修改网表文件的麻烦；
3. 在测量延时时要对应波形图来确定要测第几个上升沿或者下降沿；
4. 可以用过.ic v（Q）=0 来初始化输出信号的大小。

**6、工程文档**

（1）电平D触发器延时、功耗和波形

|  |
| --- |
| .title DTrigger  .lib'D:\models\PTM 32nm.lib'32nmcmos\_models  .global VDD GND  .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=0.2u l=32nm  mp1 in CX1 out VDD pmos w=0.4u l=32nm  .ends  .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=0.2u l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=0.4u l=32nm  .ends  VDD VDD 0 1  x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e1 e2 GND VDD chs  x4 b Q1 GND VDD fei  x5 Q1 Q GND VDD fei  x6 b Q e2 e1 GND VDD chs  Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 3ns 0.01ns 0.01ns 4ns 8ns)  .tran 1ns 32ns  .measure D\_delay  +trig v(D) val=0.5 rise=1  +targ v(q) val=0.5 rise=1  .measure tran average\_VDD\_power AVG P(VDD) from=0ns to=32ns  .end |

（2）电平D触发器驱动能力检验

|  |
| --- |
| .title DTrigger  .lib'D:\models\PTM 32nm.lib'32nmcmos\_models  .global VDD GND  .data cv  cload  1f  5f  10f  20f  100f  0.5p  .enddata  .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=0.2u l=32nm  mp1 in CX1 out VDD pmos w=0.4u l=32nm  .ends  .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=0.2u l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=0.4u l=32nm  .ends  VDD VDD 0 1  x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e1 e2 GND VDD chs  x4 b Q1 GND VDD fei  x5 Q1 Q GND VDD fei  x6 b Q e2 e1 GND VDD chs  C q GND cload  Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 3ns 0.01ns 0.01ns 4ns 8ns)  .tran 1ns 32ns sweep data=cv  .end |

（3）不同沟道下的检测

|  |
| --- |
| .title DTrigger  .lib'D:\models\PTM 32nm.lib'32nmcmos\_models  .global VDD GND  .data cv  wu  0.2u 0.4u 1.2u 2.4u 3u 10u  .enddata  .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=wu l=32nm  mp1 in CX1 out VDD pmos w=wu l=32nm  .ends  .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=0.2u l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=0.4u l=32nm  .ends  VDD VDD 0 1  x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e1 e2 GND VDD chs  x4 b Q1 GND VDD fei  x5 Q1 Q GND VDD fei  x6 b Q e2 e1 GND VDD chs  Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 3ns 0.01ns 0.01ns 4ns 8ns)  .tran 1ns 32ns sweep data=cv  .measure T\_delay  +trig v(D) val=0.5 rise=1  +targ v(Q） val=0.5 rise=1  .measure tran average\_VDD\_power AVG P(VDD） from=0ns to=32ns  .end |

（4）边沿触发器的功耗、延时和波形

|  |
| --- |
| .title BYTrigger  .lib'D:\models\PTM 32nm.lib'32nmcmos\_models  .global VDD GND  .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=0.2u l=32nm  mp1 in CX1 out VDD pmos w=0.4u l=32nm  .ends  .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=0.2u l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=0.4u l=32nm  .ends  VDD VDD 0 1  x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e2 e1 GND VDD chs  x4 b g1 GND VDD fei  x5 g1 g GND VDD fei  x6 b g e1 e2 GND VDD chs  x7 g1 f e1 e2 GND VDD chs  x8 f q1 e2 e1 GND VDD chs  x9 f q GND VDD fei  x10 q q1 GND VDD fei  Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 1ns 0.01ns 0.01ns 3ns 6ns)  .tran 1ns 32ns  .measure T\_delay  +trig v(D) val=0.5 rise=2  +targ v(q) val=0.5 rise=1  .measure tran average\_VDD\_power AVG P(X1) from=0ns to=32ns  .END |

（5）边沿触发器驱动能力检验

|  |
| --- |
| .title BYTrigger  .lib'D:\models\PTM 32nm.lib'32nmcmos\_models  .global VDD GND  .data cv  cload  1f  5f  10f  20f  100f  0.5p  .enddata  .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=0.2u l=32nm  mp1 in CX1 out VDD pmos w=0.4u l=32nm  .ends  .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=0.2u l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=0.4u l=32nm  .ends  VDD VDD 0 1  x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e2 e1 GND VDD chs  x4 b g1 GND VDD fei  x5 g1 g GND VDD fei  x6 b g e1 e2 GND VDD chs  x7 g1 f e1 e2 GND VDD chs  x8 f q1 e2 e1 GND VDD chs  x9 f q GND VDD fei  x10 q q1 GND VDD fei  C q GND cload  Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 1ns 0.01ns 0.01ns 3ns 6ns)  .tran 1ns 32ns sweep data=cv  .END |

（6）不同沟道下的检测

|  |
| --- |
| .title BYTrigger  .lib'D:\models\PTM 32nm.lib'32nmcmos\_models  .global VDD GND  .data cv  wu  0.2u 0.4u 1.2u 2.4u 3u 10u  .enddata  .subckt chs in out CX1 CX2 GND VDD  mn1 in CX2 out GND nmos w=wu l=32nm  mp1 in CX1 out VDD pmos w=wu l=32nm  .ends  .subckt fei in1 out1 GND VDD  mn1 OUT1 IN1 GND GND nmos w=wu l=32nm  mp1 OUT1 IN1 VDD VDD pmos w=wu l=32nm  .ends  VDD VDD 0 1  x1 clk e1 GND VDD fei  x2 e1 e2 GND VDD fei  x3 D b e2 e1 GND VDD chs  x4 b g1 GND VDD fei  x5 g1 g GND VDD fei  x6 b g e1 e2 GND VDD chs  x7 g1 f e1 e2 GND VDD chs  x8 f q1 e2 e1 GND VDD chs  x9 f q GND VDD fei  x10 q q1 GND VDD fei  Vb d 0 pulse(0v 1v 2ns 0.01ns 0.01ns 2ns 4ns)  va clk 0 pulse(0v 1v 1ns 0.01ns 0.01ns 3ns 6ns)  .tran 1ns 32ns sweep data=cv  .measure T\_delay  +trig v(D) val=0.5 rise=2  +targ v(q) val=0.5 rise=1  .measure tran average\_VDD\_power AVG P(vDD) from=0ns to=32ns  .END |

**浙江理工大学《集成电路课程设计》答辩记录表**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 姓 名 |  | 学 号 |  | 班 级 |  |
| 问：如何赋初值  答：增加icv（Q）=0语句，可以初始化Q为0使结果更加准确  问：在负载加大时为什么会出现失真  答：当负载加大时，电容的值加大，充电时间延长，触发器的跳变时间会延长  问：沟道宽度对时延和功耗的影响  答：沟道宽度越宽，时延会变小，通过mos管的电流加大，整体功耗加大  问：解释一下构成边沿触发器的原理  答：如图所示，由传输门和非门构成的电路，当CLK=0时，TG1导通、TG3截止，此时FF1正常工作，FF2处于锁存状态若输入D=0，则Q1’=1，Q=0；当CLK跳变到1时，FF1锁存，FF2正常工作，此时Q跳变为0；因为FF1处于状态，所以Q1’的值保持不变，即Q的值也不变；当下降沿到来时，FF1工作、FF2锁存Q依旧不变，所以呈现出了边沿触发的特性，而且是上升沿触发。再结合D和Q的关系，说明这是一款边沿D触发器。        日 期：2022.9.7 | | | | | |