

# AXI\_FIFO\_SPI IP 参考手册

## 介绍

AXI\_FIFO\_SPI IP完成了AXI 控制到SPI输出的转换，满足了用户基于主控制器的AXI接口对SPI Slavers进行控制的现实需求。该IP提供了一条串行接口以完成对SPI slavers的读写，同时，用户还可以通过配置IP的寄存器实现不同字节长度的传输。发送FIFO与接收FIFO的深度可以结合实际的项目背景加以修改。

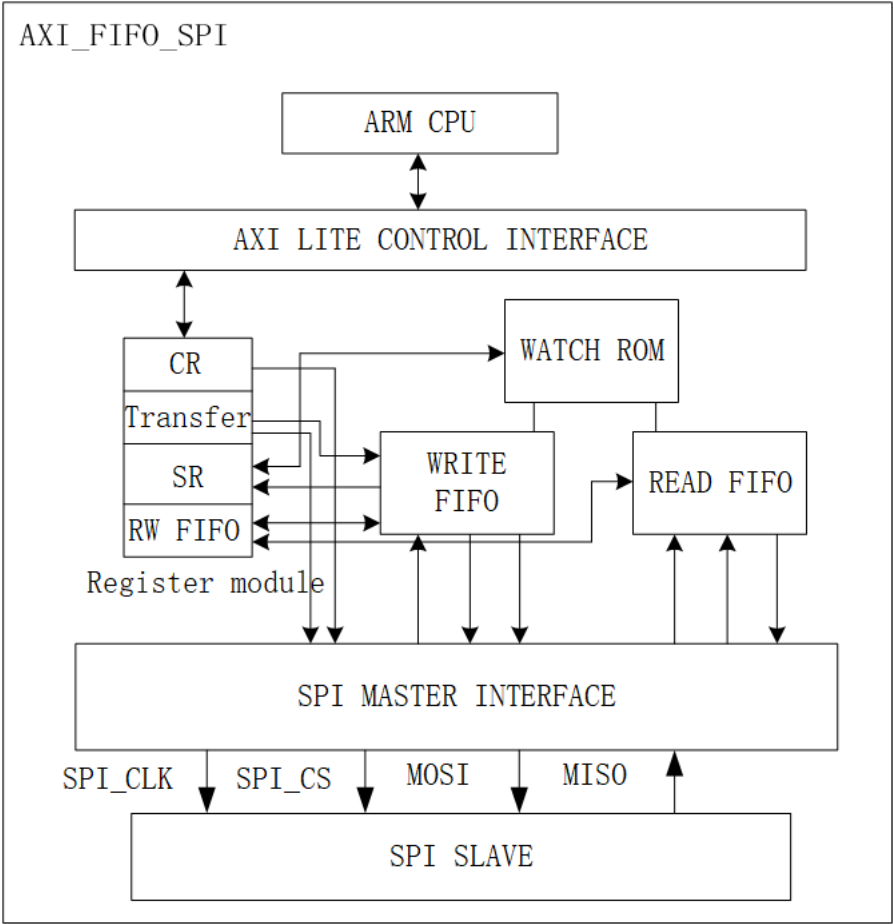
通过阅读参考手册，你可以对IP的功能、架构与使用步骤有着更清晰的认识，本文最后将会列举设计过程参考到的文档，希望用户能够从中了解到IP设计过程中的一些想法

## 特点

- 加入可配置的AXI lite总线对寄存器空间进行读写
- 提供了可配置SPI接口，以实现对SPI设备的控制
- 可配置的发送FIFO与接收FIFO深度
- 监视SPI传输过程中的关键信号量，用户可通过AXI对信号量进行采集

## IP设计规格

### 设计架构图



### 资源使用

Device	Package	Speed Grade	clock(MHz)	LUTs	FFs	18k BRAMs	DSP
xc7z035	fpg676	2	100	203	337	2	0

## 引脚说明

引脚名称	接口	类型	功能
clk_i	CLOCK	I	系统时钟信号
reset_n	RESET	I	同步复位信号
ext_spi_clk	CLOCK	I	SPI主时钟，SCLK可以基于此时钟进行分频以达到目标频率
spi_sclk_o	SPI	O	SPI输出时钟，用于和SLAVE进行通信
spi_ssel_o	SPI	O	SPI从机选择信号，低电平有效
spi_mosi_o	SPI	O	SPI输出串行数据信号
spi_miso_i	SPI	I	SPI输入串行数据信号
awvalid_i	AXI	I	AXI总线地址写入有效信号
awready_o	AXI	O	AXI总线地址写入准备信号
awaddr_i	AXI	I	AXI总线写入地址
wvalid_i	AXI	I	AXI总线数据写入有效信号
wready_o	AXI	O	AXI总线数据写入准备信号
bvalid_o	AXI	O	AXI总线写应答有效信号
bready_i	AXI	I	AXI总线写应答准备信号
bresp_o	AXI	O	AXI总线应答信号
arvalid_i	AXI	I	AXI总线读地址有效信号
arready_o	AXI	O	AXI总线读地址准备信号
rvalid_o	AXI	O	AXI总线读数据有效信号
rready_i	AXI	I	AXI总线读数据准备信号
rdata_o	AXI	O	AXI总线读数据信号
araddr_i	AXI	I	AXI总线读地址信号

## 寄存器空间

名称	地址偏移	作用
Control Register	0x00	IP控制寄存器
Transfer Register	0x04	SPI传输控制寄存器
Status Register	0x08	IP状态寄存器
RW FIFO Register	0x12	读写FIFO寄存器

## 寄存器功能说明

### 1. Control Register

Bits	作用	默认值
[3:0]	用于SPI CLK分频	4'b1
[7:4]	保留	4'b0
[8:8]	1:MSB FIRST 0:LOW FIRST	1'b0
[10:9]	设置CPHA CPOL	2'b00
[31:11]	保留	22'b0

### 2.Transfer Register

Bits	作用	默认值
------	----	-----

[0:0]	SS 0 enable,1:enable,0:disable	1'b0
[1:1]	SS 1 enable,1:enable,0:disable	1'b0
[2:2]	SS 2 enable,1:enable,0:disable	1'b0
[3:3]	SS 3 enable,1:enable,0:disable	1'b0
[4:4]	保留	1'b0
[6:5]	传输的比特位数,00:8;01:16;10:32;11:reserved	2'b0
[12:7]	保留	6'b0
[13:13]	传输使能,1: start;0:stop	1'b0
[31:14]	保留	18'b0

### 3.Status Register

Bits	作用	默认值
[0:0]	spi 工作标志;1:working;0:idle	0
[1:1]	读FIFO空标志	0
[2:2]	写FIFO满标志	0
[10:3]	watch signal1	8'b0
[18:11]	watch signal2	8'b0
[26:19]	watch signal3	8'b0
[31:27]	保留	8'b0

### 4.RW FIFO Register

Bits	作用	默认值
[31:0]	读写FIFO的值	32'b0

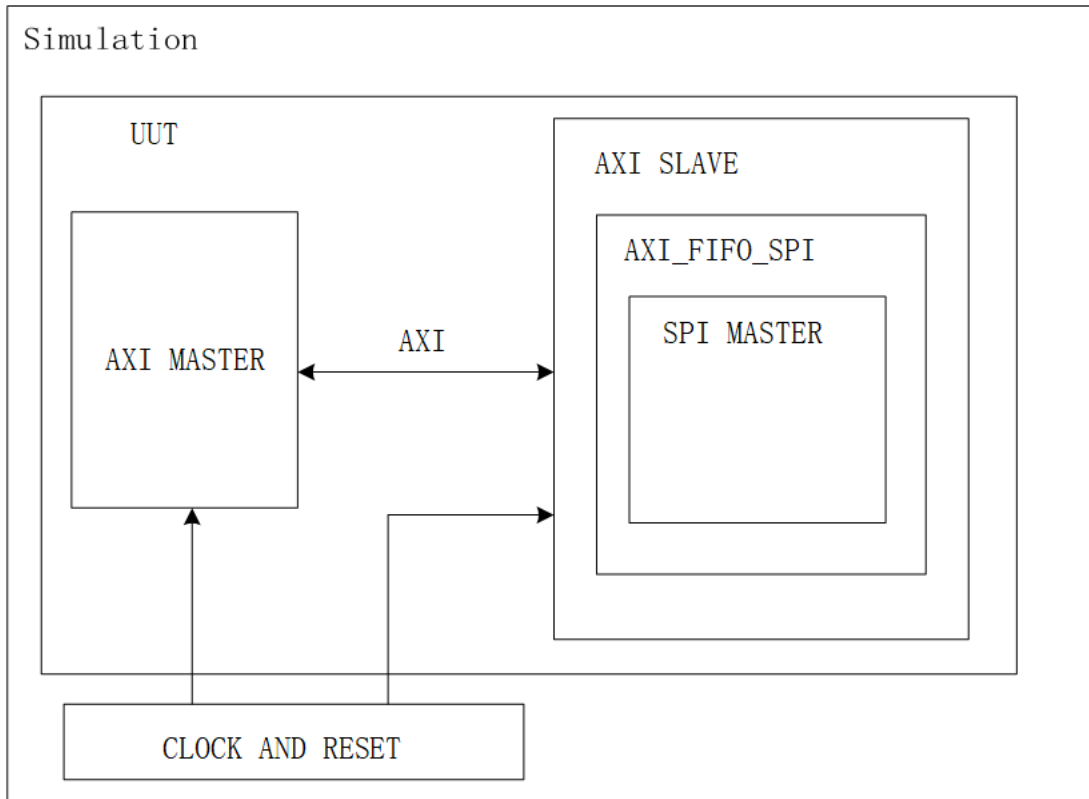
## 仿真与上板验证

### 功能仿真

#### 说明

仿真平台基于VCS+VERDI ,在代码链接中会提供对应的makefile与testbench文件，具体的操作说明本文档中不会过多涉及到，请用户自行参考官方文档

### 仿真架构



在仿真平台，通过编写axi master来模拟ARM CPU对该IP的控制，以达到验证AXI总线协议的目的。

验证主要关注以下方面:

1. AXI总线准确读写IP的寄存器
2. 寄存器准确控制SPI时序
3. Write/Read FIFO能够正常写入和读取，不会出现溢出的情况
4. 能够正常观察所需的变量，达到上板后添加观察变量波形的目的

## 上板验证

### 说明

目前IP上板后验证手段有ILA、VIO和JTAGTOAXI，ILA主要用于观察高速总线信号，VIO则可以用于观察和驱动FPGA内部信号，两者可以结合使用

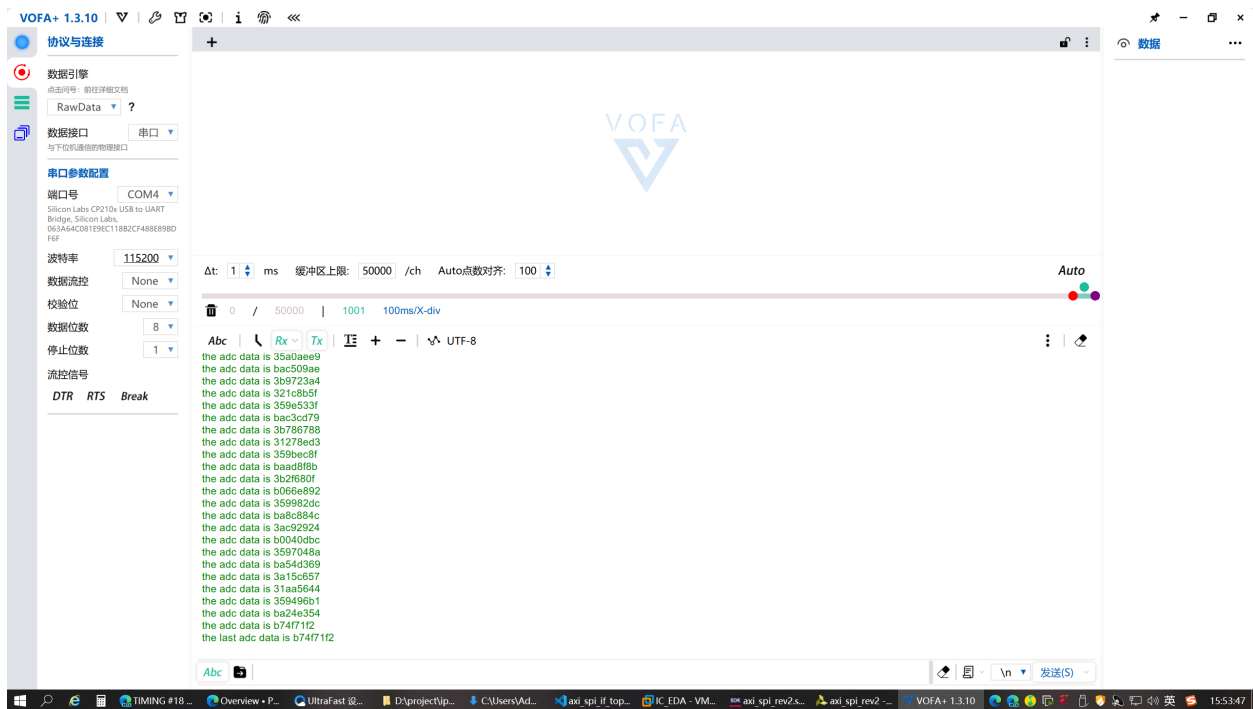
JTAGTOAXI则是用于测试AXI 自定义IP的正确性，通过在上板后向板子传输TCL命令，可以获取到AXI IP内部地址空间的信息，可以适用于AXI-LITE、AXI-FULL、AXI-STREAM协议

验证架构同仿真架构，只是将AXI MASTER换成了ARM CPU，加入软件代码的部分

## 工程验证结果

### 1.加入ARM CPU 通过软件代码控制IP

SPI MASTER外接了一个SPI Slave IP用于模拟实际的ADC工作，可以看到如下图所示，通过AXI可以不断获取到ADC的数据



## 2.JTAGTOAXI通过TCL语句控制IP

### 参考文档

[Resource Utilization for AXI Quad SPI v3.2 \(xilinx.com\).](#)

[pg174-jtag-axi.pdf • 查看器 • AMD 自适应计算文档门户 \(xilinx.com\).](#)

[Verdi操作小结 \(dgrt.cn\).](#)

[Introduction • Vivado Design Suite Tcl Command Reference Guide \(UG835\) • 阅读器 • AMD 自适应计算文档门户 \(xilinx.com\).](#)

[深入 AXI4 总线（O）专栏目录与资料集合 - 知乎 \(zhihu.com\).](#)