



ZB32F103

ARM® Cortex®-M3 32-bit Micro-Controller Datasheet

Version V0.00

6/22, 2022



产品特性

■ ARM® Cortex®-M3 内核

- M3 CPU 最高运行到72MHz
- 内建NVIC.
- 一个24位系统定时器
- 支持低功耗睡眠模式
- 内建单周期32位硬件乘法器,除法器
- 内存保护单元

■ 内置存储器

- 程序执行高达 256 kB 的eFlash
- 4K SRAM Data Retention and 64KB SRAM.
- 16KB boot code 与配置设定.
-

■ 工作条件

- 宽电压工作范围2.5V至5.5V
- 宽工作频率最高至72MHz
- 工作温度: -40° C至+85° C

■ 时钟源

◇ 5路可选时钟源

- 外部4MHz~24MHz高速晶振
- 外部32.768KHz晶振
- 内部8 MHz高速时钟
- 内部低速38.4KHz/32.768KHz时钟
- PLL时钟: Max 192 MHz
- 支持硬件时钟监视

◇ RTC

- 支持RTC计数(秒/分/小时)及万年历功能(日/月/年)
- 支持闹铃功能寄存器(秒/分/小时/日/月/年)
- 支持RTC从Deep Sleep模式唤醒系统

■ 电源管理

- POR,PDR,LVR
- RTC 及后备存储器(4K SRAM) 专用供电区 VBAT
- 三种低功耗工作模式: Sleep、Deep Sleep Mode, standby mode
- 低电压检测, 可配置为中断或复位
- 唤醒@sleep: 所有中断源都可唤醒
- 唤醒@Deep sleep < 2uA: 16 个外部中断GPIO PIN 与 RTC(低速时钟工作)
- 唤醒@standby mode <1uA: wake up PIN,RTC and 4K SRAM 保存数据.

■ 中断



- 嵌套向量中断控制器(NVIC)用于控制240个中断源, 每个中断源可设置为4个优先级
- 支持串行调试(SWD)带2个观察点/4个断点

■ 通用I/O引脚

- 在64-Pin封装下51个I/O
- 5.5V power tolerance .

■ 内置ISP Bootloader

- 支持通过UART 进行程序升级.

■ 定时器/计数器

- 通用定时器:4X16 bits
- 高级定时器:3X16 bits,1X24bits(SysTick)
- 可编程的计数器:1X16 bits
- 看门狗计数器:WWDTX1,IWDTX1
- 基础定时器:2X16bits
- 低功耗定时器:1X16bits

■ 通信接口

- USART1,2,3,USART4,5标准通讯接口, 支持 ISO7816, LIN, IrDA, 支持最高速率 4.5Mbit/s, 其中一个支持 MODEM 控制, 串口带低功耗监听功
- 能并能唤醒 MCU
- 支持低速时钟的超低功耗LPUART
- 3路SPI接口, 其中2路与I2S功能复用, 支持最高24Mbit/S传输速率.
- 2路I2S接口, 支持8KHz~48KHz音频输入
- I2CX2标准通讯接口, 主模式最高支持1Mbps, 从模式最高支持800Kbps
- 1路独立CAN2.0B接口, 支持1Mbit/S传输速率
- -1路独立USB2.0全速接口, 支持12Mbit/S传输速率
- 1路SDIO接口, 支持MMC 4.2规范, 支持SD CARD 2.0规范, 支持SDIO 2.0规范, 支持CE-ATA 1.1规范
- 1路QSPI支持133Mbps,高速访问(XIP)

■ ADCX3

- 12位1Msps采样速率, 12位SAR型ADC
- 24通道: 16路的外部引脚, 1的路内部温度传感器电压, ,3路的OPA输出, 1路的1/3*VDD, 1路的BGR 1.2V, 1路的DAC
- 外部参考电压: VDD,GPIO(PB01) PIN
- 内置参考电压: 2.54V

■ DMAX2 控制器

- 支持16chs: SPI,I2C,USART,Timer,ADC,USB

■ PWM

- 支持最多8个独立出口
- 支持最多3个互补式出口

■ DAC(12-bits)X2

■ 运算放大器(OPA)X3



- 内部温度传感器
- 电压比较器(VCX2) / 低电压检测器(LVD)
- 硬件CRC-16/32模块,AES 硬件单元, TRNG真随机数发生器
- 16字节(128位)的芯片唯一ID (UID)
- 开发工具
 - SWD全功能的嵌入式调试解决方案
- 封装形式:
 - LQFP64/48,QFN48

ZBIT CONFIDENTIAL



目录

产品特性	2
目录	5
图索引	9
表索引	10
【1】 简介.....	11
【2】 描述.....	12
2.1 设备概述.....	12
2.2 内部框图结构.....	14
2.3 总线矩阵.....	15
2.4 引脚定义.....	16
2.5 引脚功能配置.....	18
2.6 引脚复用功能描述.....	21
2.6-1 STMD引脚复用(AFMD=0)	21
2.6-2 PINMD引脚复用(AFMD=1)	26
2.7 模块与引脚信号说明.....	29
2.8 功能简介.....	31
2.8-1 CPU	31
2.8-2 On-Chip Memory	31
2.8-3 CRC 计算单元.....	31
2.8-4 嵌套的向量式中断控制器	31
2.8-5 外部中断/事件控制器(EXTI).....	32
2.8-6 时钟和启动	32
2.8-7 启动模式	32
2.8-8 供电方式	32
2.8-9 电压监控器	32
2.8-10 内置 LDO	32
2.8-11 低功耗模式	33
2.8-12 DMA	33
2.8-13 RTC 和后备寄存器.....	34
2.8-14 定时器	34
2.8-15 I2C 总线	35
2.8-16 通用同步/异步串行收发器.....	35



2.8-17	SPI 接口	37
2.8-18	I2S 接口	37
2.8-19	SDIO	37
2.8-20	QSPI	37
2.8-21	CAN 总线控制器	37
2.8-22	USB 控制器	38
2.8-23	通用 IO 口 (GPIO)	38
2.8-24	ADC	39
2.8-25	DAC	39
2.8-26	温度传感器	39
2.8-27	内置运算放大器(OPA)	40
2.8-28	真随机数发生器 TRNG	40
2.8-29	SWD 调试接口	40
2.8-30	128 位全球唯一 ID	40
【3】	存储器映像	41
3.1	BOOT PIN 存储器映像图	42
【4】	典型应用线路图	43
【5】	电气特性	44
5.1	测试条件	44
5.1-1	最小和最大数值	44
5.1-2	典型数值	44
5.2	绝对最大额定值	45
5.2-1	绝对最大额定值	45
5.2-2	绝对最大额定值	45
5.3	工作条件	46
5.3-1	通用工作条件	46
5.3-2	上电和掉电时的工作条件	46
5.3-3	内嵌复位和电源控制模块特性	47
5.3-4	内置的参考电压	47
5.3-5	供电电流特性	48
5.3-5.1	运行模式下功耗	48
5.3-5.2	睡眠模式下功耗 (Sleep Mode)	52
5.3-5.3	深度睡眠功耗 (DeepSleep Mode)	53
5.3-5.4	待机模式下功耗 (Standby Mode)	54



5.3-5.5	内置外设的功耗 $I_{DD2,Typ}$ (内部RAM中运行)	55
5.3-6	从低功耗模式唤醒的时间	57
5.3-7	外部时钟源特性	58
5.3-7.1	低速外部时钟 LXT	58
5.3-7.2	高速外部时钟 HXT	60
5.3-7.3	PLL 特性	62
5.3-8	内部时钟源特性	63
5.3-8.1	内部 HIRC 振荡器	63
5.3-8.2	内部 SIRC 振荡器	63
5.3-9	Flash 特性	63
5.3-10	电磁敏感特性	64
5.3-10.1	ESD 特性	64
5.3-10.2	静态栓锁 (Static Latch-up)	64
5.3-10.3	EMC 特性	64
5.3-10.3.1	EMS(电磁敏感性)	64
5.3-10.3.2	磁干扰(EMI)	65
5.3-11	I/O Port 特性	66
5.3-11.1	Output特性 — Port PA,PB,PC,PD	66
5.3-11.2	Input特性 — Port PA,PB,PC,PD	67
5.3-11.3	I/O AC 特性 — Port PA,PB,PC,PD	69
5.3-11.4	Port Leakage 特性 — Port PA,PB,PC,PD	71
5.3-11.5	Port外部输入采样要求 — Timer Gate/Timer Clock	71
5.3-12	ADC1/2/3 特性	72
5.3-12.1	ADC 输入阻抗	73
5.3-13	DAC 特性	74
5.3-14	VC 特性	75
5.3-15	OPA 特性	76
5.3-16	TIM 定时器特性	77
5.3-17	SD/SDIO MMC 卡主接口(SDIO)特性	78
5.3-18	USB 接口特性	80
5.3-19	CAN 控制器局域网络接口特性	82
5.3-20	通信接口	82
5.3-20.1	I2C 特性	82
5.3-20.2	SPI 特性	83



5.3-20.3	I2S 特性.....	85
5.3-21	温度传感器特性	87
【6】	封装特性.....	88
6.1	LQFP64 封装.....	88
6.2	丝印说明.....	90
6.2-1	LQFP64.....	90
【7】	型号命名.....	91
【8】	产品选型表.....	92
【9】	版本修订纪录.....	93



图索引

Figure 1 Block Diagram	14
Figure 2 AHB Matrix.	15
Figure 3 ZB32F103 LQFP64	16
Figure 4 ZB32F103 LQFP48/QFN48.	17
Figure 5 存储器映像图	41
Figure 6 B00T PIN 存储器映像图	42
Figure 7 典型应用线路图	43
Figure 8 外部低速时钟源的交流时序图	59
Figure 9 外部高速时钟源的交流时序图	61
Figure 10 PLL 方块图	62
Figure 11 SPI 输入输出交流特性定义	70
Figure 12 ADC 方块图	72
Figure 13 ADC 典型应用图	73
Figure 14 VC1,VC2 方块图	75
Figure 15 OPA1,OPA2 方块图	76
Figure 16 SDIO 高速模式时序图	78
Figure 17 SDIO 默认模式时序图	78
Figure 18 USB 时序: 数据信号上升沿和下降沿定义时序图	80
Figure 19 I2C 时序图	82
Figure 20 SPI 时序图 (主机模式)	84
Figure 21 SPI 时序图 (从机模式 CPHA=0)	84
Figure 22 SPI 时序图 (从机模式 CPHA=1)	84
Figure 23 I2S 时序图 (从机模式)	86
Figure 24 I2S 时序图 (从机模式)	87



表索引

Table 1 ZB32F103 芯片特性与周边配套	13
Table 2 引脚ST MD复用功能说明表.....	20
Table 3 引脚ST MD复用功能说明表.....	25
Table 4 引脚PIN MD复用功能说明表	27
Table 5 模块与引脚信号说明表	30
Table 6 定时器功能比较.....	34

ZBIT CONFIDENTIAL

【1】 简介

ZB32F103 是一款内嵌 32 位 ARM® Cortex®-M3 内核的超低功耗和宽电压工作范围(1.8V~3.6V)的微控制器,最高可运行在 108MHz,内置 高达288 kB 的 SRAM 用于code程序执行使用(0-wait), 64K 字节的 SRAM和DMA2(支持12路),集成了:

- 12b 1Msps High Resolution SAR ADCX3(16 channel)、DACX2(12-bits)
- USB FS Device Controller and PHY
- CANBUSX1、SDIOX1、
- OPAX3、RTC、CMPX2、
- RTC、基础TimerX2,高级TimerX3,通用TimerX4和编成TimerX1
- 多路通信串口: UARTX2、USARTX3,LPUART、SPI/I2SX2、I2CX2
- PWMx (最多可达6个独立出口或3个互补式出口)。

以上等丰富的外设接口,具有高整合度、高抗干扰、高可靠性的特点。

ARM Cortex-M3 是一个 32 位内核,可提供系统增强功能,例如低功耗消耗、增强的调试功能和高水平的支持块集成。这ARM Cortex-M3 CPU 采用 3 级流水线,采用哈佛架构独立的本地指令和数据总线以及用于外围设备的第三条总线,以及包括一个支持推测分支的内部预取单元。ARM Cortex-M3 支持单周期数字信号处理(DSP)和 SIMD 指令。一个硬件浮点处理器集成(FPU)与 MPU20 单元到内核中。

ZB32F103 系列具有宽电压工作范围、低功耗、低待机电流、高集成度外设、高操作效率、快速唤醒及高性价比等优势,广泛适用于下列应用:

三相无刷直流马达,小家电、充电器、遥控器、电子烟、燃气报警器、数显表、温控器、记录仪、电机驱动、智能门锁、智能传感器、智能家居以及智慧城市等。



【2】 描述

2.1 设备概述

		ZB32F103XXX
引脚数		64
GPIO		51
MCU	内核	Cortex M3
	CPU 频率	Max. 72 MHz
Flash		256K Bytes
SRAM		64KB,4KB(data Retention)
PDMA		2(16 ch for SPI,I2C,USART,Timer,ADC)
Timer	基础 (16-bits)	2(TIM10,TIM11)
	通用(16-bits)	4(TIM2,TIM2A,TIM2B,TIM2C)
	高级(16 bits)	3(TIM1,TIM1A,TIM1B)
	编程(16 bits)	1(PCA)
	SysTick(24 bits)	1
	省电(LPTIMER)	1
RTC/SYSTICK/IWDG/WWDG		1/1/1/1
AWK		1
工作电压范围(VDD),VBAT		2~5.5V (2.5~5.5V) , 1.8~3.6V
工作温度		-40~85 ℃
调试功能		SWD
唯一标识符(UID)		16 Byts
通信 界面	UART, USART	2,3
	LPUART	1
	SPI,SPI/I2S	1,2(16/20Mhz)
	QSPI	1
	I2C	2
	SDIO	1
	USB 2.0(FS)	1
	CAN	1
比较器		2
3DES/AES		1/1 (128 bytes)
TRNG		1
CRC16/32		1
内部温度传感器		1
时钟	内部高速晶振	HIRC : 8/24 MHz
	内部低速晶振	SIRC : 32.8/38.4KHz
	外部高速晶振	HXT :4M~24MHz
	外部低速晶振	LXT :32.768MHz



	PLL	PLL: 8M~192Mhz
12 Bits A/D		3(16 CH)
12 BitsDAC		2(2 CH)
VC		2
OPAX3		3
封装		LQFP64/48,QFN48

Table 1 ZB32F103 芯片特性与周边配套

ZBIT CONFIDENTIAL

[illegible]

Figure 1 Block Diagram

2.3 总线矩阵

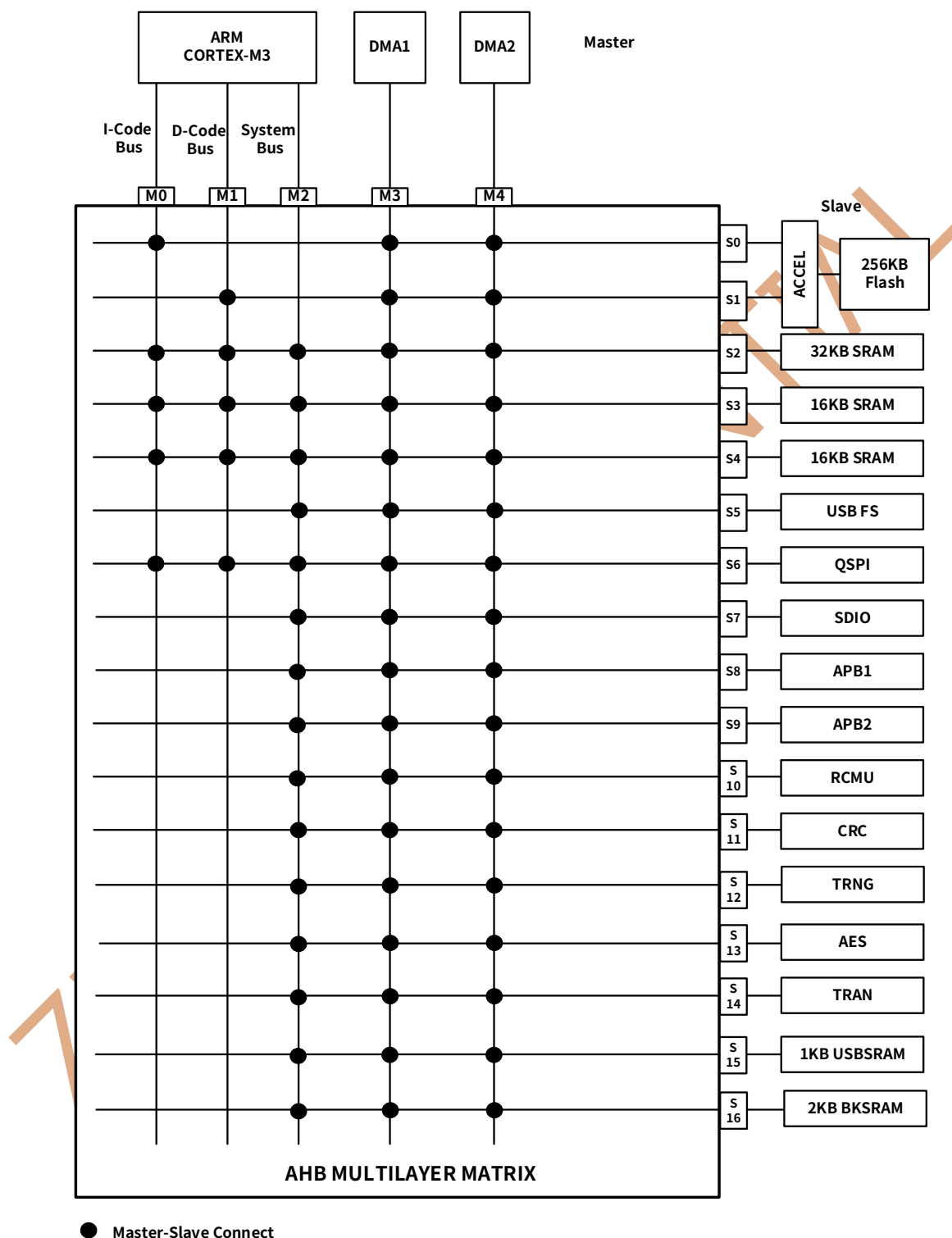


Figure 2 AHB Matrix

2.4 引脚定义

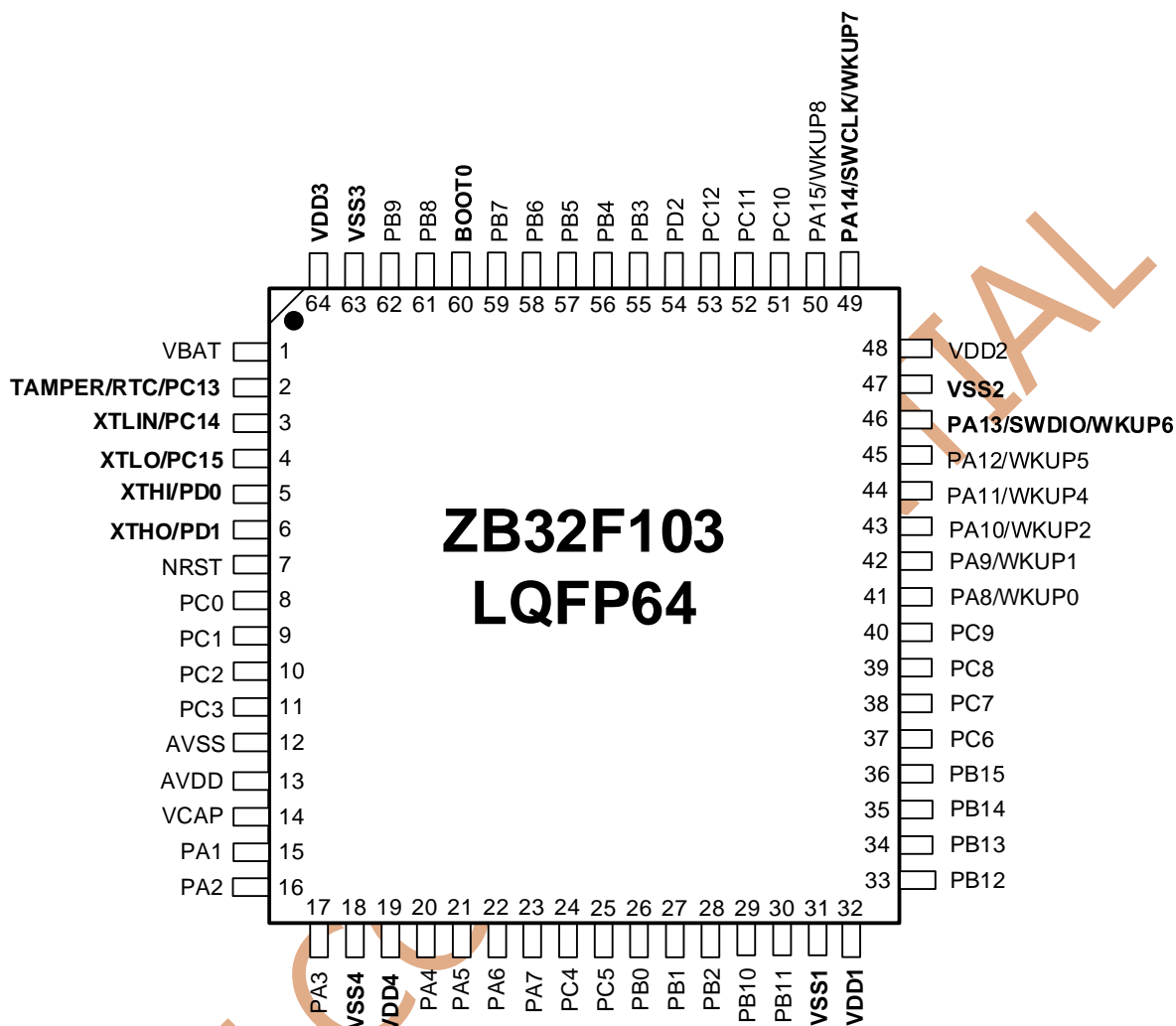


Figure 3 ZB32F103 LQFP64

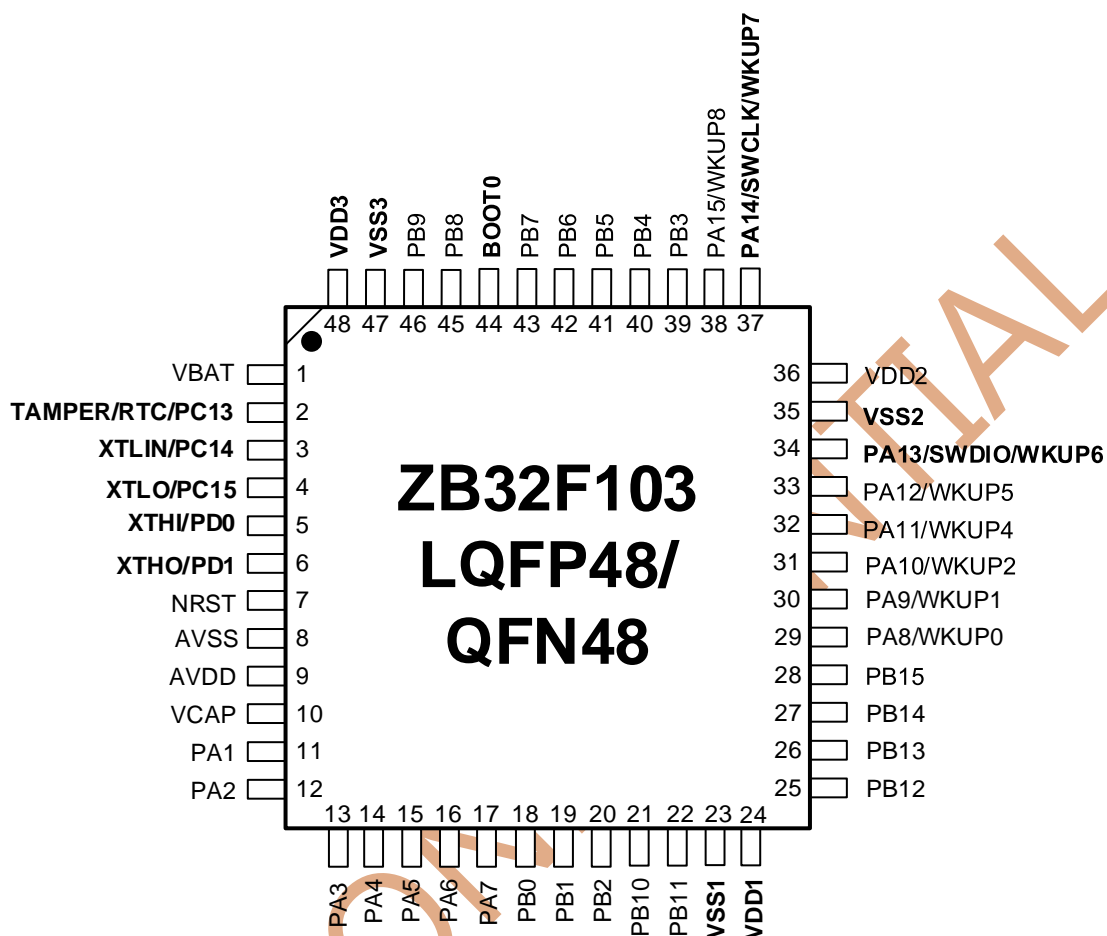


Figure 4 ZB32F103 LQFP48/QFN48



2.5 引脚功能配置

LQFP 64	LQFP QFN 48	Pin name	Type	Main function (after reset)	CONFIG/ WKUP	Default
1	1	VBAT	S	VBAT		
2	2	PC13-TAMPER-RTC	I/O	PC13		
3	3	PC14-OSC32_IN	I/O	PC14		
4	4	PC15-OSC32_OUT	I/O	PC15		
5	5	OSC_IN-PD0	I	OSC_IN		
6	6	OSC_OUT-PD1	O	OSC_OUT		
7	7	NRST	I/O	NRST		
8		PC0	I/O	PC0		ADC123_IN10 /OP3_INP
9		PC1	I/O	PC1		ADC123_IN11 /OP3_INN
10		PC2	I/O	PC2		ADC123_IN12 /OP2_INP
11		PC3	I/O	PC3		ADC123_IN13 /OP2_INN
12	8	VSSA	S	VSSA		
		EXVREF-	S			ADCEXVREF-
		EXCREP+	S			ADCEXVREF+
13	9	VDDA	S	VDDA		
14	10	PA0	I/O	PA0	PA0-WKUP	ADC123_IN0/VCO_NO /VCO_P0/OP1_INP
15	11	PA1	I/O	PA1		ADC123_IN1 /VCO_N1 /VCO_P1/OP1_INN
16	12	PA2	I/O	PA2		ADC123_IN2 /VCO_N2 /VCO_P2/ OP1_INP
17	13	PA3	I/O	PA3		ADC123_IN3 /VCO_N3 /VCO_P3/ OP2_INP
18		VSS_4	S	VSS_4		
19		VDD_4	S	VDD_4		
20	14	PA4	I/O	PA4		ADC12_IN4 /VCO_N4 VCO_P4/ OP2_INN



LQFP 64	LQFP QFN 48	Pin name	Type	Main function (after reset)	CONFIG/ WKUP	Default
21	15	PA5	I/O	PA5		ADC12_IN5 /VC0_N5 VC0_P5/ OP3_INP
22	16	PA6	I/O	PA6		ADC12_IN6 /VC0_N6 /VC0_P6/OP3_INN
23	17	PA7	I/O	PA7		ADC12_IN7/VC0_N7 VC0_P7
24		PC4	I/O	PC4		ADC12_IN14 /VC1_N0 /VC1_P0
25		PC5	I/O	PC5		ADC12_IN15 /VC1_N1 /VC1_P1
26	18	PB0	I/O	PB0		ADC12_IN8 /VC1_N2 /VC1_P2
27	19	PB1	I/O	PB1	PB1-WKUP	ADC12_IN9 /VC1_N3 /VC1_P3
28	20	PB2	I/O	PB2/BOOT1	PB2-WKUP	VC1_N4 /VC1_P4
29	21	PB10	I/O	PB10		VC1_N5 /VC1_P5
30	22	PB11	I/O	PB11		VC1_N6 /VC1_P6
31	23	VSS_1	S	VSS_1		
32	24	VDD_1	S	VDD_1		
33	25	PB12	I/O	PB12		VC1_N7 /VC1_P7
34	26	PB13	I/O	PB13		
35	27	PB14	I/O	PB14		
36	28	PB15	I/O	PB15		
37		PC6	I/O	PC6		
38		PC7	I/O	PC7		
39		PC8	I/O	PC8		
40		PC9	I/O	PC9		
41	29	PA8	I/O	PA8	PA8 -WKUP	



LQFP 64	LQFP QFN 48	Pin name	Type	Main function (after reset)	CONFIG/ WKUP	Default
42	30	PA9	I/O	PA9	PA9 -WKUP	
43	31	PA10	I/O	PA10	PA10 -WKUP	
44	32	PA11	I/O	PA11	PA11 -WKUP	
45	33	PA12	I/O	PA12	PA12 -WKUP	
46	34	PA13	I/O	SWDIO	SWDIO/JTMS/ PA13-WKUP	
47	35	VSS_2	S	VSS_2		
48	36	VDD_2	S	VDD_2		
49	37	PA14	I/O	SWCLK	SWCLK/JTCK/ PA14-WKUP	
50	38	PA15	I/O	PA15	JTDI / PA15-WKUP	
51		PC10	I/O	PC10		
52		PC11	I/O	PC11		
53		PC12	I/O	PC12		
54		PD2	I/O	PD2		
55	39	PB3-WKUP	I/O	PB3	JTDO/ PB3-WKUP	
56	40	PB4	I/O	PB4	JNTRST/ PB4-WKUP	
57	41	PB5	I/O	PB5	PB5-WKUP	
58	42	PB6	I/O	PB6	PB6-WKUP	
59	43	PB7	I/O	PB7	PB7-WKUP	
60	44	BOOT0	I	BOOT0		
61	45	PB8	I/O	PB8		
62	46	PB9	I/O	PB9		
63	47	VSS_3	S	VSS_3		
64	48	VDD_3	S	VDD_3		

Table 2 引脚ST MD复用功能说明表

Note: (1) I= 输入, 0= 输出, S= 电源。



2.6 引脚复用功能描述

ZB32F103选择芯片引脚复用可区分两种模式:

- (1) ST 兼容模式: AFMD=0
- (2) PIN 多选模式: AFMD=1

2.6-1 STMD引脚复用(AFMD=0)

LQFP 64	LQFP 48	Main function (after reset)	Default AFIO_MAP=0	Remap AFIO_MAPR Define
1	1	V _{BAT}		
2	2	PC13	TAMPER-RTC	
3	3	PC14	OSC32_IN	
4	4	PC15	OSC32_OUT	
5	5	OSC_IN		PDO
6	6	OSC_OUT		PD1
7	7	NRST		
8		PC0	ADC123_IN10/ OP3_INP	
9		PC1	ADC123_IN11/ OP3_INN	
10		PC2	ADC123_IN12/ OP2_INP	
11		PC3	ADC123_IN13/ OP2_INN	
12	8	V _{SSA}		
13	9	V _{DDA}		
14	10	PA0	WKUP/USART2_CTS/ADC123_IN0/TIM2_CH1_E TR/TIM2C_CH1/TIM1A_ETR	OP1_INP VCO_N0 VCO_P0
15	11	PA1	USART2_RTS/ADC123_IN1/TIM2C_CH2/TIM2_C H2	OP1_INN VCO_N1 VCO_P1
16	12	PA2	USART2_TX/TIM2C_CH3/ADC123_IN2/TIM2_C H3	VCO_N2 VCO_P2
17	13	PA3	USART2_RX/TIM2C_CH4/ADC123_IN3/TIM2_C H4	VCO_N3 VCO_P3
18		V _{SS_4}		
19		V _{DD_4}		



LQFP 64	LQFP 48	Main function (after reset)	Default AFIO_MAP=0	Remap AFIO_MAPR Define
20	14	PA4	SPI1_NSS/USART2_CK/DAC_OUT1/ADC12_IN4	OP10 VCO_N4 VCO_P4 LPT_TOG
21	15	PA5	SPI1_SCK/DAC_OUT2/ADC12_IN5	VCO_N5 VCO_P5 LPT_TOGN
22	16	PA6	SPI1_MISO/TIM1A_BKIN/ADC12_IN6/TIM2A_CH1	TIM1_BKIN VCO_N6 VCO_P6 TXD_LP
23	17	PA7	SPI1_MOSI/TIM1A_CH1N/ADC12_IN7/TIM2A_CH2	TIM1_CH1N VCO_N7 VCO_P7 RXD_LP
24		PC4	ADC12_IN14	OP30 VC1_N0 VC1_P0 LPT_ETR PCA_ECI
25		PC5	ADC12_IN15	OP20 VC1_N1 VC1_P1 LPT_GATE PCA_CH0
26	18	PB0	ADC12_IN8/TIM2A_CH3/TIM1A_CH2N	TIM1_CH2N VC1_N2 VC1_P2 PCA_CH1 TXD_LP
27	19	PB1	ADC12_IN9/TIM2A_CH4/TIM1A_CH3N	TIM1_CH3N VC1_N3 VC1_P3 PCA_CH2 RXD_LP
28	20	PB2/BOOT1	SCAN_CLK/SMB_BIST_CLK/FB_SCLK/ANAT_CO DE0/USBPHYT_PONRST	VC1_N4 VC1_P4 PCA_CH3



LQFP 64	LQFP 48	Main function (after reset)	Default AFIO_MAP=0	Remap AFIO_MAPR Define
29	21	PB10	I2C2_SCL/USART3_TX/SCAN_IN5/ANAT_CTLI2/ ANAT_CTL02/USBPHYT_BCKPD	TIM2_CH3 VC1_N5 VC1_P5 PCA_CH4
30	22	PB11	I2C2_SDA/USART3_RX/SCAN_OUT0/ANAT_CTL I3/ANAT_CTL03/USBPHYT_RCV	TIM2_CH4 VC1_N6 VC1_P6
31	23	V _{SS_1}		
32	24	V _{DD_1}		
33	25	PB12	SPI2_NSS/I2S2_WS/I2C2_SMBA/USART3_CK/TI M1_BKIN/SCAN_OUT1/ANAT_CTLI4/ANAT_CTL 04/USBPHYT_VOP	VC1_N7 VC1_P7
34	26	PB13	SPI2_SCK/I2S2_CK/USART3_CTS/TIM1_CH1N/ SCAN_OUT2/ANAT_CTLI5/ANAT_CTL05/USBPH YT_VON	
35	27	PB14	SPI2_MISO/TIM1_CH2N/USART3_RTS/SCAN_O UT3/ANAT_CTLI6/ANAT_CTL06/USBPHYT_CK4 8M	
36	28	PB15	SPI2_MOSI/I2S2_SD/TIM1_CH3N/SCAN_OUT4/ ANAT_CTLI7/ANAT_CTL07/USBPHYT_CLK_RDY	
37		PC6	I2S2_MCK/TIM1A_CH1/SDIO_D6/QSPI_BK2_IO 2/ANAT_CTLI14/ANAT_CTL014	TIM2A_CH1
38		PC7	I2S3_MCK/TIM1A_CH2/SDIO_D7/QSPI_BK2_IO 3/ANAT_CTLI15/ANAT_CTL015	TIM2A_CH2
39		PC8	TIM1A_CH3/SDIO_D0/QSPI_BK1_IO0/ANAT_CT LI16/ANAT_CTL016	TIM2A_CH3
40		PC9	TIM1A_CH4/SDIO_D1/QSPI_BK1_IO1/ANAT_CT LI17/ANAT_CTL017	TIM2A_CH4 VC1_0
41	29	PA8	USART1_CK/TIM1_CH1/MCO/SCAN_OUT5/ANA T_CTLI8/ANAT_CTL08	VC1_0
42	30	PA9	USART1_TX/TIM1_CH2/ANAT_CTLI9/ANAT_CT L09	VC1_0



LQFP 64	LQFP 48	Main function (after reset)	Default AFIO_MAP=0	Remap AFIO_MAPR Define
43	31	PA10	USART1_RX/TIM1_CH3/ANAT_CTLI10/ANAT_C TL010	VC0_0/
44	32	PA11	USART1_CTS/USBDM/CAN_RX/TIM1_CH4/ANA T_CTLI11/ANAT_CTL011	VC0_0/
45	33	PA12	USART1_RTS/USBDP/CAN_TX/TIM1_ETR/ANAT _CTLI12/ANAT_CTL012	VC0_0/
46	34	SWDIO	TEST_TDI	PA13
47	35	V _{SS_2}		
48	36	V _{DD_2}		
49	37	SWCLK	TEST_TCK	PA14
50	38	PA15	SPI3_NSS/I2S3_WS/QSPI_BK2_nCS/ANAT_CTLI 13/ANAT_CTL013	TIM2_CH1_ETR/SPI1_NS S/ TIM1B_ETR
51		PC10	UART4_TX/SDIO_D2/QSPI_BK1_IO2/ANAT_CTL I18/ANAT_CTL018	USART3_TX/ TIM1B_CH1
52		PC11	UART4_RX/SDIO_D3/QSPI_BK1_IO3/ANAT_CTL I19/ANAT_CTL019	USART3_RX / TIM1B_CH2
53		PC12	UART5_TX/SDIO_CK/QSPI_CLK/ANAT_CTLI20/ ANAT_CTL020	USART3_CK TIM1B_CH3
54		PD2	TIM2A_ETR/UART5_RX/SDIO_CMD/ QSPI_BK1_nCS	TIM1B_CH4
55	39	PB3	SPI3_SCK/I2S3_CK/SCAN_EN/SMB_RST_L/FB_ SCE/ANAT_CODE1/USBPHYT_OUTCLKSEL	TRACESWO/TIM2_CH2/SP I1_SCK/ TIM1B_BKIN
56	40	PB4	SPI3_MISO/SCAN_RST/SMB_TEST_H/FB_SIO_I/ ANAT_CODE2/USBPHYT_SE	TIM2A_CH1/SPI1_MISO
57	41	PB5	I2C1_SMBAL/SPI3_MOSI/I2S3_SD/SCAN_IN0/S MB_TEST_DONE/FB_SIO_O/ANAT_CODE3/USB PHYT_VI	TIM2A_CH2/SPI1_MOSI
58	42	PB6	I2C1_SCL/TIM2B_CH1/SCAN_IN1/SMB_FAIL_H/ ANAT_CODE4/USBPHYT_OE	USART1_TX/ TIM1B_CH1N



LQFP 64	LQFP 48	Main function (after reset)	Default AFIO_MAP=0	Remap AFIO_MAPR Define
59	43	PB7	I2C1_SDA/TIM2B_CH2/SCAN_IN2/ANAT_CODE 5/USBPHYT_PD	USART1_RX / TIM1B_CH2N
60	44	BOOT0		
61	45	PB8	TIM2B_CH3/SDIO_D4/QSPI_BK2_IO0/SCAN_IN 3/ANAT_CTLI0/ANAT_CTL00/USBPHYT_DPPU	I2C1_SCL/CAN_RX// TIM1B_CH3N
62	46	PB9	TIM2B_CH4/SDIO_D5/QSPI_BK2_IO1/SCAN_IN 4/ANAT_CTLI1//ANAT_CTL01/USBPHYT_DMPU	I2C1_SDA/CAN_TX/
63	47	V _{SS_3}		
64	48	V _{DD_3}		

Table 3 引脚ST MD复用功能说明表



2.6-2 PINMD引脚复用(AFMD=1)

LQFP		GPIO_AFR[i+3:i]									
		0	1	2	3	4	5	6	7	8	9
64	48										
1	1	VBAT									
2	2	PC13									
3	3	PC14	OSC32_IN								
4	4	PC15	OSC32_OUT								
5	5	OSC_IN	PD0								
6	6	OSC_OUT	PD1								
7	7	NRST									
8		PC0									
9		PC1									EVENTOUT
10		PC2									EVENTOUT
11		PC3									EVENTOUT
12	8	VSSA									EVENTOUT
13	9	VDDA									
14	10	PA0	TIM1A_ETR	LPT_ETR	TIM2_CH1_ETR	I2S3_WS/SPI3_NSS	SPI1_NSS	USART2_CTS			EVENTOUT
15	11	PA1		LPT_GATE	TIM2_CH2	I2S3_CK/SPI3_SCK	SPI1_SCK	USART2_RTS			EVENTOUT
16	12	PA2	TIM1A_CH3	LPT_TOG	TIM2_CH3	TXD_LP	SPI3_MISO	SPI1_MISO	USART2_TX	VC1_0	EVENTOUT
17	13	PA3	TIM1A_CH4	LPT_TOGN	TIM2_CH4	RXD_LP	I2S3_SD/SPI3_MOSI	SPI1_MOSI	USART2_RX	VC0_0	EVENTOUT
18		VSS_4									
19		VDD_4									
20	14	PA4	TIM1A_BKIN	TIM1A_CH1			SPI1_NSS		USART2_CK	OP10	EVENTOUT
21	15	PA5	TIM1A_CH1N	TIM1A_CH2		I2C2_SCL	SPI1_SCK				EVENTOUT
22	16	PA6	TIM1_BKIN	TIM1A_BKIN	TIM2A_CH1	I2C2_SDA	SPI1_MISO				EVENTOUT
23	17	PA7	TIM1_CH1N	TIM1A_CH1N	TIM2A_CH2		SPI1_MOSI				EVENTOUT
24		PC4		LPT_ETR				QSPI_BK1_nCS		OP30	
25		PC5		LPT_GATE				QSPI_CLK		OP20	
26	18	PB0	TIM1_CH2N	TIM1A_CH2N	TIM2A_CH3	TXD_LP		QSPI_BK1_I00	UART4_TX		EVENTOUT
27	19	PB1	TIM1_CH3N	TIM1A_CH3N	TIM2A_CH4	RXD_LP		QSPI_BK1_I01	UART4_RX		EVENTOUT
28	20	PB2/BOOT1								USBPHYT_PONRST	EVENTOUT
29	21	PB10	TIM1A_CH1	LPT_TOG	TIM2_CH3	I2C2_SCL	MCO_0	QSPI_BK2_I02	USART3_TX	USBPHYT_BCKPD	EVENTOUT
30	22	PB11	TIM1A_CH2	LPT_TOGN	TIM2_CH4	I2C2_SDA		QSPI_BK2_I03	USART3_RX	USBPHYT_RCV	EVENTOUT
31	23	VSS_1									EVENTOUT
32	24	VDD_1									
33	25	PB12	TIM1_BKIN			I2C2_SMBA	I2S2_WS/SPI2_NSS		USART3_CK	USBPHYT_VOP	EVENTOUT
34	26	PB13	TIM1_CH1N				I2S2_CK/SPI2_SCK	QSPI_BK2_nCS	USART3_CTS	USBPHYT_VON	EVENTOUT
35	27	PB14	TIM1_CH2N				SPI2_MISO	QSPI_BK2_I00	USART3_RTS	USBPHYT_CK48M	EVENTOUT
36	28	PB15	TIM1_CH3N				I2S2_SD/SPI	QSPI_BK2_I		USBPHYT_CL	EVENTOUT



LQFP		GPIO_AFR[i+3:i]									
64	48	0	1	2	3	4	5	6	7	8	9
							2_MOSI	01		K_RDY	
37		PC6	TIM1A_CH1	PCA_ECI	TIM2A_CH1	SDIO_D6	I2S2_MCK	QSPI_BK2_I02	UART4_TX		EVENTOUT
38		PC7	TIM1A_CH2	PCA_CH0	TIM2A_CH2	SDIO_D7	I2S3_MCK	QSPI_BK2_I03	UART4_RX		EVENTOUT
39		PC8	TIM1A_CH3	PCA_CH1	TIM2A_CH3	SDIO_D0		QSPI_BK1_I00			EVENTOUT
40		PC9	TIM1A_CH4	PCA_CH2	TIM2A_CH4	SDIO_D1		QSPI_BK1_I01			EVENTOUT
41	29	PA8	TIM1_CH1	PCA_CH3	TIM2C_CH1			QSPI_BK1_I02	USART1_CK	VC1_0	EVENTOUT
42	30	PA9	TIM1_CH2	PCA_CH4	TIM2C_CH2	SDIO_D2	I2S2_MCK	QSPI_BK1_I03	USART1_TX	VC1_0	EVENTOUT
43	31	PA10	TIM1_CH3		TIM2C_CH3	SDIO_D3	I2S3_MCK	QSPI_CLK	USART1_RX	VCO_0	EVENTOUT
44	32	PA11	TIM1_CH4		TIM2C_CH4	SDIO_CK	CAN_RX	QSPI_BK1_nCS	USART1_CTS	USBDM	EVENTOUT
45	33	PA12	TIM1_ETR			SDIO_CMD	CAN_TX	MCO_0	USART1_RTS	USBDP	EVENTOUT
46	34	PA13/SWDIO / JTMS			RXD_LP	I2C1_SDA	CAN_RX		UART5_RX		EVENTOUT
47	35	VSS_2									
48	36	VDD_2									
49	37	PA14/SWCLK / JTCK			TXD_LP	I2C1_SCL	CAN_TX		UART5_TX	MCO_0	EVENTOUT
50	38	PA15/JTDI	TIM1B_ETR		TIM2_CH1_ETR	SDIO_D2	I2S3_WS/SPI3_NSS	QSPI_BK2_nCS		VCO_0	EVENTOUT
51		PC10	TIM1B_CH1			SDIO_D3	UART4_TX	QSPI_BK1_I02	USART3_TX		EVENTOUT
52		PC11	TIM1B_CH2	PCA_ECI		SDIO_CK	UART4_RX	QSPI_BK1_I03	USART3_RX		EVENTOUT
53		PC12	TIM1B_CH3	PCA_CH0		SDIO_CMD	UART5_TX	QSPI_CLK	USART3_CK		EVENTOUT
54		PD2	TIM1B_CH4	PCA_CH1	TIM2A_ETR		UART5_RX	QSPI_BK1_nCS			EVENTOUT
55	39	PB3/JTDO	TIM1B_BKIN	TRACESWO	TIM2_CH2	I2C1_SCL	I2S3_CK/SPI3_SCK			USBPHYT_OTCLKSEL	EVENTOUT
56	40	PB4/JNTRST	TIM1B_ETR		TIM2A_CH1	I2C1_SDA	SPI3_MISO			USBPHYT_SE	EVENTOUT
57	41	PB5	TIM1B_CH1		TIM2A_CH2	I2C1_SMBAL	I2S3_SD/SPI3_MOSI			USBPHYT_VI	EVENTOUT
58	42	PB6	TIM1B_CH1N		TIM2B_CH1	I2C1_SCL			USART1_TX	USBPHYT_OE	EVENTOUT
59	43	PB7	TIM1B_CH2N	PCA_CH2	TIM2B_CH2	I2C1_SDA			USART1_RX	USBPHYT_PD	EVENTOUT
60	44	BOOT0									
61	45	PB8	TIM1B_CH3N	PCA_CH3	TIM2B_CH3	I2C1_SCL	CAN_RX	QSPI_BK2_I00	SDIO_D4	USBPHYT_DPPU	EVENTOUT
62	46	PB9		PCA_CH4	TIM2B_CH4	I2C1_SDA	CAN_TX	QSPI_BK2_I01	SDIO_D5	USBPHYT_DMPU	EVENTOUT
63	47	VSS_3									
64	48	VDD_3									

Table 4 引脚PIN MD复用功能说明表



Note: GPIO_AFR[j+3:i]=4' hF : Input Buffer Disable (High Impedence)

ZBIT CONFIDENTIAL



2.7 模块与引脚信号说明

模块功能	引脚名称	说明
Power	VDD	电源
	AVDD	电源
	VCAP	LD0 内核供电 (仅限内部电路使用, 外部连接电容至少1uf)
Ground	VSS	接地
	AVSS	接地
GPIO (x=0~15)	PAX,PBX,PCx,PDx	PAX通用数字输入/输出引脚
NRST	NRST	复位输入端口, 低有效, 芯片复位
ADC	ADC123_IN0~ADC123_IN3 ADC12_IN4~ADC12_IN9 ADC123_IN10~ADC123_IN13 ADC12_IN14~IN15	ADC1,2,3 输入通道0~15
	EXVREF	ADC 外部参考电压
OPA X=0,1,2	OPx_INN	OPA负端输入
	OPx_INP	OPA负端输入
	OPx_O	OPA 输出
VC X=0,1	VCxN0~VCxN11	选择VC0,VC1 负端输入
	VCxP0~VCxP11	选择VC0,VC1 正端输入
	VCx_O	VC0,VC1比较输出
LVD	LVDIN0	电压侦测输入选择0
	LVDIN1	电压侦测输入选择1
	LVDIN2	电压侦测输入选择2
	LVD_O	电压侦测输出
ISP	BOOT0	当复位时BOOT0(PD03)管脚为高电平, 芯片工作于ISP编程模式, 可通过ISP协议对FLASH进行编程。 当复位时BOOT0(PD03)管脚为低电平, 芯片工作于用户模式, 芯片执行FLASH内的程序代码, 可通过SWD协议对FLASH进行编程。
WKUP	WKUP_0~WKUP_5	外部唤醒脚位
LPUART	CTS_LP	LPUART CTS
	RTS_LP	LPUART RTS
	TXD_LP	LPUART 数据发送端
	RXD_LP	LPUART 数据接收端
USART x=1,2,3 UART Y=4,5	CTS_x	USARTx CTS
	RTS_x	USARTx RTS
	CK_x	USARTx 同步时钟
	TXD_x	USARTx ,USARTy数据发送端
	RXD_x	USARTx, USARTy 数据接收端
SPI x=1	MISO_x	SPI模块主机输入从机输出数据信号
	MOSI_x	SPI模块主机输出从机输入数据信号



模块功能	引脚名称	说明
	SCK_x	SPI模块时钟信号
	NSS_x	SPI片选择致能
I2C x=0,1	SDA_x	I2C模块数据信号
	SCL_x	I2C模块时钟信号
通用定时器 TIMx X=2,3,4,5,	Tx_CH1,2,3,4	Timer x的捕获输入/比较输出/PWM输出 Ch1,2,3,4
	Tx_ETR	Timerx的外部计数输入信号
可编程计数阵列 PCA	PCA_ECI	外部时钟输入信号
	PCA_CH0~PCA_CH4	捕获输入/比较输出/PWM输出 0~4
高级定时器 Advanced TIMX X=1,8,12,	TIMX_CH1,2,3,4	TIMX PWM 输出 channel 1/2/3/4
	TIMX_CH1N,2N,3N,4N	TIMX PWM 输出 反相channel 1N/2N/3N/4N
	TIMX_BKIN	TIMX 刹车信号输入
	TIMX_CH1,2,3,4	TIMX PWM 输出 channel 1/2/3/4
	TIMX_CH1N,2N,3N,4N	TIMX PWM 输出 反相channel 1N/2N/3N/4N
	TIMX_BKIN	TIMX 刹车信号输入
	TIMX_CH1,2,3,4	TIMX PWM 输出 channel 1/2/3/4
	TIMX_CH1N,2N,3N,4N	TIMX PWM 输出 反相channel 1N/2N/3N/4N
低功耗定时器 LPTimer	LP_ETR	LP Timer的外部计数输入信号
	LP_GATE	LP Timer的门控信号
	LP_TOG	比较输出正端
	LP_TOGN	比较输出负端
SPI/I2S x=2,3	MISO_x/I2S	SPI模块主机输入从机输出数据信号
	MOSI_x/I2S_SD	SPI模块主机输出从机输入数据信号
	SCK_x/I2S_CK	SPI模块时钟信号
	NSS_x/I2Sx_WS	SPI片选择致能
SDIO	SDIO_CLK	Host-to-card clock signal
	SDIO_CMD	Bidirectional command and response signal
	SDIO_D0~D7	Bidirectional data signal (1-bit, 4-bit, or 8-bit MMC Cards; 1-bit or 4-bit in SD cards)
USB	USBDP,USBDM	USB D+ and D- Signal
	USBPHYT_XXX	USB PHY test mode pin
CAN	CAN_TX	CAN BUS Transmit Signal(发送端)
	CAN_RX	CAN BUS Receive Signal(接收端)

Table 5 模块与引脚信号说明表

2.8 功能简介

2.8-1 CPU

ZB32F103集成最新一代的嵌入式ARM Cortex® -M3 32位处理器内核带有MPU.

Cortex-M3内核的主要特点有

- ARMv7E-M架构
- 三层管线以及分支预测
- 指令集：
 - 32-bit硬件整数乘法, 乘积32/64-BIT. 32-bit乘法及乘积累加 (MAC) 是一个周期.
 - 32-bit硬件整数除法 (2 – 12周期)
 - 支援饱和运算
- 12 个周期的中断延迟
- 整合休眠模式

2.8-2 On-Chip Memory

- 高达256/512 KB 闪存存储器, 用于存放程序和数据.
- 高达64KB SRAM,可操作在Max. 72MHz.

2.8-3 CRC 计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器, 从一个 32 位的数据字产生一个 CRC 码。在众多的应用中, 基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内, 它提供了一种检测闪存存储器错误的手段, CRC 计算单元可以用于实时地计算软件的签名, 并与在链接和生成该软件时产生的签名对比。

2.8-4 嵌套的向量式中断控制器

- 内置嵌套的向量式中断控制器, 能够处理多达 60 个可屏蔽中断通道(不包括 16 个 Cortex™-M3 的中断线)和16 个优先级
- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复, 无需额外指令开销
- 该模块以最小的中断延迟提供灵活的中断管理功能。

2.8-5 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 19 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。多达 51 个通用 I/O 口连接到 16 个外部中断线。

2.8-6 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 8MHz 的 RC 振荡器被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4~16MHz 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的 RC 振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 和高速 APB 的最高频率是 72MHz，低速 APB 的最高频率为 48MHz。

2.8-7 启动模式

在启动时，通过自举引脚可以选择两种自举模式中的一种：

- 从程序闪存存储器启动。
- 从系统存储器启动。
- 从内部SRAM启动。

自举加载程序(Bootloader)存放于系统存储器中，可以通过 USART1 对闪存重新编程。

2.8-8 供电方式

VDD = 2.5~5.5V: VDD 引脚为 I/O 引脚和内部调压器供电。

- VSSA, VDDA = 2.5~5.5 V: 为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分提供供电。使用 ADC 时，VDDA 不小于 2.0V。VDDA 和 VSSA 分别连接到 VDD 和 VSS。
- VBAT = 1.8~3.6V: 当关闭 VDD 时，(通过内部电源切换器)为 RTC、外部 32kHz 振荡器和后备寄存器供电。

2.8-9 电压监控器

内部集成上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 2.3V 时工作；当 VDD 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。器件中还有一个可编程电压监测器(PVD)，它监视 VDD/VDDA 供电并与阈值 VPVD 比较，当 VDD 低于或高于阈值 VPVD 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.8-10 内置 LDO

内置 LDO 有三个操作模式：主模式(NR)、低功耗模式(LPR)和关断模式

- 主模式(MR): 用于正常的运行操作
- 低功耗模式(LPR)用于 CPU 的停机模式
- 关断模式用于 CPU 的待机模式: 调压器的输出为高阻状态, 内核电路的供电切断, 调压器处于零消耗状态(但寄存器和 SRAM 的内容将丢失)
- 内置 LDO 在复位后始终处于工作状态, 在待机模式下关闭处于高阻输出。

2.8-11 低功耗模式

ZB32F103 系列产品支持三种低功耗模式以及关机模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 休眠模式(Sleep Mode): 在睡眠模式, 只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。
- 深度休眠模式(DeepSleep Mode): 在保持 SRAM 和寄存器内容不丢失的情况下, 深度休眠模式可以达到最低的电能消耗。在深度休眠模式下 PLL、HXT 的 RC 振荡器和 HSE 晶体振荡器被关闭, 调压器(LDO)可以被置于低功耗模式。可以通过任一配置成 EXTI 的信号把微控制器从深度休眠模式中唤醒, All EXTI 信号、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。
- 待机模式(Standby mode):
在待机模式下可以达到最低的电能消耗。内部的电压调压器(LDO)被关闭, 因此所有内部 1.2/2.5V 部分的供电被切断; PLL、HXT 的 RC 振荡器和 HSE 晶体振荡器也被关闭; 进入待机模式后, SRAM 和寄存器的内容将消失, 但后备寄存器(4K SRAM)的内容仍然保留, 待机电路仍工作。
从待机模式退出的条件是: NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时。在进入待机模式时, RTC 对应的时钟不会被停止。

2.8-12 DMA

16 通用 DMA(DMA1 上有 8 个通道, DMA2 上有 8 个通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输; 2 个 DMA 控制器支持环形缓冲区的管理, 避免了控制器传输到达缓冲区结尾时所产生的中断。每个通道都有专门的硬件 DMA 请求逻辑, 同时可以由软件触发每个通道; 传输的长度、传输的源地址和目标地址都可以通过软件单独设置。DMA 可以用于主要的外设: SPI、QSPI、I2C、USART, 通用、基本和高级控制定时器 TIMx, DAC、I2S、SDIO, CAN, USB 和 ADC。

2.8-13 RTC 和后备寄存器

RTC 和后备寄存器通过一个开关供电，在 VDD 有效时该开关选择 VDD 供电，否则由 VBAT 引脚供电。后备寄存器(64 个 16 位的寄存器)可以用于在关闭 VDD 时，保存 4K SRAM 的用户应用数据。RTC 和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC 的驱动时钟可以是一个使用外部晶体的 32.768kHz 的振荡器、内部低功耗 RC 振荡器或高速的外部时钟经 128 分频。内部低功耗 RC 振荡器的典型频率为 32.768kHz。为补偿天然晶体的偏差，可以通过输出一个 512Hz 的信号对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768kHz 时，它将产生一个 1 秒长的时间基准。

2.8-14 定时器

包含 3 个高级控制定时器、4 个普通定时器和 2 个基本定时器，以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、普通定时器和基本定时器的功能。

定时器	计数器位宽	计数类型	预分频系数	DMA 功能	捕获 / 比较通道	互补输出
TIM1 TIM1A TIM1B	16	向上，向下， 向上/下	1~65536	可以	4	有
TIM2 TIM2A TIM2B TIM2C	16	向上，向下， 向上/下	1~65536	可以	4	没有
TIM10 TIM11	16	向上	1~65536	可以	0	没有

Table 6 定时器功能比较

三个高级控制定时器(TIM1, TIM1A, TIM1B)可以被看成是分配到 6 个通道的三相 PWM 发生器它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器(TIMx) 内置多达 4 个可同步运行的标准定时器(TIM2、TIM2A、TIM2B 和 TIM2C)。每个定时器都有一个 16 位的自动加载递增/递减计数器，一个 16 位的预分频器和 4 个独立的信道，每个信道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出，最大可提供最多达 16 个输入捕获、输出比较或 PWM 通道。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

基本定时器-TIM10 和 TIM11 这 2 个定时器主要是用于产生 DAC 触发信号，也可当成通用的 16 位时基计数器。独立看门狗 独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 32.768kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。窗口看门狗 窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.8-15 I2C 总线

多达 2 个 I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。

内置了硬件 CRC 发生器/校验器。它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

2.8-16 通用同步/异步串行收发器

内置 3 个通用同步/异步收发器(USART1、USART2 和 USART3)，和 2 个通用异步收发器(UART4 和 UART5)。这 5 个接口提供异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

- USART1 接口通信速率可达 4.5 兆位/秒，其他接口的通信速率可达 2.25 兆位/秒。



- USART1、USART2 和 USART3 接口具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类 SPI 通信模式，除了 UART5 之外所有其他接口都可以使用 DMA 操作。
- 所有的 UART 和 USART 支持低功耗工作模式，在停机状态时继续保持对串口接收的监听，并在收到完整数据时有条件的唤醒处理器。

ZBIT CONFIDENTIAL

2.8-17 SPI 接口

多达 3 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 24 兆位/秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生/校验支持基本的 SD 卡和 MMC 模式。所有的 SPI 接口都可以使用 DMA 操作。

2.8-18 I2S 接口

2 个标准的 I2S 接口(与 SPI2 和 SPI3 复用)可以工作于主或从模式，这 2 个接口可以配置为 16 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8kHz 到 48kHz。当任一个或两个 I2S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC(解码器)。

2.8-19 SDIO

位和 8 位。在 8 位模式下，该接口可以使数据传输速率达到 48MHz，该接口兼容 SD 存储卡规范 2.0 版。

SDIO 存储卡规范 2.0 版支持两种数据总线模式：1 位(默认)和 4 位。

这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。在启动时，通过自举引脚可以选择两种自举模式中的一种。

2.8-20 QSPI

内置 Quad-SPI 存储器接口，专为连接 Single, Dual 或 Quad-SPI Flash，可以工作在如下模式：

- 通过寄存器直接访问模式
- 扩展 FLASH 状态寄存器轮询模式
- Memory Map 模式 .(XIP)

支持到 256M 字节的外扩 Flash 的 Memory Map，支持 8，16 和 32 位访问和代码执行。操作码和帧格式完全可编程，既可单速也可双速。

2.8-21 CAN 总线控制器

CAN 接口兼容规范 2.0A 和 2.0B(主动)，位速率高达 1 兆位/秒。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。在启动时，通过自举引脚可以选择两种自举模式中的一种。



2.8-22 USB 控制器

内嵌一个兼容全速 USB 的设备控制器, 遵循全速 USB 设备(12 兆位/秒)标准, 端点可由软件配置, 具有待机/唤醒功能。USB 专用的 48MHz 时钟由内部主 PLL 直接产生(时钟源必须是一个 HSE 晶体振荡器)。

2.8-23 通用 IO 口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共享。除了具有模拟输入功能的端口, 所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下, I/O 引脚的外设功能可以通过一个特定的操作锁定, 以避免意外的写入 I/O 寄存器。在 APB2 上的 I/O 脚可达 24MHz 的翻转速度。

2.8-24 ADC

内嵌 3 个 12 位的模拟/数字转换器(ADC)，每个 ADC 共享多达 16 个外部通道，可以实现单次或扫描转换。

在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC 接口上的其它逻辑功能包括：

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。由标准定时器(TIMx)和高级控制定时器(TIM1 和 TIM1A)产生的事件，可以分别内部级联到 ADC 的开始触发和注入触发，应用程序能使 AD 转换与时钟同步。

2.8-25 DAC

2 个 12 位带缓冲的 DAC 通道可以用于转换 2 路数字信号成为 2 路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。这个双数字接口支持下述功能：

- 2 个 DAC 转换器：各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 通道独立或同步转换
- 每个信道都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压 VREF+

有 8 个触发 DAC 转换的输入。DAC 通道可以由定时器的更新输出触发，更新输出也可连接到不同的 DMA 通道。

2.8-26 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2.5V < VDDA < 3.6V$ 之间。温度传感器在内部被连接到 ADC 输入通道上，用于将传感器的输出转换到数字数值。



2.8-27 内置运算放大器(OPA)

内置 3 路轨到轨运算放大器。

2.8-28 真随机数发生器 TRNG

内置 32 位真随机数发生器，用内置模拟电路实现。

2.8-29 SWD 调试接口

提供 ARM 的标准 SWD 接口，默认复位后 SWDIO 和 SWCLK 用于调试功能，也可以由内部程序关闭调试接口以释放对应 IO 口的 IO 功能。

2.8-30 128 位全球唯一 ID

内置 128 位全球唯一 ID，以区别每一片单片机。



【3】 存储器映像

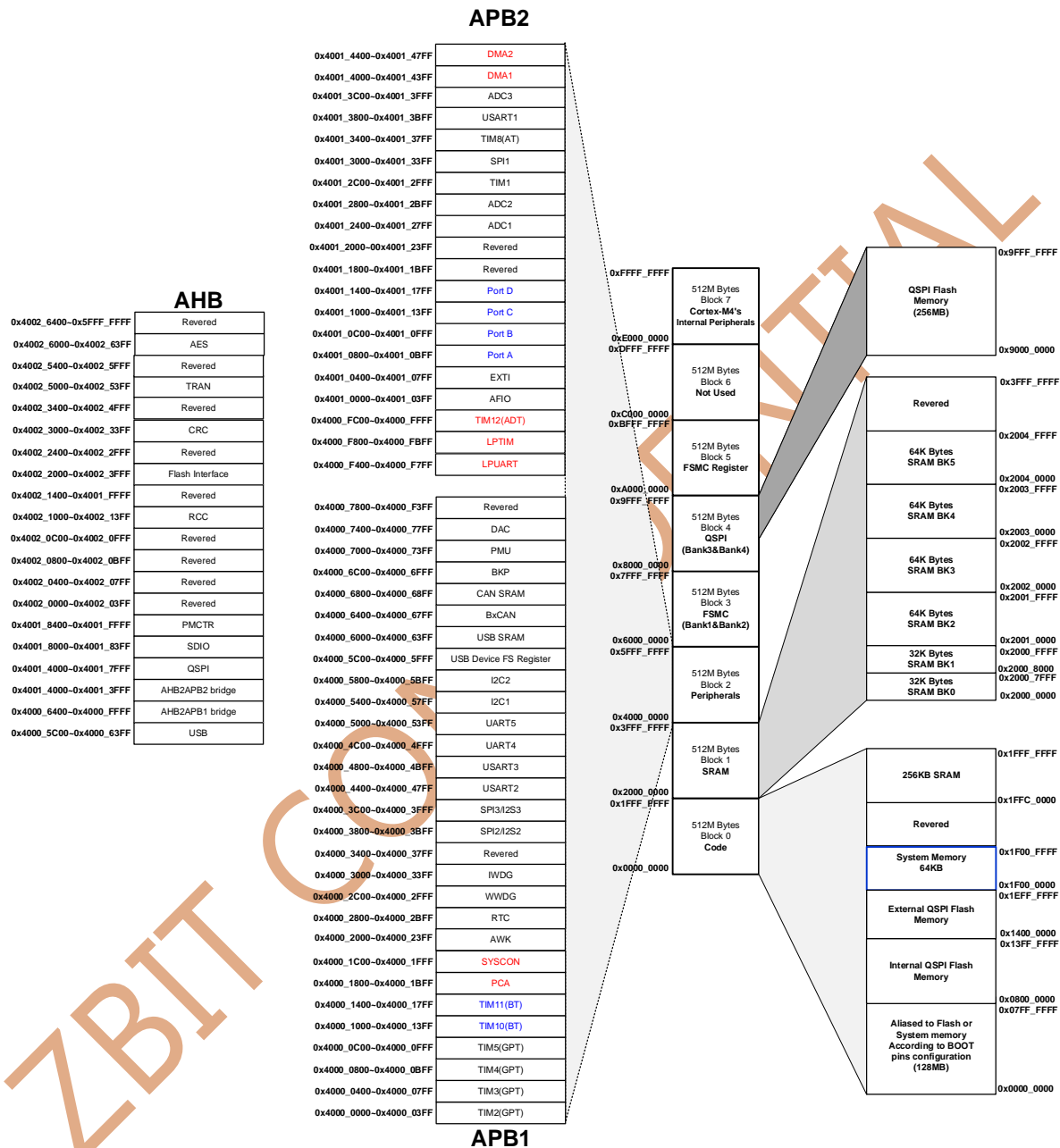


Figure 5 存储器映像图

3.1 BOOT PIN 储存器映像图

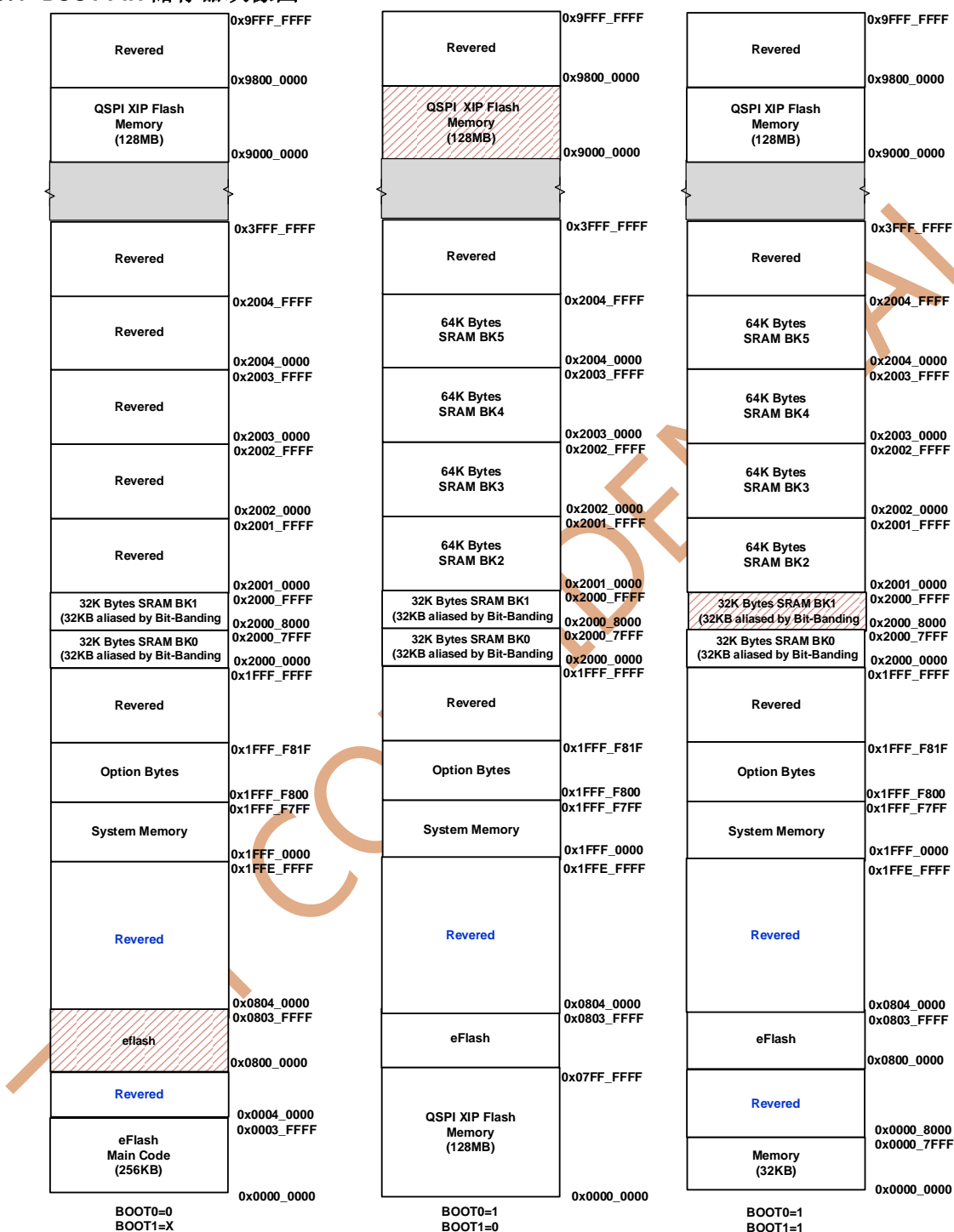


Figure 6 BOOT PIN 储存器映像图

【4】 典型应用线路图

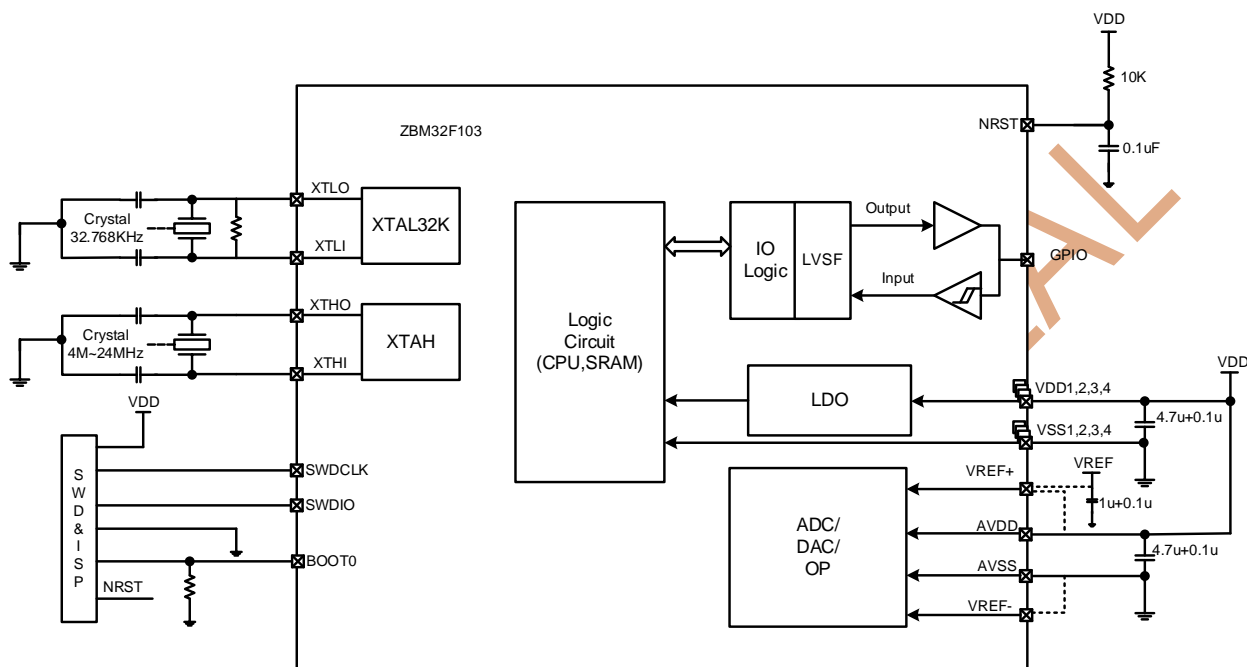


Figure 7 典型应用线路图



【5】 电气特性

5.1 测试条件

除非特别说明，所有的电压都以 VSS 为基准。

5.1-1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{\text{op,Max}}$ 下执行的测试 ($T_{\text{op,Max}}$ 与选定 Part Number 所对应的的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$) 得到。

5.1-2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $VDD=3.3V(2.5V \leq VDD \leq 5.5V)$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95% 产品的误差小于等于给出的数值(平均 $\pm 2\sigma$)

5.2 绝对最大额定值

5.2-1 绝对最大额定值

符号	参数描述	条件	最小值	典型值	最大值	单位
VDD-VSS	外部电源电压		2.5		5.5	V
AVDD-AVSS						
V _{IO}	IO 的电压		-0.3		VDD+0.3	V
T _{STG}	存储温度		-40	25	150	°C
T _{OP}	工作温度		-40	25	85	°C
F _{CPU}	CPU 工作频率		32.768K	12M	72M	Hz
V _{ESD, HBM}	参见5.3.12					
V _{ESD, CDM}	参见5.3.12					
V _{ESD, MM}	参见5.3.12					

5.2-2 绝对最大额定值

符号	条件	描述	最大值	单位
IVDD		经过VDD/VDDA 电源线的总电流(供应电流)		mA
IVSS		经过VSS 地线的总电流(流出电流)		
I _{IO}		任意I/O 和控制引脚上的输出灌电流		
		任意I/O 和控制引脚上的输出电流		
I _{INJ} (PIN)		NRST 引脚的注入电流	+/-5	
		HSE 的OSC_IN 引脚和LSE 的OSC_IN 引脚的注入电流	+/-5	
		其他引脚的注入电流	+/-5	
Σ I _{INJ} (PIN)		所有I/O 和控制引脚上的总注入电流	+/-25	

注意

1. 温度测试方：CP 阶段测试高温 85° C，低温-40° C 和高温 85° C 的 chip level 测试仅在实验室和 Production Quality Qualification 时测试
2. 频率测试方法：CP 阶段测试 108MHz 频率，Final Test 只关注于封装工艺的缺陷

5.3 工作条件

5.3-1 通用工作条件

符号	参数描述	条件	最小值	最大值	单位
F_{HCLK}	内部 AHB 时钟频率			72	MHZ
F_{PCLK1}	内部 APB1 时钟频率			48	MHZ
F_{PCLK2}	内部 APB2 时钟频率			72	MHZ
VDD	电源电压	-	2.5	3.6	V
VDDA	电源电压	-	2.5	3.6	V
VBAT	Backup operating voltage		1.8	3.6	V
Vin	I/O input voltage	All GPIO	-0.3	5.5	V
TA	环境温度	最大功率消耗	-40	85	° C
		低功率消耗	-40	105	° C
TJ	结温度范围		-40	105	° C

注意:

1. 推荐工作条件是确保半导体芯片正常工作的条件。在推荐工作条件的范围内, 电气特性的所有规格值均可得到保证。务必在推荐工作条件下使用半导体芯片。超出该条件的使用可能会影响半导体的可靠性。
2. 对于本数据手册中未记载的项目、使用条件或逻辑组合的使用, 本公司不做任何保障。如果用户考虑在所列条件之外使用本芯片, 请事前联系销售代表。

5.3-2 上电和掉电时的工作条件

符号	参数	条件	最小值	典型值	最大值	单位
V_{POR} V_{BOR}	POR 释放电压(上电过程) BOR 检测电压(掉电过程)		2.2	2.25	2.3	V
tr_{VDD}	VDD 上升速率		0		∞	us/V
tf_{VDD}	VDD 下降速率		20		∞	us/V

注: 由设计保证, 不在生产中测试



5.3-3 内嵌复位和电源控制模块特性

注：数据基于考核结果，不在生产中测试

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择 (LVD)	PLS[3: 0]=0000(上升沿)				V
		PLS[3: 0]=0000(下降沿)		4.4		
		PLS[3: 0]=0001(上升沿)				
		PLS[3: 0]=0001(下降沿)		3.95		
		PLS[3: 0]=0010(上升沿)				
		PLS[3: 0]=0010(下降沿)		3.6		
		PLS[3: 0]=0011(上升沿)				
		PLS[3: 0]=0011(下降沿)		3.3		
		PLS[3: 0]=0100(上升沿)				
		PLS[3: 0]=0100(下降沿)		3.0		
		PLS[3: 0]=0101(上升沿)				
		PLS[3: 0]=0101(下降沿)		2.8		
		PLS[3: 0]=0110(上升沿)				
		PLS[3: 0]=0110(下降沿)		2.6		
		PLS[3: 0]=0111(上升沿)				
		PLS[3: 0]=0111(下降沿)		2.45		
$V_{PVDhyst}$	PVD hysteresis			100		mV
$V_{POR/PDR}$	Power on /power down Reset threshold	Falling edge		2.25		V
		Rising edge		2.2		V
V_{PDRhys}	PDR hysteresis			50		mV
TRSTT EMPO	复位持续时间			20		ms

5.3-4 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{1.2}$	Internal 1.2V Reference Voltage	常 温 25° C 3.3V	$1.2*(1-1\%)$	1.2V	$1.2*(1+1\%)$	V
$V_{1.2}$	Internal 1.2V Reference Voltage	-40~85° C; 2.8~5.5V	$1.2*(1-2\%)$	1.2V	$1.2*(1+2\%)$	V[1]
$V_{2.048}$	Internal 2.048V Reference Voltage	常 温 25° C 3.3V	$2.54*(1-1\%)$	2.54V	$2.54*(1+1\%)$	V
$V_{2.048}$	Internal 2.048V Reference Voltage	-40~85° C; 2.8~5.5V	$2.54*(1-2\%)$	2.54V	$2.54*(1+2\%)$	V[1]
T_{Coeff}	温度系数				100	ppm/° C



注：1. 数据基于测试分析结果,不在生产中测试。

5.3-5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到 Dhrystone2.1 代码等效的结果。

除非特别说明，下表列出的参数是按照 Table 7 的条件测量得到。最大电流消耗微控制器处于下列条件：

- 所有的I/O 引脚都处于输入模式，并连接到一个静态电平上——VDD或VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 fHCLK 的频率(0~24MHz时为0 个等待周期，超过48MHz时为1 个等待周期,超过72MHz时为2 个等待周期,.)。
- 内部SRAM存储器的访问时间调整到 fHCLK 的频率(0~72MHz时为0 个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。

当开启外设时：F_{PCLK1} = F_{HCLK}/2，F_{PCLK2} = F_{HCLK}

5.3-5.1 运行模式下功耗

符号	参数	条件			典型值	最大值	单位
I _{DD} (Run Mode in RAM)	All Peripherals clock OFF, Run while(1) in RAM	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HIRC=8M, PLL=192Mhz, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	72MHz			mA
				48MHz			
				36MHz			
				24MHz			
				16MHz			
				8MHZ			
	All Peripherals clock OFF, Run while(1) in RAM	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HXT=8M, PLL=192Mhz, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	72MHz			mA
				48MHz			
				36MHz			
				24MHz			
				16MHz			
				8MHZ			
	All Peripherals clock ON, Run while(1) in RAM	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HIRC=8M, PLL=192Mhz, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	72MHz			mA
				48MHz			
				36MHz			
				24MHz			
				16MHz			
				8MHZ			



符号	参数	条件			典型值	最大值	单位
	All Peripherals clock ON, Run while(1) in RAM	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=192Mhz, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$,	72MHz 48MHz 36MHz 24MHz 16MHz 8MHz			mA
I_{DD} (Run Mode in FLASH)	All Peripherals clock ON, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HIRC=8M, PLL=192Mhz, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$,	72MHz 48MHz 36MHz 24MHz 16MHz 8MHz			mA
	All Peripherals clock OFF, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=192Mhz, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$,	72MHz 48MHz 36MHz 24MHz 16MHz 8MHz			mA
	All Peripherals clock ON, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HIRC=8M, PLL=192Mhz, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$,	72MHz 48MHz 36MHz 24MHz 16MHz 8MHz			mA
	All Peripherals clock OFF, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=192Mhz, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$,	72MHz 48MHz 36MHz 24MHz 16MHz 8MHz			mA

符号	参数	条件			典型值	最大值	单位
I_{DD} (Run Mode in RAM)	All Peripherals clock OFF, Run while(1) in RAM	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HIRC=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$,	4MHz 2MHz 1MHz 500KHz			mA



符号	参数	条件			典型值	最大值	单位
			$f_{HCLK} = f_{PCLK2}$	125KHz			
				--			
	All Peripherals clock OFF, Run while(1) in RAM	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$	4MHz			mA
				2MHz			
				1MHz			
				500KHz			
				125KHz			
				--			
	All Peripherals clock ON, Run while(1) in RAM	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HIRC=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$	4MHz			mA
				2MHz			
				1MHz			
				500KHz			
				125KHz			
				--			
	All Peripherals clock ON, Run while(1) in RAM	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$	4MHz			mA
				2MHz			
				1MHz			
				500KHz			
				125KHz			
				--			
I_{DD} (Run Mode in FLASH)	All Peripherals clock ON, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HIRC=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$	4MHz			mA
				2MHz			
				1MHz			
				500KHz			
				125KHz			
				--			
	All Peripherals clock OFF, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$	4MHz			mA
				2MHz			
				1MHz			
				500KHz			
	All Peripherals clock ON, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HIRC=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$	4MHz			mA
				2MHz			
				1MHz			
				500KHz			



符号	参数	条件			典型值	最大值	单位
				--			
	All Peripherals clock OFF, Run while(1) in Flash	$V_{core} = 1.2V$ $VDD = 2.5V - 5.5V$	f_{HCLK} : @ HXT=8M, PLL=off, $f_{HCLK} = f_{PCLK1}$, $f_{HCLK} = f_{PCLK2}$,	4MHz 2MHz 1MHz 500KHz 125KHz --			mA

ZBIT CONFIDENTIAL



5.3-5.2 睡眠模式下功耗 (Sleep Mode)

符号	参数	条件			典型值	最大值	单位
I _{DD} (Sleep Mode)	All Peripherals clock ON,	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HIRC=8M, PLL=192Mhz, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	72MHz			μA
				48MHz			
				36MHz			
				24MHz			
				16MHz			
				8MHz			
	All Peripherals clock OFF,	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HXT=8M, PLL=192Mhz, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	72MHz			μA
				48MHz			
				36MHz			
				24MHz			
				16MHz			
				8MHz			
	All Peripherals clock ON,	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HIRC=8M, PLL=off, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	4MHz			μA
				2MHz			
				1MHz			
				500KHz			
				125KHz			
				--			
	All Peripherals clock OFF,	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : @ HXT=8M, PLL=off, f _{HCLK} = f _{PCLK1} , f _{HCLK} = f _{PCLK2} ,	4MHz			μA
				2MHz			
				1MHz			
				500KHz			
				125KHz			
				--			



5.3-5.3 深度睡眠功耗 (DeepSleep Mode)

符号	参数	条件			典型值	最大值	单位
I _{DD} (Deep Sleep Mode)	All Peripherals clock OFF, except RTC, IWDG, LPTIM, AWK	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : SIRC=32.768KHz	Ta=-40° C			μA
				Ta=25° C			
				Ta=50° C			
				Ta=85° C			
	All Peripherals clock OFF, except RTC	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : SIRC=32.768KHz	Ta=-40° C			μA
				Ta=25° C			
				Ta=50° C			
				Ta=85° C			
	All Peripherals clock OFF, except IWDG	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : SIRC=32.768KHz	Ta=-40° C			μA
				Ta=25° C			
				Ta=50° C			
				Ta=85° C			
	All Peripherals clock OFF, except LPTIM	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : SIRC=32.768KHz	Ta=-40° C			μA
				Ta=25° C			
				Ta=50° C			
				Ta=85° C			
	All Peripherals clock OFF, except AW	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : SIRC=32.768KHz	Ta=-40° C			μA
				Ta=25° C			
				Ta=50° C			
				Ta=85° C			
	All Peripherals clock OFF	V _{core} =1.2V VDD=2.5V-5.5V	f _{HCLK} : off	Ta=-40° C			μA
				Ta=25° C			
				Ta=50° C			
				Ta=85° C			



5.3-5.4 待机模式下功耗 (Standby Mode)

符号	参数	条件	典型值		最大值		单位
			VDD VBAT=2.V	VDD VBAT=3.3V	TA=85℃	TA=105℃	
I _{DD} (standby Mode)	待机模式 下的供应 电流	低速内部RC振荡器和独立看 门狗处于开启状态					μA
		低速内部RC振荡器处于开启 状态, 独立看门狗处于关闭 状态					
		低速内部RC振荡器和独立看 门狗处于关闭状态, 低速振 荡器和RTC处于关闭状态					
I _{DD_} VBAT	备份区 域的供 应电流	低速振荡器和RTC处于开启 状态					



5.3-5.5 内置外设的功耗 $I_{DD2,Typ}$ (内部RAM中运行)

◇ 内置外设的电流消耗

内置外设的电流消耗如下表所示，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出。
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟

内置外设		25℃时的典型功耗	单位	内置外设		25℃时的典型功耗	单位
AHB (72MHz)	DMA1		$\mu A /$ MHz	APB1 (48MHz)	APB1-Bridge		$\mu A /$ MHz
	DMA2				TIM2		
	GPIO				TIM2A		
	CRC				TIM2B		
	SDIO				TIM2C		
	BUS Matrix				TIM10		
	USB				TIM11		
					SPI2/I2S2		
					SPI3/I2S3		
					USART2		
APB2 (72MHz)	APB2 - Bridge				USART3		
	SPI1				UART4		
	USART1				UART5		
	TIM1				I2C1		
	TIM1A				I2C2		
	TIM1B				LPUART		
	PCA				CAN1		
	SPI1				DAC		
	ADC1				WWDG		
	ADC2				PWR		
	ADC3				BKP		
	GPIOA				IWDG		
	GPIOB				LPTIM		
	GPIOC						
	GPIOD						



注:

1. 数据基于 TT Wafer 考核结果, 不在生产中测试
2. 除非特别说明, 典型值 (Typ) 是在 $T_a=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$ 的条件下测得
3. 除非特别说明, 最大值 (Max) 是在 $T_a=-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$, $V_{DD}=2.5\text{V}\sim 5.5\text{V}$ 的条件下测得的最大值
4. 使用 LXT 32.768KHz 时, 外部晶振并联了一个 $3\text{M}\Omega$ 电阻。

ZBIT CONFIDENTIAL

5.3-6 从低功耗模式唤醒的时间

唤醒时间是芯片由外部中断唤醒，从深度睡眠模式唤醒的时间。时钟源是 **HIRC=8MHz**。VDD=3.3V

符号	参数	条件	最小值	典型值	最大值	单位
$T_{\text{wake up}}$	Deep sleep mode to active mode	f_{HCLK} : 8MHz 16MHz 24MHz 36MHz 48MHz 72MHz				μs

从低功耗模式唤醒的时间,低功耗模式的唤醒时间（使用8MHz的HXT振荡器）

符号	参数	条件	最大值	单位
t_{WUSLEEP}	从sleep Mode唤醒	使用 HXT 振荡器时钟唤醒	4.2	μs
t_{WUSTOP}	从DeepSlee Mode 唤醒 (调压器处于运行模式)	HXT振荡器时钟唤醒 = $2\mu\text{s}$	6.3	μs
t_{WUSTDBY}	从Standby唤醒	HXT 振荡器时钟唤醒 = $2\mu\text{s}$ LDO从关闭模式唤醒 时间 = $38\mu\text{s}$	47	mS

注1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

注：数据基于考核结果，不在生产中测试



5.3-7 外部时钟源特性

5.3-7.1 低速外部时钟 LXT

符号	参数	条件	最小值	典型值	最大值	单位
F _{SCLK}	Crystal frequency		32.75	32.768	32.78	KHz
ESR _{SCLK}	Supported crystal equivalent series resistance		40	65	85	KΩhm
C _{SCLK(1)}	Supported external crystal load range	There are two C _{SCLK} on 2 crystal pins respectively		12		pF
I _{dd(2)}	Current consumption when stable	ESR=65KΩhm C _{SCLK} =12pF	200	250	350	nA
DC _{SCLK}	Duty cycle		40	50	60	%
T _{start(3)}	Start-up time	ESR=65KΩhm C _{SCLK} =12pF 40%~60% duty cycle		2		s

符号	参数	条件	最小值	典型值	最大值	单位
fLSE_ext	用户外部时钟频率		16	32.768	200	KHz
VLSEH	LXTIN 输入引脚高电平电压				1.2	V
VLSEL	LXTIN 输入引脚低电平电压		0.25			
tw(LSE)	LXTIN 高或低的时间			15259		nS
tr(LSE)	LXTIN 上升或下降的时间			1		
tf(LSE)						
Cin(LSE)	LXTIN 输入容抗			5		pF
DuCy(LSE)	占空比		45	50	55	%
IL	LXTIN 输入漏电流	VSS ≤ VIN ≤ VDD		0.03		uA



LSE 振荡器特性($f_{LSE}=32.768\text{KHz}$)

符号	参数	条件	最小值	典型值	最大值	单位
RF	内部反馈电阻		25			$\text{M}\Omega$
CL1 CL2	建议的负载电容与对应的晶体串行阻抗 (RS)	$R_S = 30\Omega$			4	pF
I	LSE 驱动电流	$V_{DD} = 3.3\text{V}$ $V_{IN} = V_{SS}$		0.08	1	μA
gm	振荡器的跨导	启动		0.5		$\mu\text{A}/\text{V}$
tSU(HSE)	启动时间	VDD 是稳定的		1	4	S

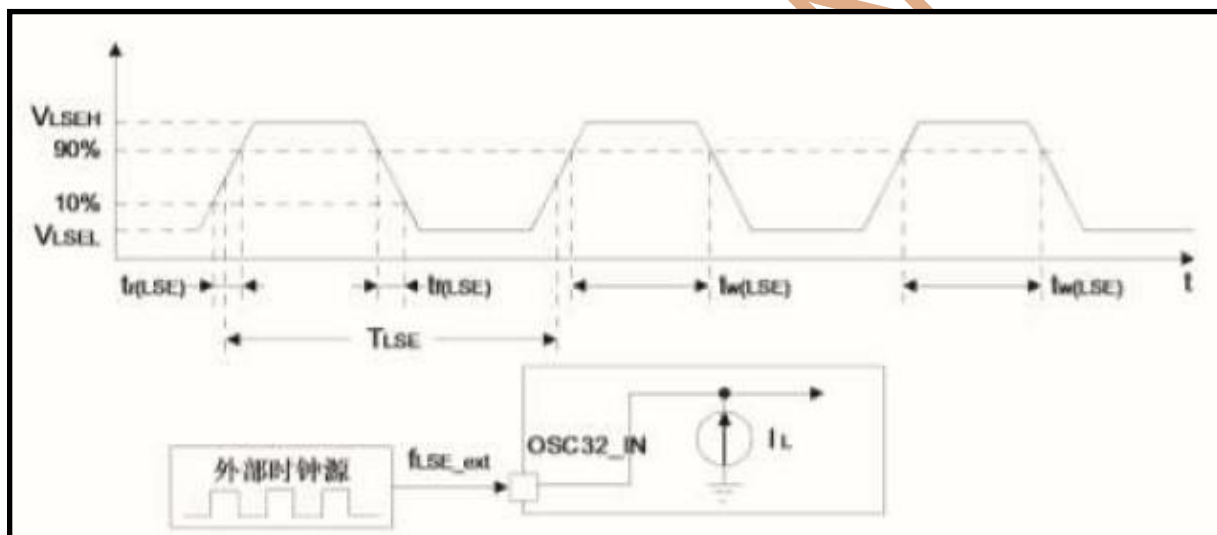


Figure 8外部低速时钟源的交流时序图

Note:

1. 建议使用晶体给出参考值
2. $RCC_LXTCR.LXTDRV=0011$, $ESR=65\text{K}$
3. 数据基于考核结果, 不在生产中测试



5.3-7.2 高速外部时钟 HXT

符号	参数	条件	最小值	典型值	最大值	单位
F_{CLK}	Crystal frequency		4	16	24	MHz
ESR_{CLK}	Supported crystal equivalent resistance		30	60	1500	Ohm
$C_{CLK}^{(1)}$	Supported crystal external load range	There are 2 C_{CLK} on 2 crystal pins individually		12		pF
$I_{dd}^{(2)}$	Supported crystal external load range	24MHz Xtal ESR=300hm $C_{CLK}=12pF$		300		μA
DC_{CLK}	Duty cycle		40	50	60	%
T_{start}	Start-up time	24MHz	191.66	234.53	339.00	μs

符号	参数	条件	最小值	典型值	最大值	单位
fHSE_ext	用户外部时钟频率		1	8	32	MHz
VHSEH	XTHIN 输入引脚高电平电压		0.7VDD		VDD	V
VHSEL	XTHIN 输入引脚低电平电压		VSS		0.3VDD	
tw(HSE)	XTHIN N 高或低的时间		16			nS
tr(HSE) tf(HSE)	XTHIN 上升或下降的时间				20	
Cin(HSE)	XTHIN 输入容抗			5		pF
DuCy(HSE)	占空比		45		55	%
IL	OSC_IN 输入漏电流	$VSS \leq VIN \leq VDD$			± 1	μA

HXT 8~24MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		8	12	24	MHz
RF	反馈电阻			1000		K Ω
CL1 CL2	建议的负载电容与对应的晶体串行阻抗 (RS)	$RS = 30\Omega$		30		pF
I	HSE 驱动电流	$VDD = 3.3V$ $VIN = VSS$ 30pF 负载			1	mA
gm	振荡器的跨导	启动	25			mA/V
tSU(HSE)	启动时间	VDD 是稳定的		2		mS

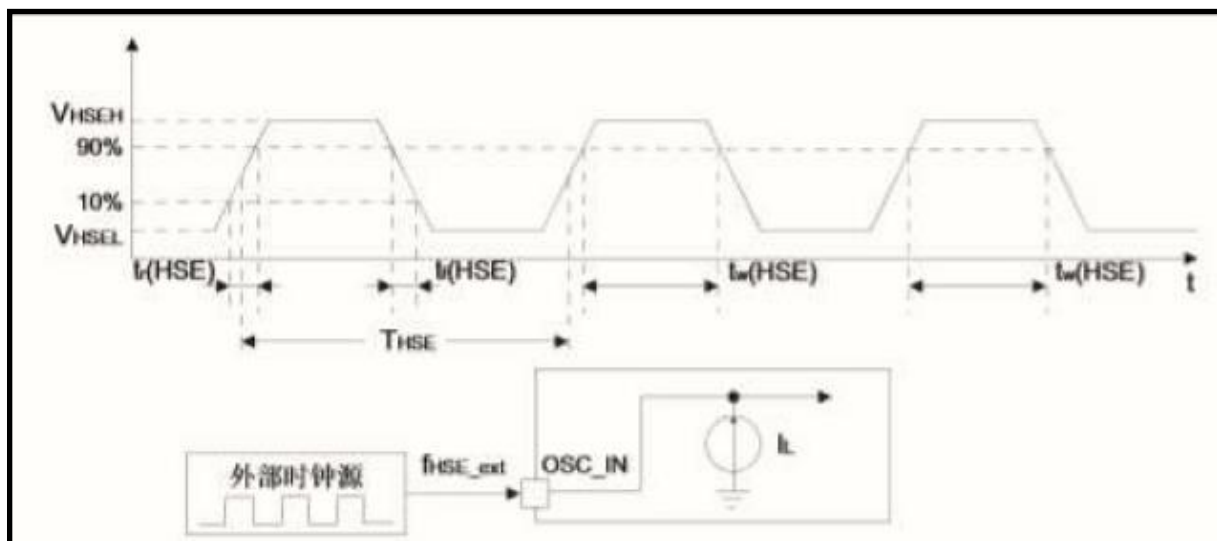


Figure 9 外部高速时钟源的交流时序图

Note:

1. 建议使用晶体给出参考值
2. Current consumption could vary with oscillating frequency, RCC_HXTCR.HXTDRV=110.
3. 数据基于考核结果，不在生产中测试



5.3-7.3 PLL 特性

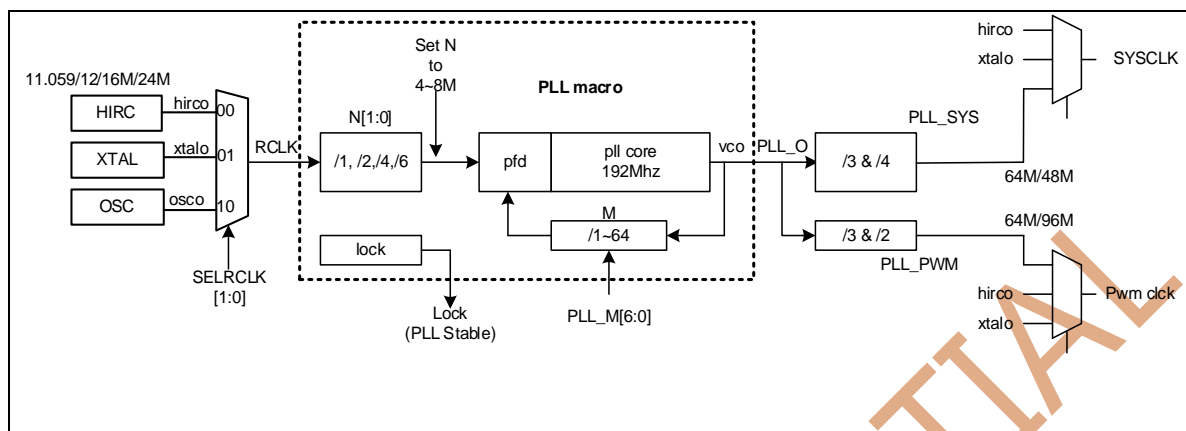


Figure 10 PLL 方块图

符号	参数	条件	最小值	典型值	最大值	单位
$F_{clk_{in}}$	PLL 输入参考频率 (RCLK)		4		24	MHz
F_{out}	PLL 输出频率		1.625		192	MHz
F_{vco}	VCO		80		192	MHz
T_{lock}	锁定时间			200		us
$I_{dd(PLL)}$	消耗电流					μA
DC_{FCLK}	Duty cycle		40	50	60	%
F_{PJ}	RMS Jitter	PLL output 192MHz Temp=25℃,TT,1.2V		35		ps
	PK-PK Jitter			260		ps



5.3-8 内部时钟源特性

5.3-8.1 内部 HIRC 振荡器

符号	参数	条件	最小值	典型值	最大值	单位
F_{MCLK}	Internal RC Oscillation frequency		4.0	4.0 8.0 16.0 24	24	MHz
$T_{Mstart}^{(1)}$	Start-up time Not including software calibration	$F_{MCLK}=4MHz$				μs
		$F_{MCLK}=8MHz$				μs
		$F_{MCLK}=16MHz$				μs
		$F_{MCLK}=24MHz$				μs
I_{MCLK}	Current consumption	$F_{MCLK}=4MHz$				μA
		$F_{MCLK}=8MHz$				μA
		$F_{MCLK}=16MHz$				μA
		$F_{MCLK}=24MHz$				μA
DC_{MCLK}	Duty cycle					%
D_{evM}	Frequency Deviation	$VDD = 2.5V \sim 5.5V$ $Ta = -40^{\circ}C \sim 85^{\circ}C$	-2.5		+2.5	%

注：数据基于考核结果，不在生产中测试

5.3-8.2 内部 SIRC 振荡器

符号	参数	条件	最小值	典型值	最大值	单位
F_{ACLK}	Internal RC Oscillation frequency		30	40	60	KHz
$T_{Astart}^{(1)}$	Start-up time					μs
I_{ACLK}	Current consumption					μA
DC_{ACLK}	Duty cycle					%
D_{evA}	Frequency Deviation	$VDD = 2.5V \sim 5.5V$ $Ta = -40^{\circ}C \sim 85^{\circ}C$				%

注：数据基于考核结果，不在生产中测试

5.3-9 Flash 特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----



EC _{flash}	Sector Endurance	Base on 5.3-1	20k			cycles
RET _{flash}	Data Retention		20			Years
T _{prog}	Byte/Half Word/Word Program Time		30	45	60	μs
TSector-erase	Sector Erase Time		3.5	3.7	4.5	ms
TChip-erase	Chip Erase Time		20	30	40	ms

5.3-10 电磁敏感特性

5.3-10.1 ESD 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{ESD, HBM}	ESD @ Human Body Mode		8			KV
V _{ESD, CDM}	ESD @ Charge Device Mode		1.5			KV
V _{ESD, MM}	ESD @ Machine Mode		400			V
I _{Latchup}	Latch up current		100			mA

5.3-10.2 静态栓锁 (Static Latch-up)

为了评估栓锁性能，需要在 3 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

符号	参数	条件	类型
LU	Static latch-up class	TA = +25 ° C conforming to JESD78A	Class I Leve

5.3-10.3 EMC 特性

5.3-10.3.1 EMS(电磁敏感性)

功能性 EMS(电磁敏感性)

- (1) 当运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED)，测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。
- (2) 静电放电(ESD)(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC 1000-4-2 标准。
- (3) FTB: 在 VDD 和 VSS 上通过一个 100pF 的电容器施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合 IEC 1000-4-4 标准。芯片复位可以使系统恢复正常操作

符号	参数	条件	级别/类型
----	----	----	-------



VFESD	施加到任一 I/O 脚，从而导致功能错误的电压极限。	VDD = 3.3V, LQFP48, TA = +25℃, fHCLK = 96MHz。符合 IEC 1000-4-2	2B
VEFTB	在 VDD 和 VSS 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	VDD = 3.3V, LQFP48, TA = +25℃, fHCLK = 96MHz。符合 IEC 1000-4-4	4A

5.3-10.3.2 磁干扰(EMI)

在运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED)，监测芯片发射的电磁场。这个发射测试符合 SAE J1752/3 标准，这个标准规定了测试板和引脚的负载

符号	参数	条件	监测的频段	最大值(fHSE/fHCLK)		单位
SEMI	峰值	VDD = 3.3 V, TA = 25℃ LQFP48 封装, 符合 SAE J1752/3		8/48MHz	8/96MHz	dB μ V
			0.1~30MHz			
			30~130MHz			
			130MHz~1GHz			
			SAM EMI 级别			-

5.3-11 I/O Port 特性

5.3-11.1 Output特性 — Port PA,PB,PC,PD

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流, 并且吸收 $+20\text{mA}$ 电流 (不严格的 VOL)。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值:

- 所有 I/O 端口从 VDD 上获取的电流总和, 加上 MCU 在 VDD 上获取的最大运行电流, 不能超过绝对最大额定值 IVDD。
- 所有 I/O 端口吸收并从 VSS 上流出的电流总和, 加上 MCU 在 VSS 上流出的最大运行电流, 不能超过绝对最大额定值 IVSS。

输出电压

除非特别说明, 下表列出的参数是按照 Table 7 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

符号	参数	条件	最小值	最大值	单位
VOL	输出低电平, 当 8 个引脚同时吸收电流	TTL 端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < \text{VDD} < 3.6\text{V}$		0.4	V
VOH	输出高电平, 当 8 个引脚同时输出电流		VDD-0.4		
VOL	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < \text{VDD} < 3.6\text{V}$		0.4	V
VOH	输出高电平, 当 8 个引脚同时输出电流		2.4		
VOL[4*]	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +20\text{mA}$ $2.7\text{V} < \text{VDD} < 3.6\text{V}$		1.3	V
VOH[4*]	输出高电平, 当 8 个引脚同时输出电流		VDD-1.3		
VOL[4*]	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +6\text{mA}$ $2\text{V} < \text{VDD} < 2.7\text{V}$		0.4	V
VOH[4*]	输出高电平, 当 8 个引脚同时输出电流		VDD-0.4		

Note:

1. 由综合评估得出, 不在生产中测试。
2. 芯片吸收的电流 I_{IO} 遵循表中给出的绝对最大额定值, 同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VSS} 。
3. 芯片输出的电流 I_{IO} 遵循表中给出的绝对最大额定值, 同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VDD} 。
4. 基于特性数据参考, 不在生产中测试



5.3-11.2 Input特性 — Port PA,PB,PC,PD

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平电压	TTL 端口	-0.5		0.8	V
	FT I/O 脚, 输入低电平电压 (1)		-0.5		0.8	
VIH	标准 I/O 脚, 输入高电平电压		2		VDD+0.5	
	FT I/O 脚, 输入高电平电压 (1)		2		5.5	
VIL	输入低电平电压	CMOS 端口	-0.5		0.35 VDD	V
VIH	输入高电平电压		0.65 VDD		VDD+0.5	
V _{hys}	标准 I/O 脚施密特触发器电压迟滞		200			mV
	5V 容忍 I/O 脚施密特触发器电压迟滞		5%VDD (2)			
I _{lkg}	输入漏电流 (3)	VSS ≤ VIN ≤ VDD 标准 I/O 端口			± 1	uA
		VIN = 5V, 5V 容忍端口			3	
RPU	上拉等效电阻 (4)	VIN=VSS	30	40	50	KΩ
RPD	下拉等效电阻 (4)	VIN=VDD	30	40	50	
CIO	I/O 引脚的电容				5	pF

注：由综合评估得出，不在生产中测试。

注1. FT = 5V 容忍。

注2. 至少 100mV。

注3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

注4. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 MOS 实现。这个 MOS 开关的电阻很小 (约占 10%)。

所有 I/O 端口都是 CMOS 兼容(不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺：

● 对于 VIH:

- 如果 VDD 是介于[2.00V~3.08V]；使用 CMOS 特性但包含 TTL。
- 如果 VDD 是介于[3.08V~3.60V]；使用 TTL 特性但包含 CMOS。

● 对于 VIL:

- 如果 VDD 是介于[2.00V~2.28V]；使用 TTL 特性但包含 CMOS。
- 如果 VDD 是介于[2.28V~3.60V]；使用 CMOS 特性但包含 TTL。



ZBIT CONFIDENTIAL



5.3-11.3 I/O AC 特性 — Port PA,PB,PC,PD

输入输出交流特性的定义和数值分别如下图和下表所示：

除非特别说明，下表列出的参数是按照 5.1 的条件测量得到。

MODEX[1:0]控制位	符号	参数	条件	最小值	典型值	最大值	单位
00 (2MHz)	fmax(I/O)out	最大频率	CL=50pF, VDD=2.5V~3.6V			2	MHz
	tf(I/O)out	输出高至低电平的下降时间 CL	CL=50pF, VDD=2.5V~3.6V			125	nS
	tr(I/O)out	输出低至高电平的上升时间	CL=50pF, VDD=2V~3.6V			125	
01 (10MHz)	fmax(I/O)out	最大频率	CL=50pF, VDD=2V~3.6V			10	MHz
	tf(I/O)out	输出高至低电平的下降时间 CL	CL=50pF, VDD=2V~3.6V			25	nS
	tr(I/O)out	输出低至高电平的上升时间	CL=50pF, VDD=2V~3.6V			25	
10 (20MHz)	fmax(I/O)out	输出高电平，当 8 个引脚同时输出电流	CL=50pF, VDD=2V~3.6V			20	MHz
	tf(I/O)out	输出低电平，当 8 个引脚同时吸收电流	CL=50pF, VDD=2V~3.6V			12.5	nS
	tr(I/O)out	输出高电平，当 8 个引脚同时输出电流	CL=50pF, VDD=2V~3.6V			12.5	
11 (50MHz)	fmax(I/O)out	输出高电平，当 8 个引脚同时输出电流	CL=30pF, VDD=2V~3.6V			50	MHz
			CL=50pF, VDD=2V~3.6			30	
			CL=50pF, VDD=2V~2.7V			20	
	tf(I/O)out	输出低电平，当 8 个引脚同时吸收电流	CL=30pF, VDD=2V~3.6V			5	
			CL=50pF, VDD=2V~3.6			8	
			CL=50pF, VDD=2V~2.7V			12	



	tr(I/O)out	输出高电平, 当 8 个引脚同时输出 电流	CL=30pF, VDD=2V~3.6V			5	nS
			CL=50pF, VDD=2.7V~3.6			8	
			CL=50pF, VDD=2V~2.7V			12	
	tEXTIpw	EXTI 控制器检测到 外部信号的脉 冲宽度		10			nS

注1. I/O 端口的速度可以通过 MODEx[1:0] 配置。

注2. 最大频率在下图中定义。

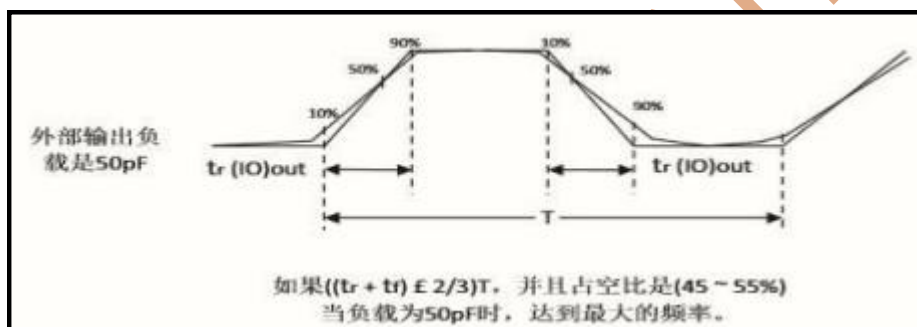


Figure 11 SPI 输入输出交流特性定义

5.3-11.4 Port Leakage 特性 — Port PA,PB,PC,PD

符号	参数	条件	最小值	最大值	单位
I_{lkg}	Leakage current	See Note 1, 2	2.5V / 3.6V	± 50	nA

Notes:

1. The leakage current is measured with VSS or VDD applied to the corresponding pin(s), unless otherwise noted.
2. The port pin must be selected as input.
3. 由综合评估得出，不在生产中测试。

5.3-11.5 Port外部输入采样要求 — Timer Gate/Timer Clock

符号	参数	条件	最小值	最大值	单位
T(int)	External interrupt timing	External trigger signal for the interrupt flag(see Note 1)	30		ns
T(cap)	Timer Captuter timing	TIM1/TIM2 capture pulse width Fsysteme =4MHz	0.5		μs
f_{EXT}	Timer clock frequency applied to pin	TIM1,TIM2,TIM10,TIM11 external clock input Fsysteme =4MHz	0	$f_{TIMxCLK}/4$	MHz
T(PCA)	PCA clock frequency applied to pin	PCA external clock input Fsysteme =4MHz	0	$f_{PCA CLK}/4$	MHz

Note:

1. The external signal sets the interrupt flag every time the minimum t(int) parameters are met. It may be set even with trigger signals shorter than t(int).
2. 由综合评估得出，不在生产中测试。



5.3-12 ADC1/2/3 特性

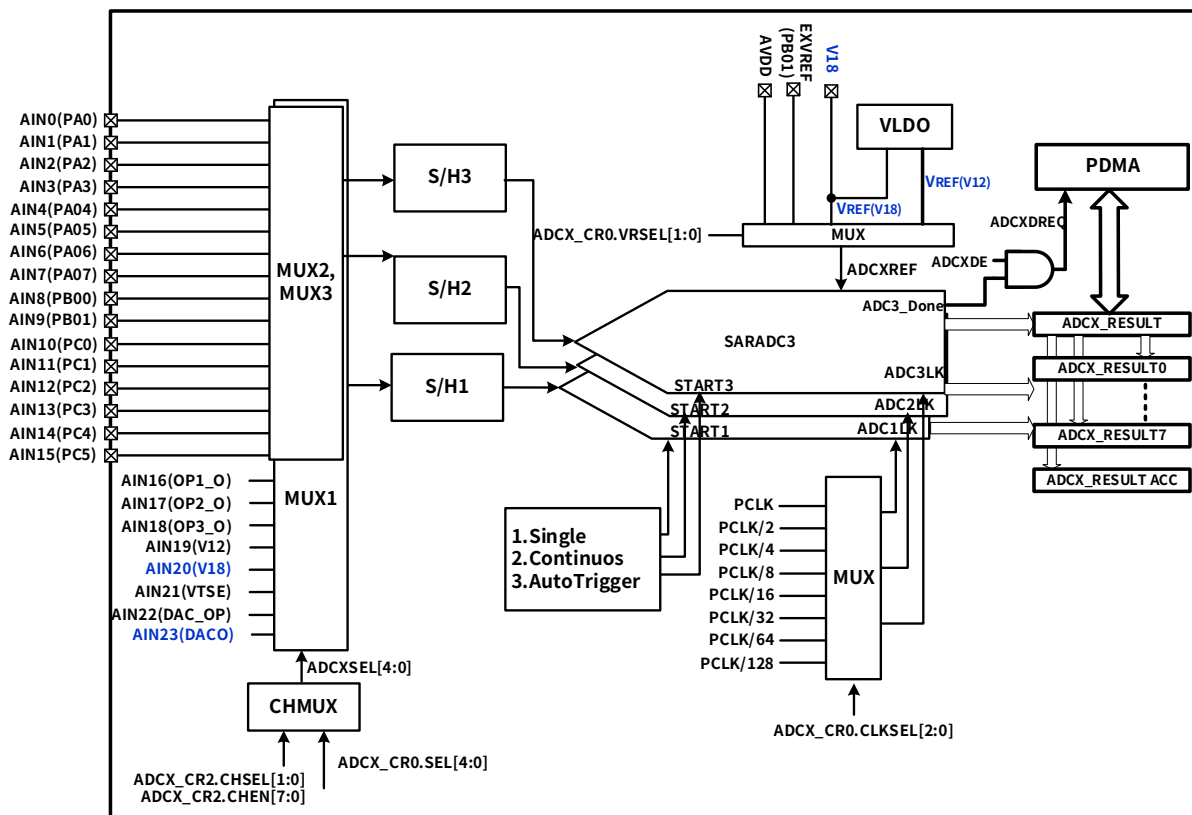


Figure 12 ADC 方块图

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	供电电压	@fs=1Mhz	2.5		3.6	V
		@fs=? Mhz	2		2.5	V
		@fs=? Mhz	1.8		2	V
V _{ADIN}	Input voltage range	Single ended	0		VDD	V
V _{REF}	ADC reference Voltage			VDDA		V
				1.8		V
				1.2		
fs	Sample Rate			1		MHz
I _{ADC}			0.7	0.9	1.2	mA
C _{ADIN}	ADC input capacitance		3.5	4	4.5	pF
F _{ADCLK}	ADC clock Frequency		0.5	4	16	MHz
T _{ADSTART}	Startup time of ADC bias current		2	3	4	μs
T _{ADCONV}	Conversion time		16	16	20	cycles
ENOB			9.5	10	10.4	Bit
DNL	Differential non-linearity		-2	± 1	2	LSB
INL	Integral non-linearity		-3	± 1	3	LSB

E_o	Offset error		-2	± 1	2	LSB
E_g	Gain error		-2	± 1	2	LSB

注1：由设计保证，不在生产中测试

注2：在该系列产品中，VREF 在内部连接到 VDDA，VREF- 在内部连接到 VSSA

5.3-12.1 ADC 输入阻抗

ADC典型应用图请参考如图(A).

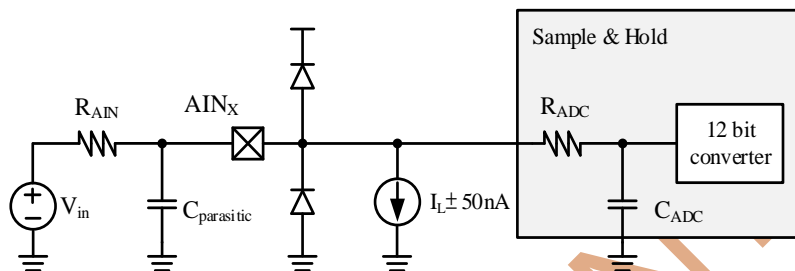


Figure 13 ADC典型应用图

- $C_{parasitic}$ 为PCB上的电容，其电容值大小取决于PCB线路配置(大约7pF)。若电容值过大将会降低ADC精度，或需降低ADC clock频率来维持ADC精度。
- 表二. R_{AIN} 为参考表(B)与图A中 C_{ADC} 与 R_{ADC} 所得

表(B). R_{AIN} 对应 f_{ADCLK}

$t_s (\mu s)$	$f_{ADCLK} (Hz)$	SAM	$R_{AIN} (k\Omega)$
0.167	24M	4	0.05
0.333	12M	4	0.5
0.667	6M	4	2.0
2.67	3M	8	10
5.33	1.5M	8	20
10.7	0.75M	8	40
21.3	0.375M	8	50



5.3-13 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟电源电压	-	1.8	3.3	3.6	V
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	± 2	LSB
INL	非线性积累 (在代码i时测量的数值与代码 0 和代码 1023 之间的连线间的偏差)			± 1	LSB	LSB
偏移	偏移误差 (代码(0x80)处测得值与理想值VDDA/2之间的差)	-	-	-	± 2	LSB
TSETTLING	建立时间 (满刻度: 适用于到DA0/DA1达到最终值±4LSB时, 最低输入代码与最高输入代码之间8位输入代码转换)	CLOAD ≤ 50pF RLOAD ≥ 5kΩ	-	-	8	μs
TWAKEUP	从关闭状态唤醒的时间 (PDV18从1变到0)	CLOAD ≤ 50pF , RLOAD ≥ 5kΩ 输入码介于最小和最大可能数值之间				μs



5.3-14VC 特性

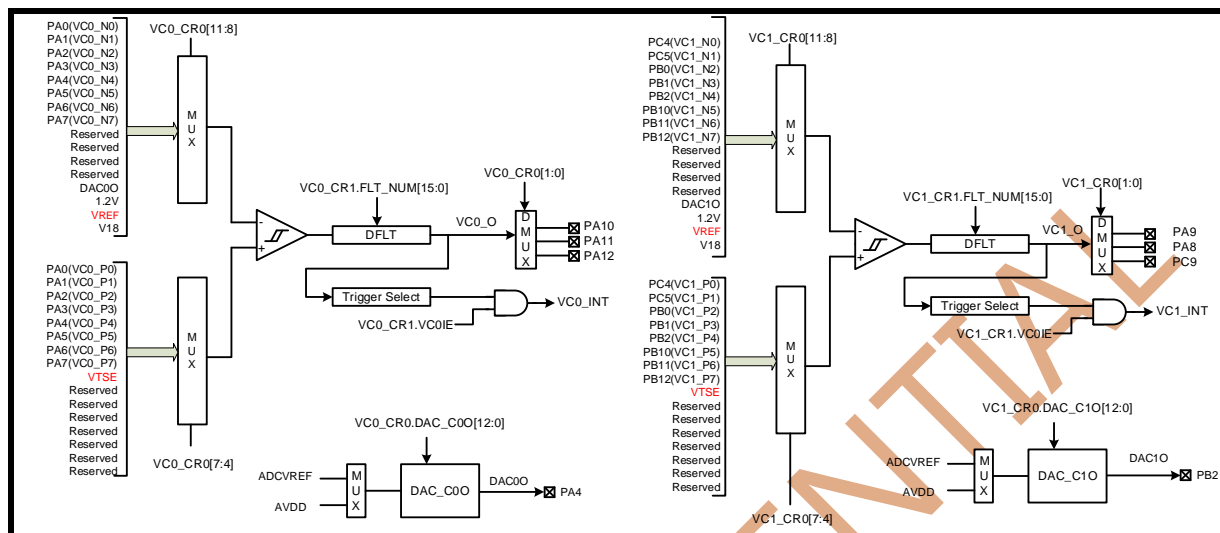


Figure 14 VC1,VC2 方块图

符号	参数	条件	最小值	典型值	最大值	单位
V_{in}	Input voltage range		0		5.5	V
V_{incom}	Input common mode range		0		5.5	V
V_{offset}	Input offset		-10	± 5	+10	mV
I_{comp}	Comparator' s current			12		μA
$T_{response}$	Comparator' s response			5		μs

注：数据基于考核结果，不在生产中测试



5.3-150PA 特性

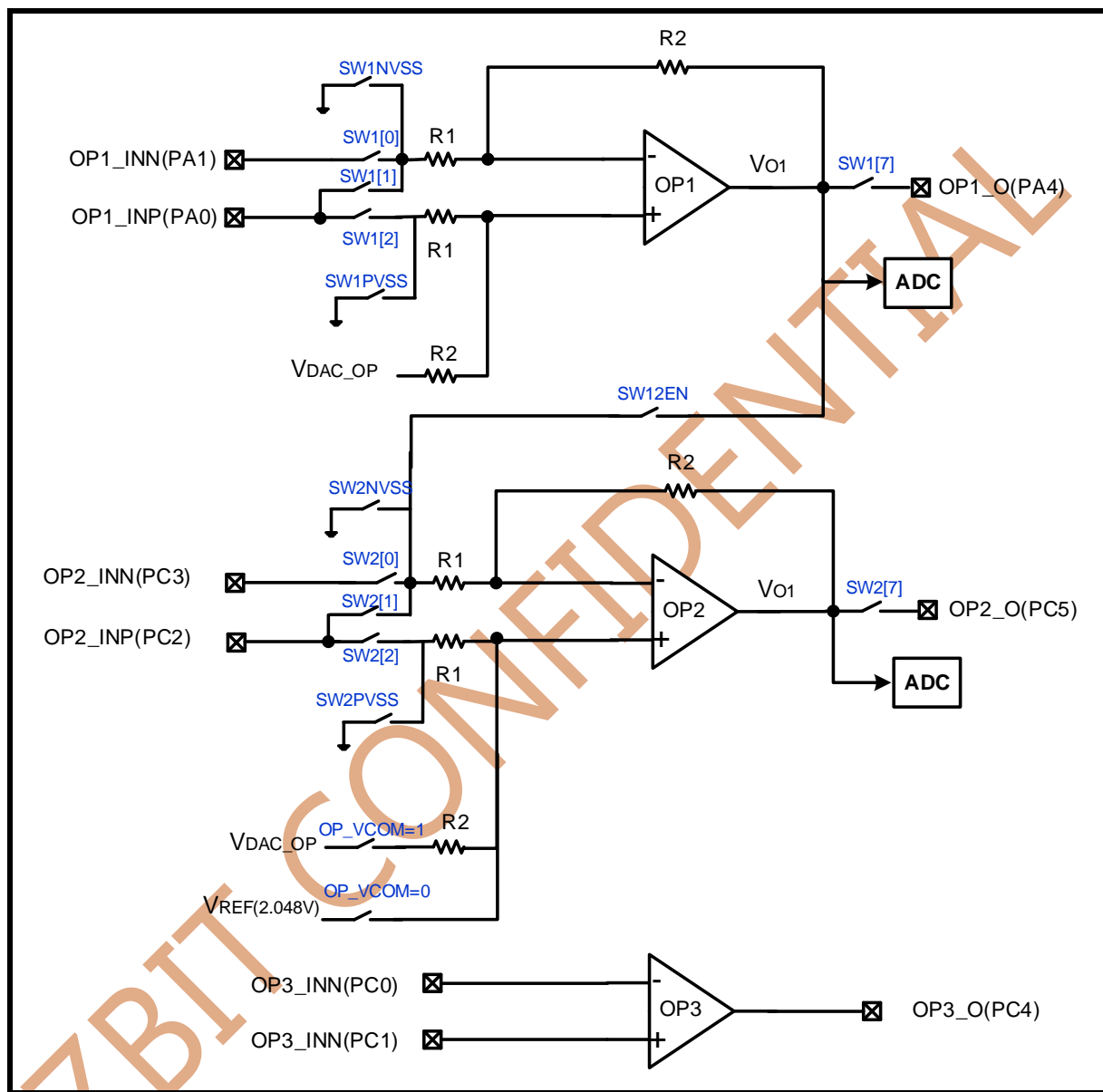


Figure 15 OPA1,OP2方块图

$$V_{OP1_O} = V_{DAC0} + (V_{OP1_INP} - V_{OP1_INN}) * GAIN1 \quad GAIN1 = R2/R1 = 16 \text{ (As SW1[0], SW1[2] on)}$$

$$V_{OP2_O} = V_{DAC0} + (V_{OP1_INP} - V_{OP1_INN}) * GAIN2 \quad GAIN2 = R2/R1 = 16 \text{ (As SW1[0], SW1[2] on)}$$

Open loop OP : User Define V_{OP2_O}



OPA1,OPA2,OPA3: (AVDD=1.8V ~ 3.6 V, AVSS=0 V, Ta=-40° C ~ +85° C)

符号	参数	工作条件	最小值	典型值	最大值	单位
V_i	输入电压		0	-	AVDD-1	V
V_o	输出电压 ⁽¹⁾		0.1	-	AVDD-0.1	V
I_o	输出电流 ⁽¹⁾					mA
R_L	负载电阻 ⁽¹⁾					Ohm
Z_{in}	输入阻抗			20K		Ohm
T_{start}	初始化时间 ⁽²⁾					us
V_{io}	输入失调电压	$V_{ic}=AVCC/2$, $V_o=AVCC/2$, $R_L=10K\Omega$, $R_s=50\Omega$				mV
PM	相位范围 ⁽¹⁾	$R_L=10K\Omega$, $CL=20pF$				deg
GM	增益范围 ⁽²⁾	$R_L=10K\Omega$, $CL=20pF$		24.08		dB
GM1(GM2)	倍率	$R_s < 20\text{ ohm}$		16		倍率
UGBW	单位增益带宽 ⁽¹⁾	$CL=20pF$				MHz
SR	压摆率 ⁽¹⁾	$CL=15pF$				V/us
CMRR	共模抑制比 ⁽¹⁾					dB

5.3-16TIM 定时器特性

符号	参数	条件	最小值	典型值	最大值	单位
tres(TIM)	定时器分辨时间		1		10	tTIMxCLK
		fTIMxCLK=96MHz	10.4			nS
fEXT	CH1 至 CH4 的定时器外部时钟频率		0		fTIMxCLK/2	MHz
		fTIMxCLK=96MHz	0		48	MHz
ResTIM	定时器分辨率				16	位
tCOUNTER	当选择了内部时钟时, 16 位计数器时钟周期		1		65536	tTIMxCLK
		fTIMxCLK=96MHz	10.4		682000	nS
tMAX_COUNT	最大可能的计数				65536 × 65536	tTIMxCLK
		fTIMxCLK=96MHz			44.7	S



5.3-17 SD/SDIO MMC 卡主接口(SDIO)特性

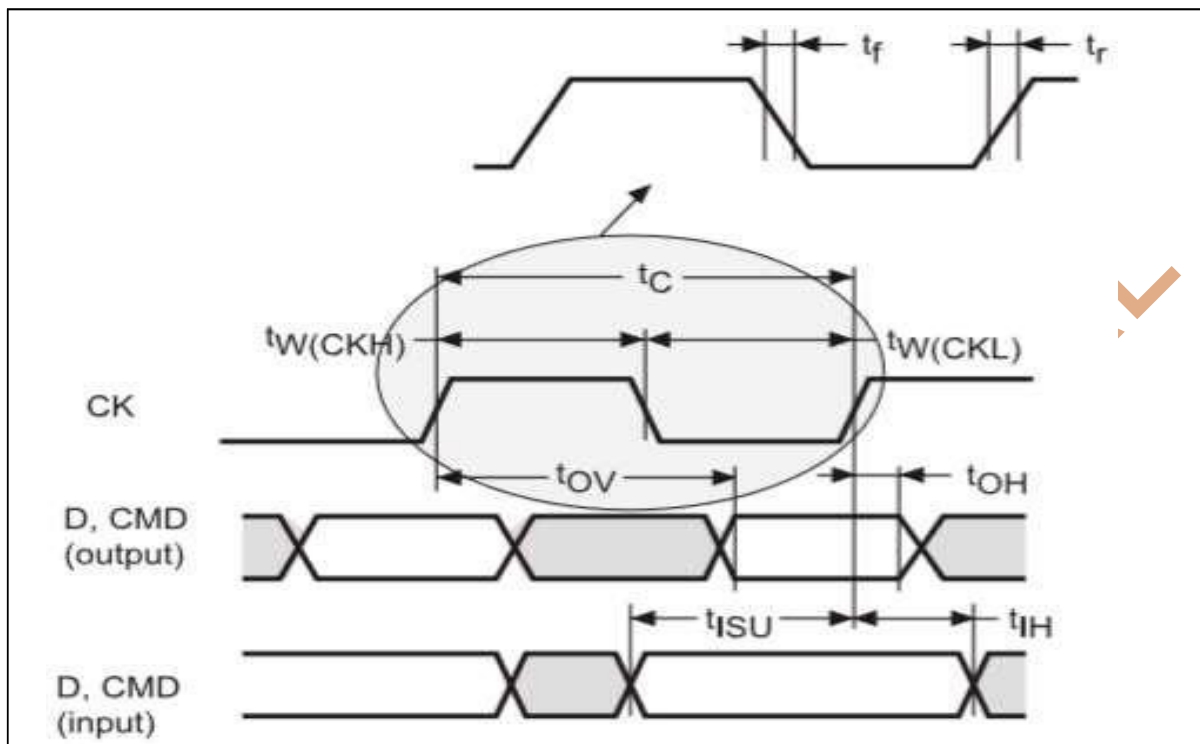


Figure 16 SDIO 高速模式 时序图

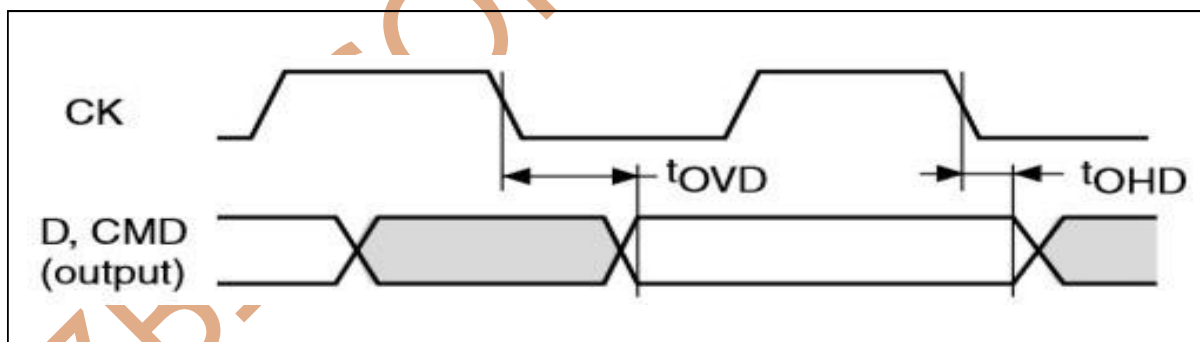


Figure 17 SDIO 默认模式 时序图



符号	参数	条件	最小值	典型值	最大值	单位
fPP	数据传输模式下的时钟频率	CL ≤ 30 pF	0		48	MHz
tW(CKL)	时钟低时间, fPP=16MHz	CL ≤ 30 pF	32			nS
tW(CKH)	时钟高时间, fPP=16MHz	CL ≤ 30 pF	30			
tr	时钟上升沿	CL ≤ 30 pF			4	
tf	时钟下降沿	CL ≤ 30 pF			5	
CMD,D 输入（参考CK）						
tISU	输入建立时间	CL ≤ 30 pF	2			nS
tIH	输入保持时间	CL ≤ 30 pF	0			
MMC 及SD HS 模式CMD,D 输出（参考CK）						
tOV	输出有效时间	CL ≤ 30 pF			6	nS
tOH	输出保持时间	CL ≤ 30 pF	0			
SD 缺省模式CMD,D 输出（参考CK）						
tOVD	输出有效默认时间	CL ≤ 30 pF			7	nS
tOHD	输入保持默认时间	CL ≤ 30 pF	0.5			



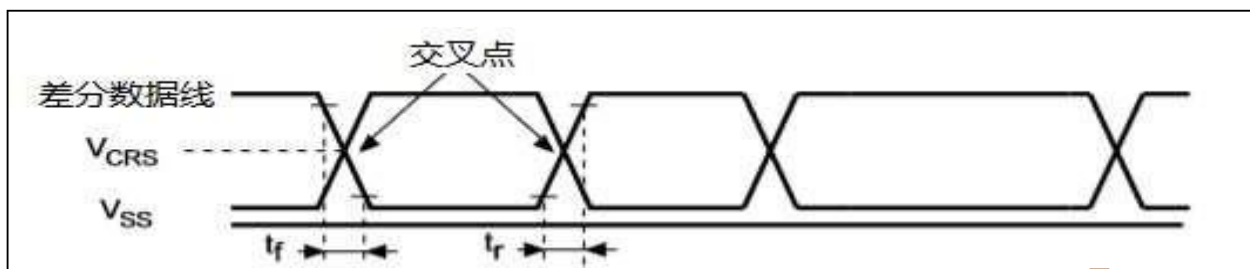
5.3-18 USB接口特性

USB 接口为USB-IF 全速端口(USB2.0 FS)，特性如下：

符号	参数	条件	最小值	典型值	最大值	单位
t _{STARTUP}	USB 收发器启动时间				1	uS

符号	参数	条件	最小值	典型值	最大值	单位
输入电平						
VDD	USB 工作电压		3.0		3.6	V
VDI	差分输入灵敏度		0.2		-	V
VCM	差分共模范围	包括VDI 范围	0.8		2.5	V
VSE	单端接收器门限		1.3		2.0	V
VIL	输入低电压				0.8	V
VIH	输入高电压		2.0			V
输出电平						
VOL	静态输出电平低	RL=1.5KΩ 电阻上拉到3.6V	-		0.3	V
VOH	静态输出电平高	RL=15KΩ 电阻下拉到VSS[1*]	2.8		3.6	V
R _{PD}	Pull Down Resister	Vin=VCC In Host Mode	14.25		24.80	K Ω
R _{PU}	Pull High Resister	Vin=Vss In Device Mode	1.425		3.090	K Ω
		Vin=Vss Idle State	0.9	1.2	2.090	K Ω

Figure 18 USB 时序：数据信号上升沿和下降沿定义时序图



USB全速电气特性

符号	参数	条件	最小值	典型值	最大值	单位
驱动器特性						
tr	上升时间	CL = 50 pF	4		20	nS
tf	下降时间	CL = 50 pF	4		20	nS
trfm	上升/下降时间比	tr/tf	90		110	%
VCRS	输出信号交叉点电压	-	1.3		2.0	V

[1*]: RL 是连接至USB全速驱动器负载.



5.3-19 CAN 控制器局域网络接口特性

有关输入输出复用功能引脚(CAN_TX和CAN_RX)的特性详情, 参见5.3-12 [I/O Port 特性](#) 端口特性。

5.3-20 通信接口

5.3-20.1 I2C 特性

符号	参数	标准模式 (100K)		快速模式 (400K)		高速模式 (1M)		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
tSCLL	SCL 时钟低时间							us
tSCLH	SCL 时钟高时间							us
tSU.SDA	SDA 建立时间							ns
tHD.SDA	SDA 保持时间							us
tHD.STA	开始条件保持时间							us
tSU.STA	重复的开始条件建立时间							us
tSU.STO	停止条件建立时间							us
tBUF	总线空闲(停止条件至开始条件)							us

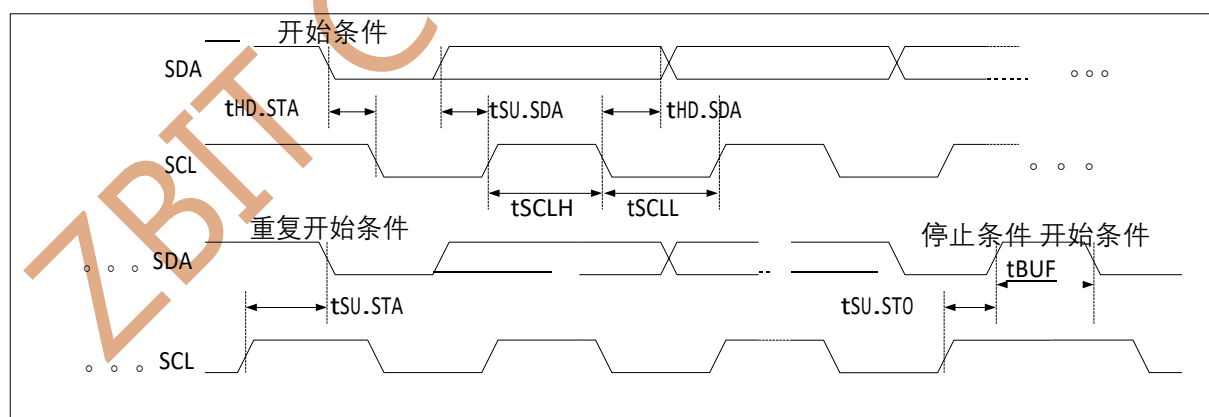


Figure 19 I2C 时序图



5.3-20.2 SPI 特性

符号	参数	条件	最小值	最大值	单位
$t_{c(SCK)}$	串行时钟的周期(频率)	主机模式			ns (MHz)
		从机模式			ns (MHz)
$t_{w(SCKH)}$	串行时钟的高电平时间	主机模式			ns
		从机模式			ns
$t_{w(SCKL)}$	串行时钟的低电平时间	主机模式			ns
		从机模式			ns
$t_{su(SSN)}$	从机选择的建立时间	从机模式			ns
$t_h(SSN)$	从机选择的保持时间	从机模式			ns
$t_{v(MO)}$	主机数据输出的生效时间 (output Data Valid Time)	$f_{PCLK} = 32MHz$			ns
$t_h(MO)$	主机数据输出的保持时间 (output Data Hold Time)	$f_{PCLK} = 32MHz$			ns
$t_{v(SO)}$	从机数据输出的生效时间	$f_{PCLK} = 16MHz$			ns
$t_h(SO)$	从机数据输出的保持时间	$f_{PCLK} = 16MHz$			ns
$t_{su(MI)}$	主机数据输入的建立时间 Data input setup time				ns
$t_h(MI)$	主机数据输入的保持时间 Data input hold time				ns
$t_{su(SI)}$	从机数据输入的建立时间 Data input setup time				ns
$t_h(SI)$	从机数据输入的保持时间 Data input hold time			-	ns

Note: 由设计保证, 不在生产中测试

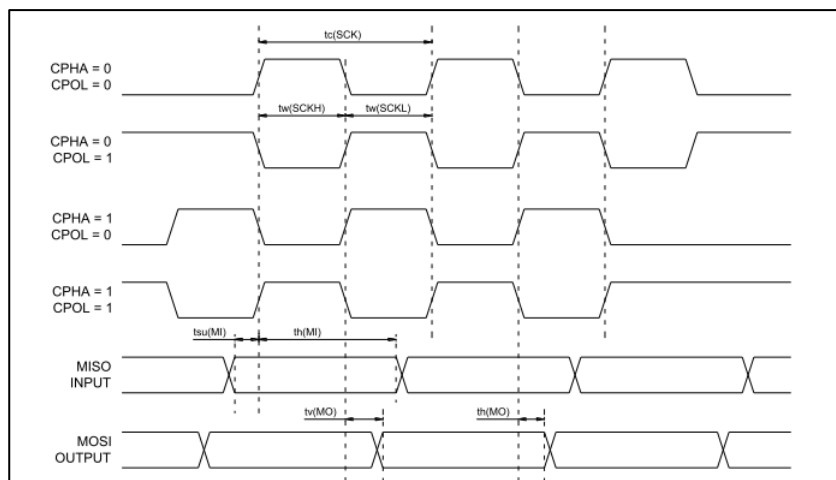


Figure 20 SPI 时序图（主机模式）

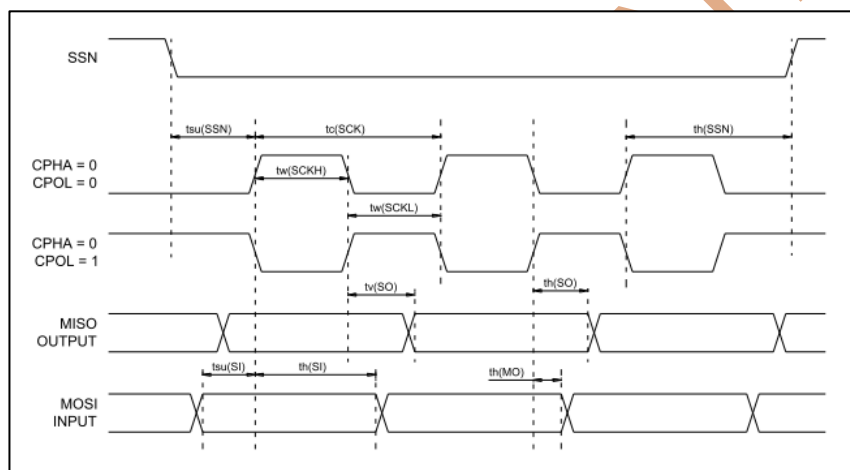


Figure 21 SPI 时序图（从机模式 CPHA=0）

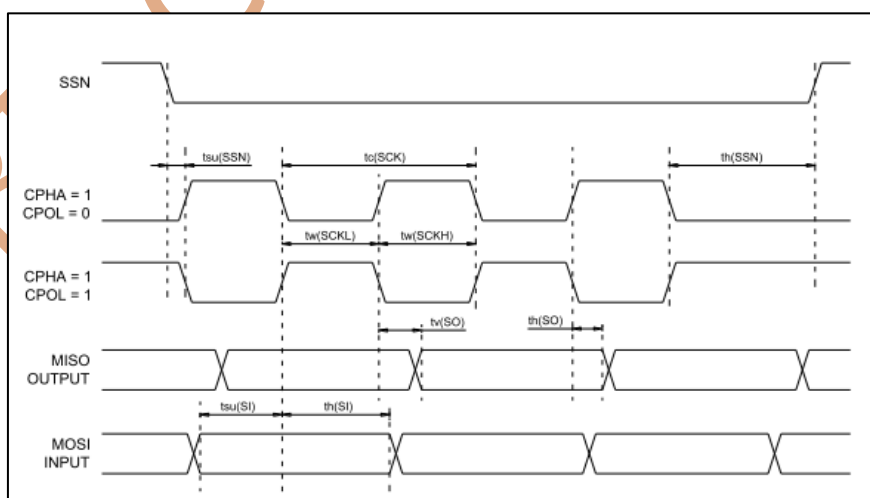


Figure 22 SPI 时序图（从机模式 CPHA=1）

5.3-20.3 I2S 特性

符号	参数	条件	最小值	最大值	单位	符号
DuCy(SCK)	I2S 从输入时钟占空比	从模式	30		70	%
fCK 1/tc(CK)	SPI 时钟频率	主模式(数据: 16bit, 音频频率 48KHz)	1.522		1.525	MHz
		从模式	0		6.5	
tr(CK) tf(CK)	SPI 时钟上升和下降时间	负载电容: C= 30pF			8	
tv(WS)	WS 有效时间	主模式	3			
th(WS)	WS 保持时间	主模式 I2S2	2			
		主模式 I2S3	0			
tsu(WS)	WS 建立时间	从模式	4			
th(WS)	WS 保持时间	从模式	0			
tw(CKH)	时钟高低电平时间	主模式	312.5			
tw(CKL)		Fpclk=16MHz, 音频频率 48KHz)	345			
tsu(SD_MR)	数据输入建立时间	主接收器 I2S2	2			
		主接收器 I2S3	6.5			
tsu(SD_SR)	数据输入建立时间	从接收器	1.5			
th(SD_MR)	数据输入有效时间	主接收器	0			
th(SD_SR)	数据输入保持时间	从接收器	0.5			
tv(SD_ST)	数据输出有效时间	从发送器 (使能后)			18	
th(SD_ST)	数据输出保持时间	从发送器 (使能后)	11			
tv(SD_MT)	数据输出有效时间	主发送器 (使能后)			3	
th(SD_MT)	数据输出保持时间	主发送器 (使能后)	0			

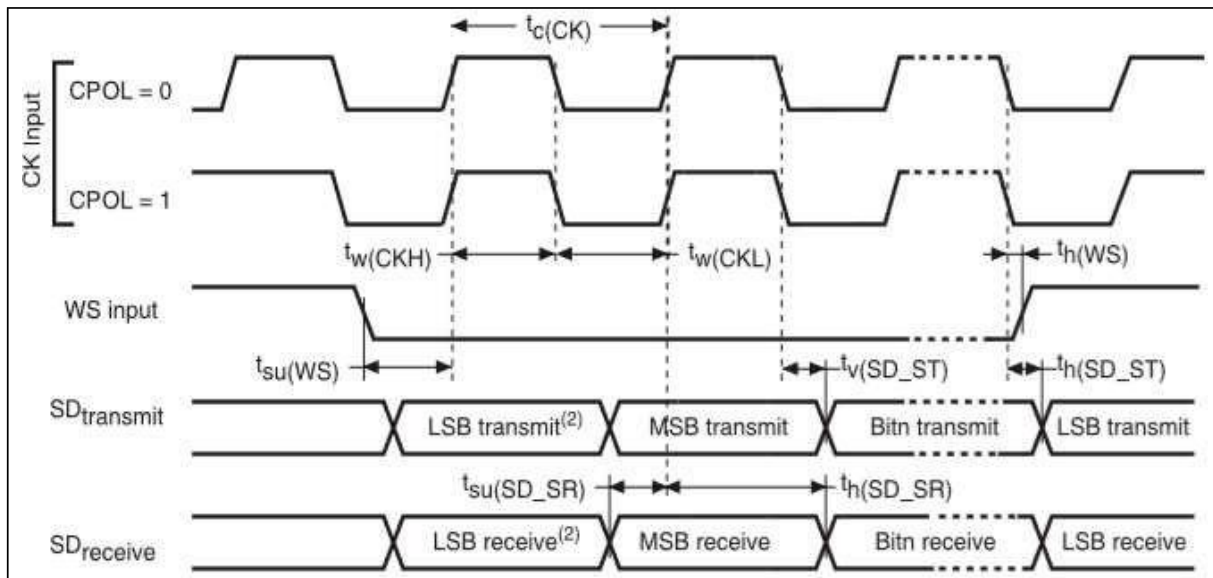
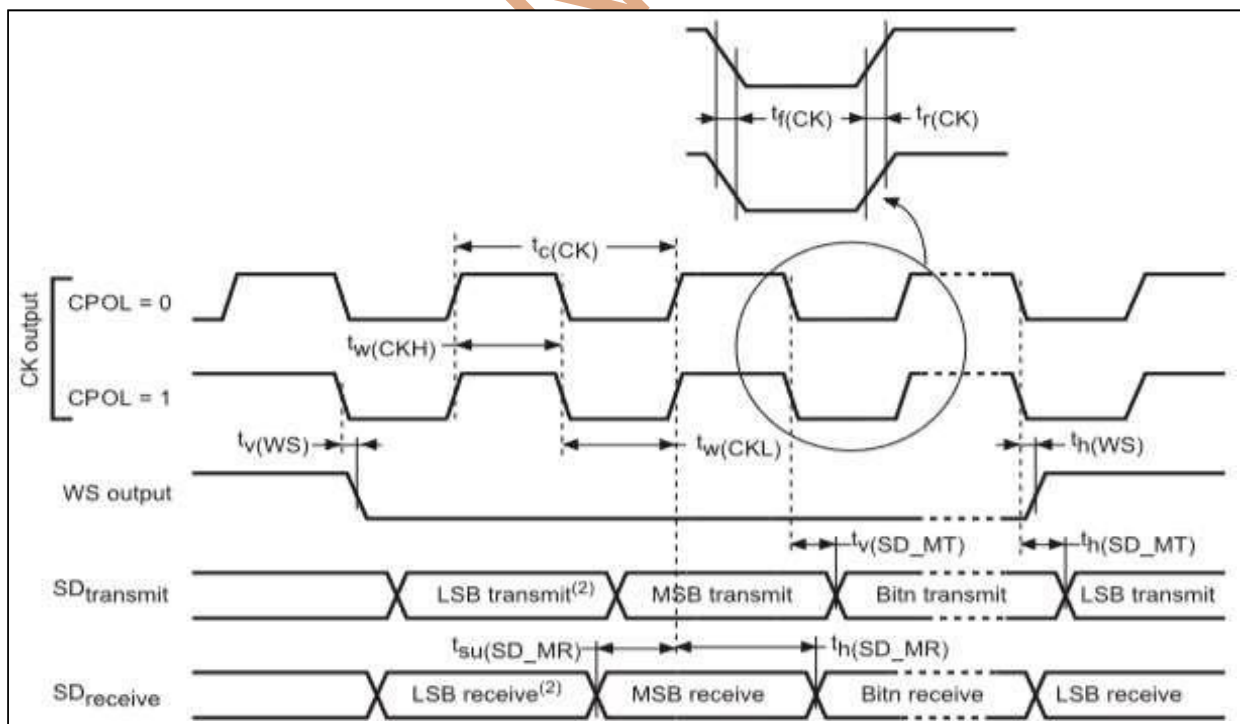


Figure 23 I2S 时序图（从机模式）

注1. 测量点：低电平 $0.3 \times VDD$ ，高电平 $0.7 \times VDD$ 。

注2. LSB发送/接收先前发送的字节。在第一个字节发送之前无LSB发送/接收被发送。



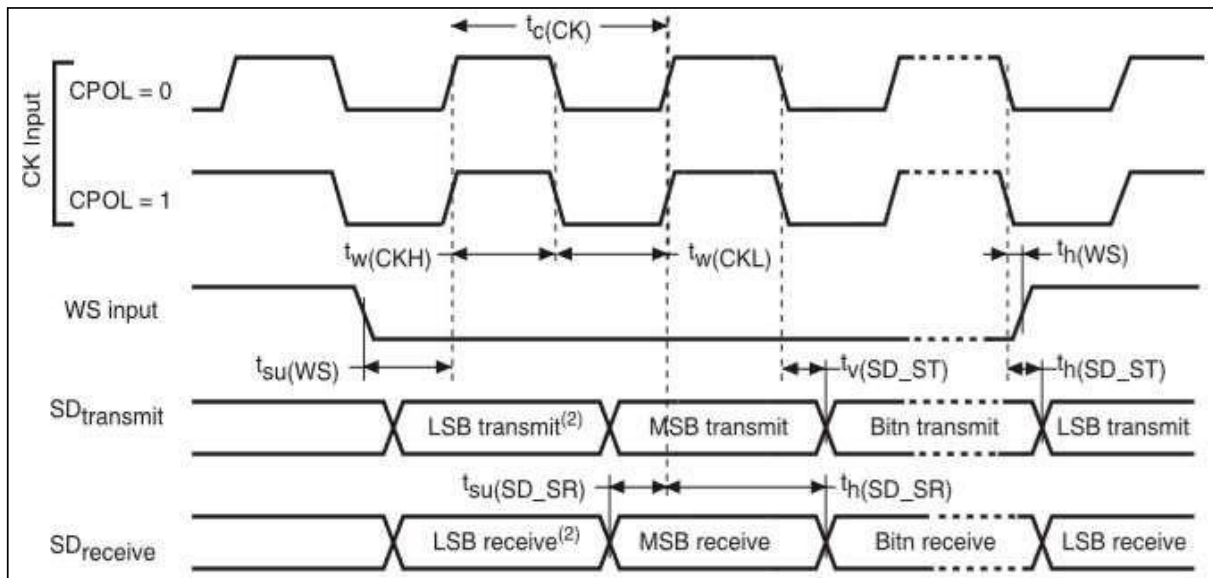


Figure 24 I2S 时序图（从机模式）

注1. LSB发送/接收先前发送的字节。在第一个字节发送之前无LSB发送/接收被发送。

5.3-21 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
TL ^(*)	VSENSE 相对于温度的线性度	0	± 1	± 2	° C
SP _{AVG} ^(*)	平均斜率		-		mV/° C
I _o	30 ° C (± 5 ° C) 时的电压				V
T _{START}	启动时间				us
T _{S_temp}	读取温度时的 ADC 采样时间				us

Note : (1*) : 由设计保证，未经生产测试。

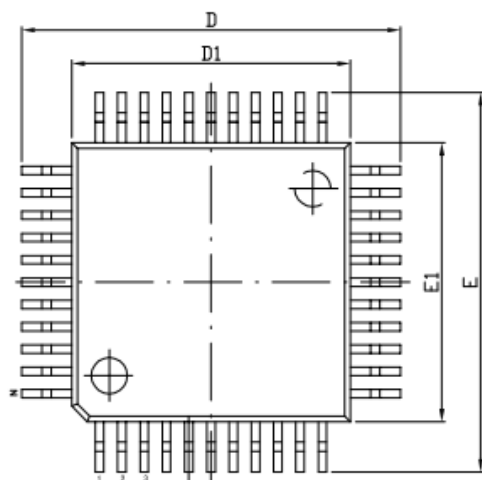


【6】封装特性

6.1 LQFP64 封装

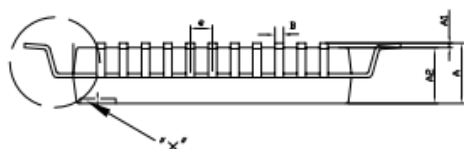
DRAWING REVISION HISTORY

REV. NO.	REASON FOR REV.	DATE	Prepared
AA	New Release	2012.02.12	Yexg
AB	Correct the angle tolerance to $\pm 4^\circ$	2012.03.12	Yexg
AC	Correct the angle symbol, add "L1" dimension	2012.06.31	Zhou GY
AD	Update QFP44 & QFP44-1 "e" dimension from 0.67~0.93 to 0.8TYP	2012.09.25	Zhou GY
AE	Correct the angle tolerance to $\pm 1^\circ$, delete QFP52 and update the notes.	2013.10.10	Zhou GY
AF	Correct $\phi 1$. Delete QFP44(长脚).	2015.05.12	Zhou GY
AG	Update LQFP64 "L" dimension from 0.45~0.60 to 0.45~0.70	2016.08.02	Zhou GY



Notes:

1. BOTH PACKAGE LENGTH AND WIDTH DO NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15mm PER END.
2. DIMENSIONS IN MILLIMETERS (ANGLES IN DEGREES)
3. THE SIZE LABEL OF PACKAGE LENGTH IS THE BOTTOM SIZE
4. N IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH
5. DIMENSION B DOES NOT INCLUDE THE DAMBAR PROTRUSION, ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAYNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.



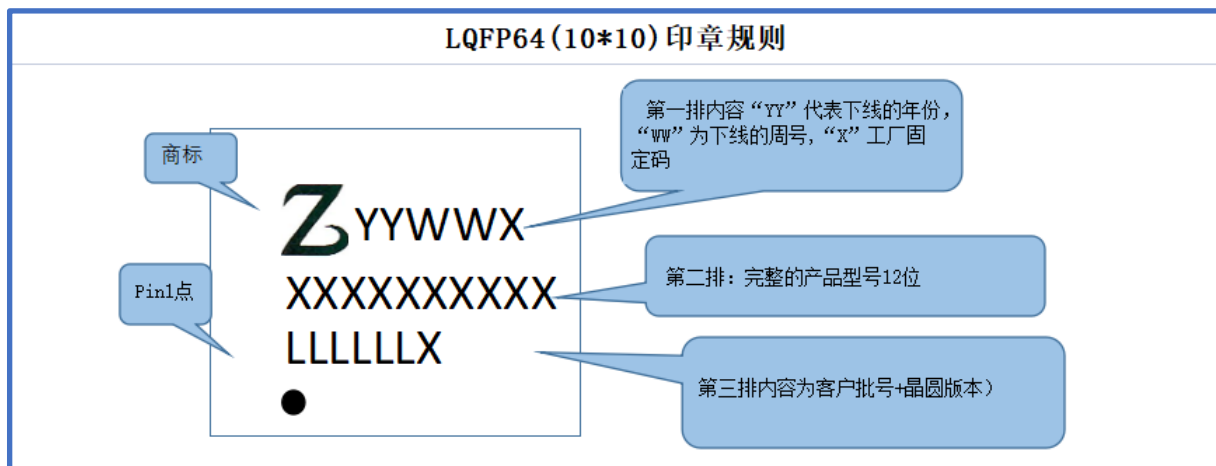
DETAIL X



Symbol	符号	QFP44-1			TQFP48			LQFP64			LQFP100			LQFP128		
		Min	Nom	Max	Min	Nom	Max	Min	Nom	Max	Min	Nom	Max	Min	Nom	Max
A	总高	1.95		2.30	0.95		1.20	1.40		1.60	1.40		1.60	1.40		1.60
A1	站高	0.05		0.20	0.05		0.15	0.05		0.15	0.05		0.15	0.05		0.15
A2	塑封体厚	1.90		2.10	0.90		1.05	1.35		1.45	1.35		1.45	1.35		1.45
B	脚宽	0.30		0.38	0.15		0.25	0.17		0.25	0.17		0.27	0.12		0.24
C	脚厚	0.11		0.23	0.09		0.20	0.09		0.18	0.09		0.18	0.09		0.18
D	跨度	12.90		13.50	8.80		9.20	11.80		12.20	15.80		16.20	15.80		16.20
D1	塑封体长	9.90		10.10	6.85		7.05	9.90		10.10	13.90		14.10	13.90		14.10
E	跨度	12.90		13.50	8.80		9.20	11.80		12.20	15.80		16.20	15.80		16.20
E1	塑封体宽	9.90		10.10	6.85		7.05	9.90		10.10	13.90		14.10	13.90		14.10
e	脚间距	0.8TYP			0.5TYP			0.5TYP			0.5TYP			0.4TYP		
L	脚长	0.60		1.00	0.45		0.75	0.45		0.70	0.45		0.70	0.45		0.70
L1	脚尖到PKG间距	1.6TYP			0.85		1.15	0.90		1.10	0.90		1.10	0.90		1.10
θ	脚角度	0°~7°			0°~7°			0°~7°			0°~7°			0°~5°		
θ1	肩角度	0°		-	0°		-	0°		-	0°		-	0°		-
θ2	上模脱模	8° TYP			12° TYP			12° TYP			12° TYP			12° TYP		
θ3	下模脱模	8° TYP			12° TYP			12° TYP			12° TYP			12° TYP		

6.2 丝印说明

6.2-1 LQFP64





【7】 型号命名

ZB32	F	1	03	R	C	L	6
产品系列							
ZB32= 基于ARM® Cortex的32位微控器							
产品类型							
F= 通用							
MCU类型							
1= M3							
产品子系列							
03=基本型							
引脚数							
R=64 PIN C=48 PIN K= 32 PIN							
Flash 容量							
C=256KB							
封装型态							
P = TSSOP Q = QFN T = LQFP							
环境温度							
6 = -40~85° C							



【8】 产品选型表

ZBIT CONFIDENTIAL



【9】 版本修订纪录

Version	Date.	Description
V0.0	2022-0622	Initial

ZBIT CONFIDENTIAL