

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

75.562R09R06R18REEX
75.562 09 06 18 EX

Espacio para la etiqueta identificativa con el código
personal del **estudiante**.
Examen

Este enunciado corresponde también a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura matriculada.
- Debes pegar una sola etiqueta de estudiante en el espacio correspondiente de esta hoja.
- No se puede añadir hojas adicionales, ni realizar el examen en lápiz o rotulador grueso.
- Tiempo total: **2 horas** Valor de cada pregunta: **Prob. 1: 20%; Prob. 2: 35%; Prob. 3: 35%; Prob. 4: 10%.**
- En el caso de que los estudiantes puedan consultar algún material durante el examen, ¿cuáles son?: **No se puede consultar ningún tipo de material.**
- En el caso de poder usar calculadora, de que tipo? **NINGUNA**
- En el caso de que haya preguntas tipo test: ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?

Indicaciones específicas

– **Razonad las respuestas en cada ejercicio. las respuestas sin justificar no obtendrán puntuación.**

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

Enunciados

PROBLEMA 1 [20%]

Considerad el número binario $A = 01000101$ y el número decimal $B = -27$, junto con el formato de representación de los números enteros en **Complemento a 2 y en 8 bits**. Contestad los apartados siguientes:

- a) [5%] Si A representa un número entero en el formato dado en este ejercicio, indicad cuál es el valor en decimal de este número entero.

El valor del número $A = 01000101$ se puede obtener mediante el TFN, es decir:

$$01000101_{(Ca2)} = -0 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 64 + 4 + 1 = 69_{(10)}$$

- b) [5%] Representad el número entero B en el formato dado.

Aplicamos el método de las divisiones enteras sucesivas para obtener la representación de la magnitud del número B .

$$\begin{array}{rclcl} 27 & = & 13 \cdot 2 & + & 1 \\ 13 & = & 6 \cdot 2 & + & 1 \\ 6 & = & 3 \cdot 2 & + & 0 \\ 3 & = & 1 \cdot 2 & + & 1 \\ 1 & = & 0 \cdot 2 & + & 1 \end{array} \quad \uparrow$$

Añadimos ceros y tenemos $27_{(10)} = 00011011_{(2)}$ en el formato de 8 bits.

Para obtener la representación de -27 se puede aplicar el cambio de signo de la representación de la magnitud en positivo, que consiste en sumar un 1 al bit menos significativo del número con los bits "invertidos" (es decir, cambiados por el opuesto):

$$\begin{array}{r} 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 0 \ 0 \\ + 1 \\ \hline 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 0 \ 1 \end{array}$$

Finalmente, pues: $B = 11100101_{(Ca2)}$.

- c) [10%] Realizad la suma de los dos números $A + B$ usando el formato de representación dado. Indicad el resultado y si se produce desbordamiento en el cálculo de este resultado.

Hacemos la suma $A + B$:

$$\begin{array}{r} \\ \ 1 \ 0 \ 0 \ 0 \ 1 \ 0 \ 1 \leftarrow A \\ + \ 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 0 \ 1 \leftarrow B \\ \hline 1 \ 0 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \end{array}$$

No se produce desbordamiento. La suma de un valor positivo y uno de negativo en Ca2 nunca produce desbordamiento.

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

PROBLEMA 2 [35%]

- a) **[10%]** Dada la tabla de verdad siguiente, donde a , b , c y d son las entradas y g la salida. Minimiza la salida g mediante el método de Karnaugh.

a	b	c	d	g
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

El mapa de Karnaugh para la función g es el siguiente:

$ab \backslash cd$	00	01	11	10
00	0	1	x	1
01	0	1	x	1
11	1	1	x	0
10	0	1	x	1

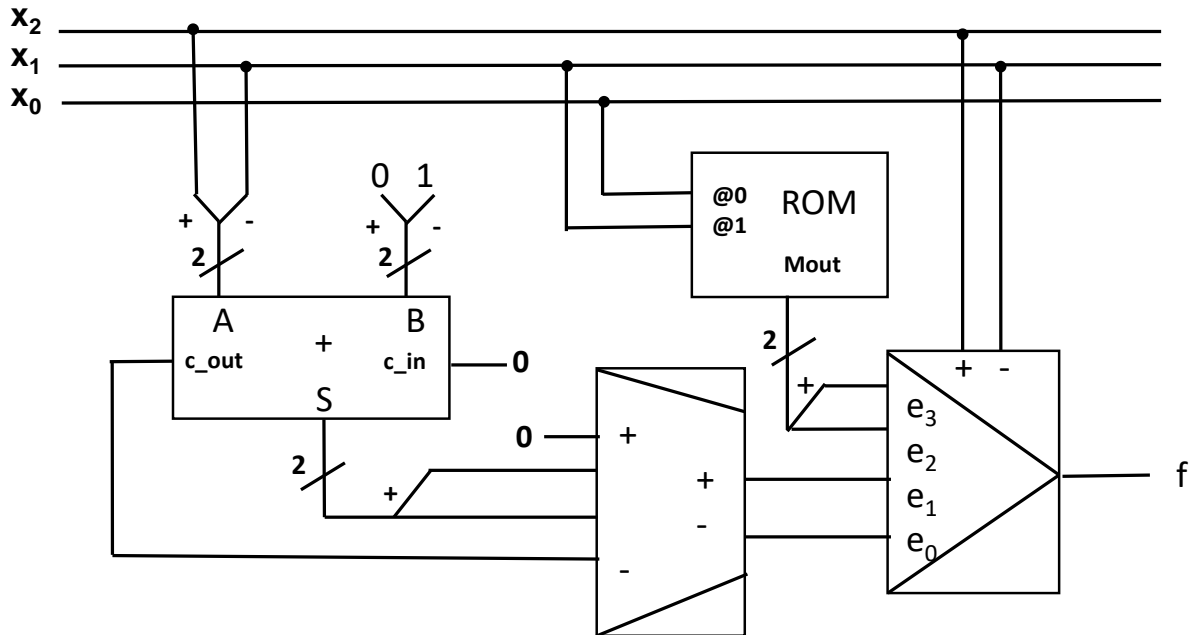
Y obtenemos la siguiente expresión mínima:

$$g = b + ac' + a'cd + ad'$$

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

b) [15%] Dado el circuito lógico combinacional siguiente:



donde el contenido de la memoria ROM es:

@	M[@]
0	10
1	01
2	11
3	00

Rellenad la tabla de verdad siguiente, que especifica la salida f en función de las entradas, calculando previamente los valores intermedios indicados en la tabla (salida del sumador, entrada de datos del multiplexor).

			Salida sumador			Entrada MUX				
X_2	X_1	X_0	S_1	S_0	c_{out}	e_3	e_2	e_1	e_0	f
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

Primero, calcularemos las salidas del sumador $S(s_1, s_0)$ y c_{out} . El sumador incrementa en 1 la entrada de 2 bits formada por $[x_2, x_1]$, por lo tanto:

- Si $[x_2, x_1]=00$, la salida S del sumador valdrá 01.
- Si $[x_2, x_1]=01$, la salida S del sumador valdrá 10.

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

- Si $[x_2, x_1]=10$, la salida S del sumador valdrá 11.
- Si $[x_2, x_1]=11$, la salida S del sumador valdrá 00.
- La salida c_out solamente valdrá 1 cuando $[x_2, x_1]=11$.

A continuación, calcularemos las salidas del codificador que se conectan a las entradas e_1 y e_0 del MUX. El valor de las salidas del codificador depende de cuál sea la entrada de más peso que valga 1.

- A la entrada de más peso hay conectado un 0, por lo tanto, la salida nunca será 3 (11 en binario).
- A la entrada 2 se le ha conectado la salida s_1 del sumador, si ésta vale 1 la salida del codificador valdrá 2 (10 en binario). Por lo tanto, cuando la salida s_1 del sumador valga 1, la entrada e_1 del multiplexor valdrá 1 y la entrada e_0 valdrá 0.
- La salida del codificador será 01 si la entrada 1 del codificador vale 1 y las entradas 2 y 3 valen 0. Por lo tanto, cuando la salida s_1 del sumador valga 0 y la salida s_0 del sumador valga 1 la entrada e_1 del multiplexor valdrá 0 y la entrada e_0 valdrá 1.
- La salida del codificador será 00 si sus entradas 1, 2 y 3 valen 0. Por lo tanto, cuando la salida s_1 del sumador valga 0 y la salida s_0 del sumador valga 0, la entrada e_1 del multiplexor valdrá 0 y la entrada e_0 valdrá 0.

Las salidas de la ROM que están conectadas a las entradas e_3 y e_2 del multiplexor las podemos rellenar directamente a partir del contenido de la ROM, teniendo en cuenta que en su entrada de direcciones se ha conectado $[x_1, x_0]$, así:

- La entrada del multiplexor e_3 valdrá 1 cuando la salida de la ROM sea 10 o 11. Esto pasará cuando $[x_1, x_0]=00$ o cuando $[x_1, x_0]=10$.
- La entrada del multiplexor e_2 valdrá 1 cuando la salida de la ROM sea 01 o 11. Esto pasará cuando $[x_1, x_0]=01$ o cuando $[x_1, x_0]=10$.

Finalmente, la salida f del multiplexor depende de las entrada $[x_2, x_1]$, ya que éstas están conectadas a su entrada de selección.

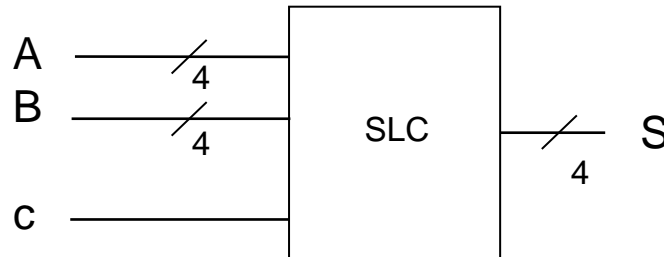
- Si $[x_2, x_1]=00$, la salida del multiplexor será su entrada e_0 .
- Si $[x_2, x_1]=01$, la salida del multiplexor será su entrada e_1 .
- Si $[x_2, x_1]=10$, la salida del multiplexor será su entrada e_2 .
- Si $[x_2, x_1]=11$, la salida del multiplexor será su entrada e_3 .

			Salida sumador			Entrada MUX				
x_2	x_1	x_0	s_1	s_0	c_out	e_3	e_2	e_1	e_0	f
0	0	0	0	1	0	1	0	0	1	1
0	0	1	0	1	0	0	1	0	1	1
0	1	0	1	0	0	1	1	1	0	1
0	1	1	1	0	0	0	0	1	0	1
1	0	0	1	1	0	1	0	1	0	0
1	0	1	1	1	0	0	1	1	0	1
1	1	0	0	0	1	1	1	0	0	1
1	1	1	0	0	1	0	0	0	0	0

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

c) **[10%]** Un sistema combinacional SLC tiene las siguientes entradas y salidas:



A y B son números naturales entre 0 y 7 codificados en binario. El valor de S viene determinado por la siguiente tabla:

c	S
0	$A + B$
1	$\max(A, B)$

Implementad el sistema SLC a nivel de bloques (la función $\max(A, B)$ devuelve cualquiera de los dos valores en caso que sean iguales). Indicad el ancho de todos los buses.

Hay que realizar dos cálculos: $A + B$, y $\max(A, B)$.

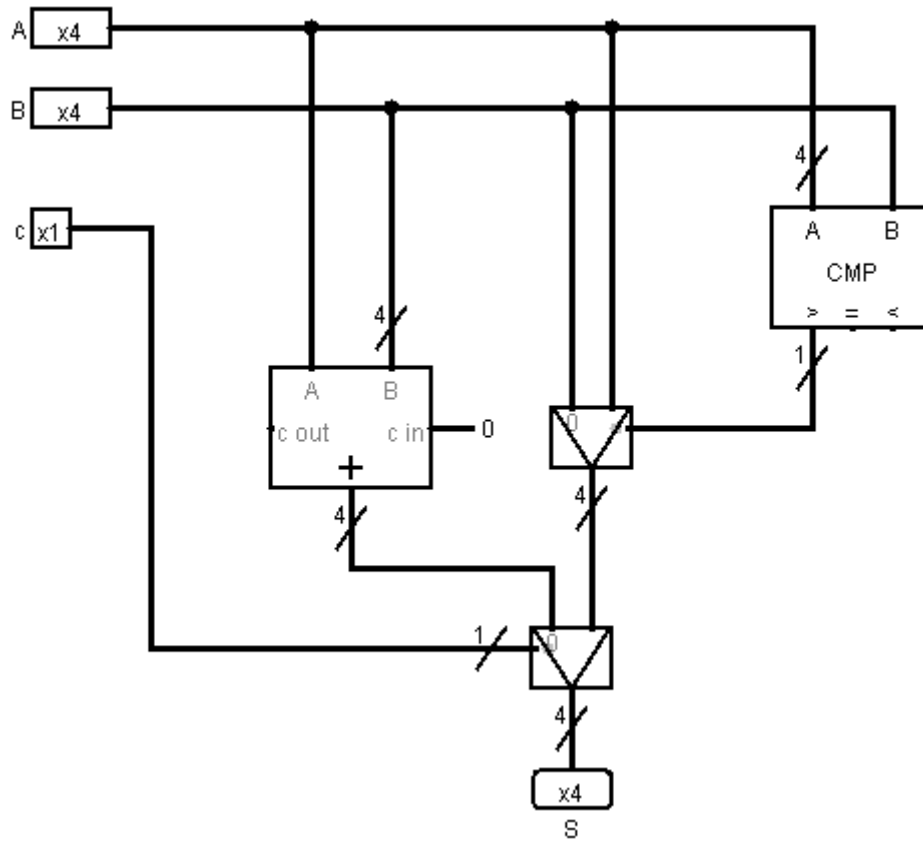
Para calcular $A + B$ usaremos un sumador de 4 bits en el que conectaremos las entradas A y B . Al ser el rango de A y B $[0..7]$, el rango de su suma será $[0..14]$. Por lo tanto, no hará falta tener en cuenta la salida c_out del sumador ya que será siempre 0.

Para calcular $\max(A, B)$, compararemos las entradas A y B , y en función del resultado de la comparación escogemos con un multiplexor la mayor de las dos. Para esto, conectaremos la salida del comparador a la entrada de selección del multiplexor.

Finalmente, conectaremos el resultado de los dos cálculos a las entradas de datos de un multiplexor al que conectaremos a su entrada de selección la entrada c .

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00



Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

PROBLEMA 3 [35%]

- a) **[15%]** Diseñad el grafo de estados de un circuito secuencial, con una entrada E de un bit y una salida S de un bit. El circuito lee bits por la entrada de manera secuencial, y tiene que detectar series que empiecen por 11 (cabecera) y que acaben por 00 (cola). Entre la cabecera y la cola puede haber un número indeterminado de bits, teniendo siempre en cuenta que la pareja 00 acaba la serie. Cuando se detecta una serie, la salida se pondrá a 1 durante un ciclo y empezará a leer el número siguiente. En cualquier otro caso la salida tiene que ser 0.

Ejemplo de funcionamiento:

Entrada E	0	1	0	1	1	0	1	0	0	0	1	0	1	1	0	0	1	0
Salida S	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0

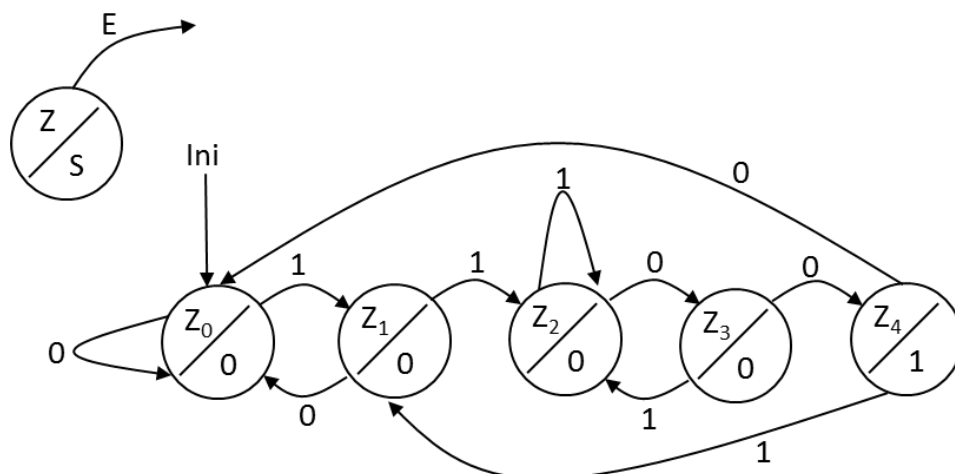
donde las salidas en negrita corresponden a series detectadas.

Los estados que debe tener el circuito son los siguientes:

- Z_0 : Estado inicial del circuito. No se ha reconocido ningún bit de la serie.
- Z_1 : Se ha reconocido el primer 1 de la serie.
- Z_2 : Se ha reconocido los bits 11 que encabezan una serie válida.
- Z_3 : Se ha reconocido hasta el primer bit a 0 que finaliza una serie válida.
- Z_4 : Se ha reconocido una serie válida de forma completa.

El único estado que tiene la salida $S=1$ es el estado Z_4 . Todos los otros estados tienen la salida $S=0$.

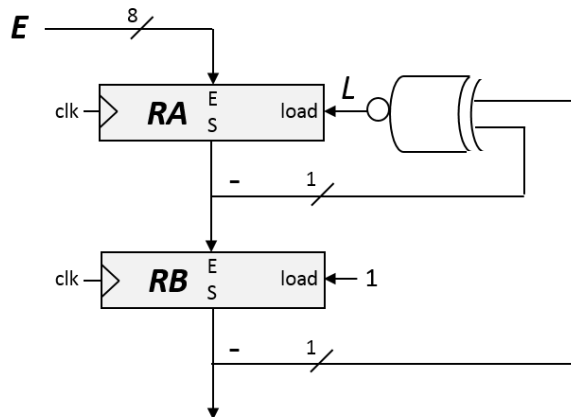
El grafo de estados que resulta es el siguiente:



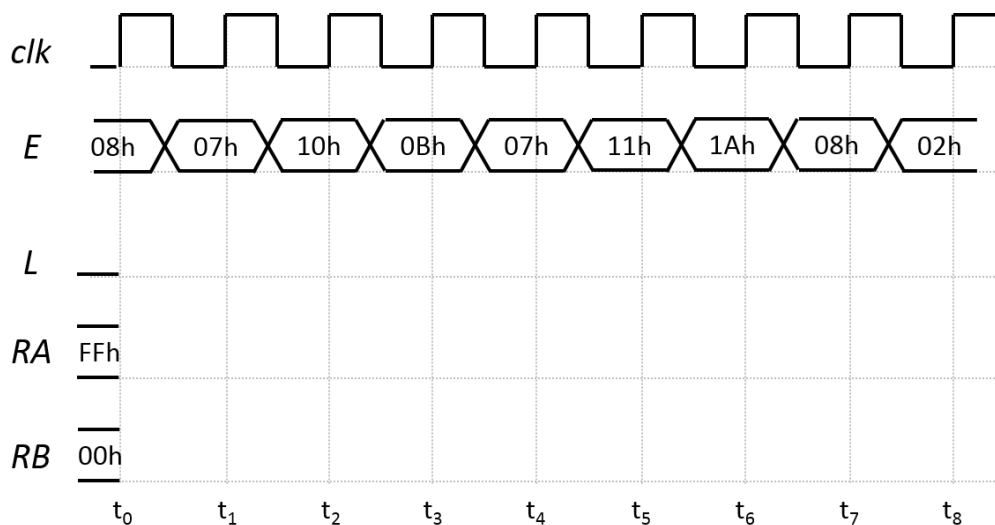
Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

b) [20%] Dado el circuito secuencial siguiente:



Completad el cronograma siguiente:



Analizando el circuito vemos que el registro *RB* se carga a cada ciclo de reloj con el contenido del registro *RA*.

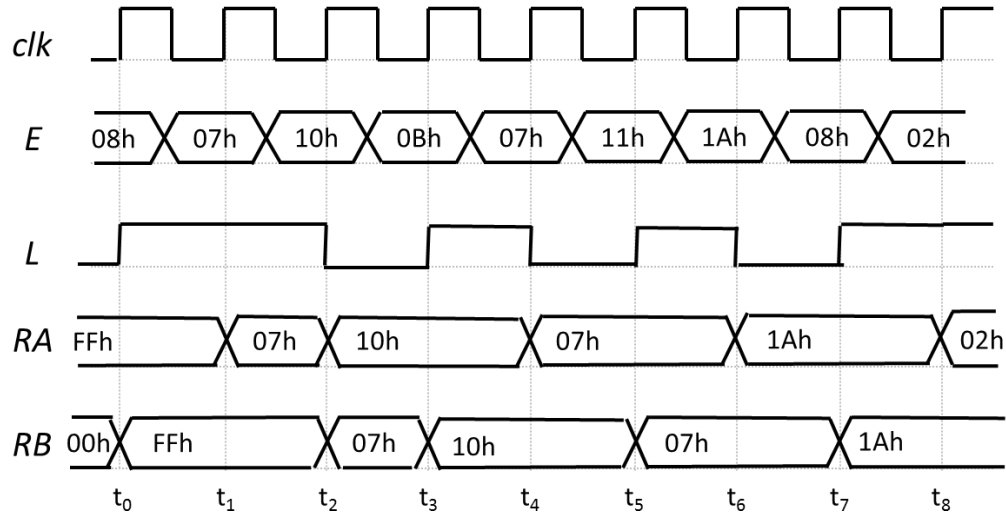
El registro *RA* se carga con la entrada *E* según el valor de la señal *L*. Esta señal es la XNOR de los bits de menor peso de los registros *RA* y *RB*. Esto quiere decir que si estos dos bits son diferentes $L=0$ y si son iguales $L=1$.

Miramos qué pasa en el primer flanco ascendente de la señal de reloj, instante t_0 . La señal *L* justo antes del flanco vale 0 (XNOR de los bits 1 y 0 correspondientes a los bits de menor peso de *RA* y *RB*). Por lo tanto, en este flanco el registro *RA* no se cargará. Una vez hechos los cambios del flanco tenemos que *RA* continúa valiendo FFh y *RB* pasa a valer FFh. Ahora, justo al inicio del ciclo, la señal *L* pasa a valer 1 y permitirá la carga de *RA* en el próximo flanco.

Si vamos repitiendo este razonamiento en el resto de ciclos tenemos que el cronograma resultante es:

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00



PROBLEMA 4 [10%]

a) [5%] ¿Para qué se usa la memoria *caché*?

Para proporcionar a la CPU un acceso más rápido a la información de la memoria principal.

b) [5%] ¿Qué es la arquitectura de Von Neumann?

Una manera de construir máquinas que tienen una memoria común para las instrucciones y los datos.

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00

Examen 2017/18-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	09/06/2018	09:00