

## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

**Este enunciado también corresponde a las siguientes asignaturas:**

---

- 81.518 - Fundamentos de computadores

### Ficha técnica del examen

---

- No es necesario que escribas tu nombre. Una vez resuelta la prueba final, solo se aceptan documentos en formato .doc, .docx (Word) y .pdf.
  - Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
  - Tiempo total: **2 horas** Valor de cada pregunta: **P1:20%; P2:35%; P3:35%; P4:10%**
  - ¿Se puede consultar material durante la prueba? **NO** ¿Qué materiales están permitidos?  
**Ninguno**
  - ¿Puede utilizarse calculadora? **NO** ¿De qué tipo? **NINGUNO**
  - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?
  - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

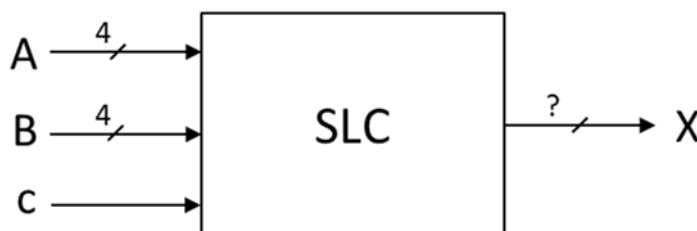


## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

### PROBLEMA 2 [35 %]

- a) [25 %] Un sistema combinacional SLC tiene las entradas y salidas siguientes:



dónde  $A$  y  $B$  son números naturales de 4 bits codificados en complemento a 2. La salida  $X$  también es un entero en  $\mathbb{C}_2$ , donde su valor viene determinado por la tabla siguiente donde la operación “/” indica una división entera:

| c | X           |
|---|-------------|
| 0 | $(A+B) / 8$ |
| 1 | $B \cdot 5$ |

- i. [5 %] ¿Cuántos bits debe tener como mínimo la salida  $X$  para que no se pueda producir nunca desbordamiento?

El rango de representación de un número entero en  $\mathbb{C}_2$  es  $[-2^{n-1}, 2^{n-1}-1]$ . En este caso, con números codificados con 4 bits, el rango resultante es  $[-8, 7]$ .

Con la primera operación, el resultado estará entre  $[(-8-8)/8, (7+7)/8] = [-2, 1]$ , necesitando 2 bits para representar estos valores.

En el caso de la segunda operación, el rango de los resultados será  $[-8 \cdot 5, 7 \cdot 5] = [-40, 35]$ , que son representables con un mínimo de 7 bits.

Por eso, la salida debe tener **7 bits** para que no se pueda producir desbordamiento.

- ii. [20 %] Implementad el circuito SLC sabiendo que podéis disponer de todas las puertas y bloques que se han explicado en el temario, excepto memorias ROM.

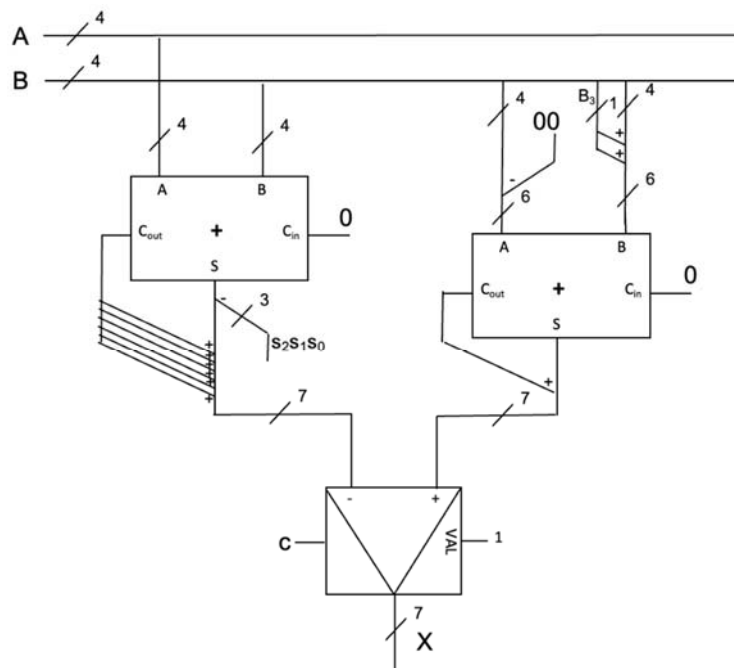
La salida del circuito está determinada por el valor de  $c$ . El circuito estará formado por dos partes que implementarán cada una de las dos funciones y un multiplexor seleccionará el valor correspondiente de estas dos partes en función del valor de  $c$ .

En la primera parte del circuito, para el caso de  $c=0$ , utilizaremos un sumador para hacer la suma de  $A$  y  $B$ . Para garantizar que el resultado no produce desbordamiento, se incrementa la precisión del resultado en un bit añadiendo a la izquierda el valor de  $c_{out}$  del sumador. La división por un valor potencia de 2 se puede implementar con un desplazamiento a la derecha. En este caso, con un desplazamiento de tres bits hacia la derecha. De esta forma, los tres bits menos significativos del resultado de la suma se eliminan, y para los bits más significativos debemos hacer una extensión de signo, repitiendo el valor del bit más significativo tantas veces como sea necesario. En este caso, 6 veces, tres por el desplazamiento de la división, y tres más para representar el resultado con una precisión de 7 bits.

## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

Por otro lado, para el caso de  $c=1$ , la operación  $B \cdot 5$  es equivalente a hacer  $B \cdot 4 + B$ . Así pues, esta parte del circuito está implementada con un sumador del valor de  $B$ , y  $B$  multiplicado por 4, que como es una multiplicación por un número potencia de dos, se puede implementar con un desplazamiento a la izquierda de dos bits. Hay que fijarse en que las entradas del sumador son de 6 bits y que, por eso, se debe hacer la extensión de signo del valor de  $B$  para uno de los operandos. Finalmente, para garantizar que no haya desbordamiento, el  $c_{out}$  del sumador se incorpora al resultado como su bit más significativo.



b) [10 %] Minimiza la función siguiente por el método de Karnaugh y haz la síntesis del circuito a dos niveles:

| a | b | c | d | f |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | X |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | X |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | X |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | X |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | X |
| 1 | 1 | 1 | 1 | 0 |

## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

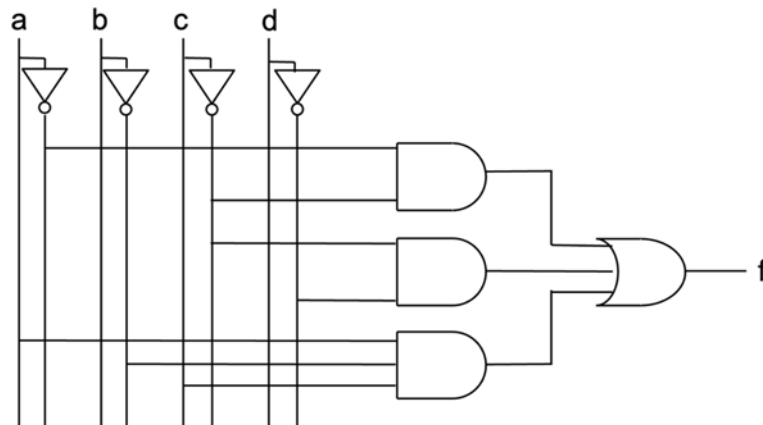
Esta función lógica tiene una única solución que se muestra al siguiente mapa de Karnaugh:

| ab \ cd | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00      | x  | 1  | 1  | x  |
| 01      | 1  | x  | 0  | 0  |
| 11      | 0  | 0  | 0  | 1  |
| 10      | x  | 0  | x  | 1  |

Dónde la expresión mínima que tiene este mapa de Karnaugh es:

$$f = c' \cdot d' + a' \cdot c' + a \cdot b' \cdot c$$

El circuito a dos niveles que implementa esta función con puertas lógicas es el siguiente:

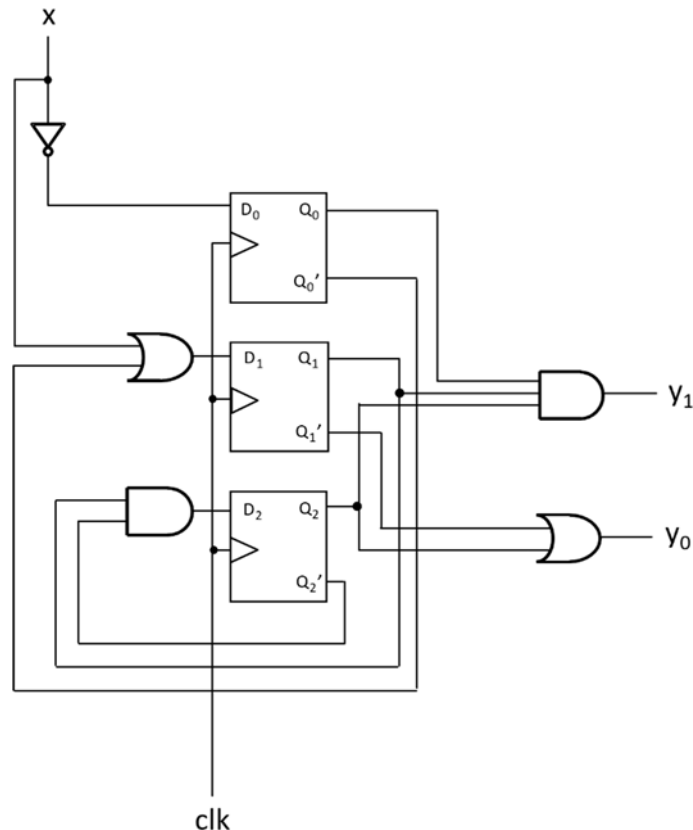


## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

### Problema 3 [35 %]

a) [17,5 %] Dado el circuito siguiente:



Se pide que analicéis el circuito y construyáis la tabla de transiciones y la tabla de salidas correspondientes. Al escribir la tabla de transiciones, poned en primer lugar las variables que codifican el estado, en el orden de pesos habitual, y a continuación las variables de entrada.

Denominaremos  $q_2$ ,  $q_1$  y  $q_0$  las señales que salen de los biestables con salidas de nombre  $Q_2$ ,  $Q_1$  y  $Q_0$  respectivamente, y denominaremos  $d_2$ ,  $d_1$  y  $d_0$  las señales que llegan a las entradas respectivas.

Para escribir la tabla de transiciones necesitamos saber qué valores llegan a las entradas de los biestables, y esto lo podemos analizar obteniendo las expresiones de  $d_2$ ,  $d_1$  y  $d_0$  a partir del circuito:

$$d_0 = x'$$

$$d_1 = x + q_0'$$

$$d_2 = q_1 \cdot q_2'$$

A partir de aquí ya podemos escribir la tabla de transiciones:

## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

| q <sub>2</sub> | q <sub>1</sub> | q <sub>0</sub> | x | q <sub>2</sub> <sup>+</sup> = d <sub>2</sub> | q <sub>1</sub> <sup>+</sup> = d <sub>1</sub> | q <sub>0</sub> <sup>+</sup> = d <sub>0</sub> |
|----------------|----------------|----------------|---|--|--|--|
| 0              | 0              | 0              | 0 | 0  | 1  | 1  |
| 0              | 0              | 0              | 1 | 0  | 1  | 0  |
| 0              | 0              | 1              | 0 | 0  | 0  | 1  |
| 0              | 0              | 1              | 1 | 0  | 1  | 0  |
| 0              | 1              | 0              | 0 | 1  | 1  | 1  |
| 0              | 1              | 0              | 1 | 1  | 1  | 0  |
| 0              | 1              | 1              | 0 | 1  | 0  | 1  |
| 0              | 1              | 1              | 1 | 1  | 1  | 0  |
| 1              | 0              | 0              | 0 | 0  | 1  | 1  |
| 1              | 0              | 0              | 1 | 0  | 1  | 0  |
| 1              | 0              | 1              | 0 | 0  | 0  | 1  |
| 1              | 0              | 1              | 1 | 0  | 1  | 0  |
| 1              | 1              | 0              | 0 | 0  | 1  | 1  |
| 1              | 1              | 0              | 1 | 0  | 1  | 0  |
| 1              | 1              | 1              | 0 | 0  | 0  | 1  |
| 1              | 1              | 1              | 1 | 0  | 1  | 0  |

Para rellenar la tabla de salidas tenemos que obtener la expresión algebraica de las señales de salida, a partir del circuito:

$$y_1 = q_0 \cdot q_1 \cdot q_2$$

$$y_0 = q_1' + q_2$$

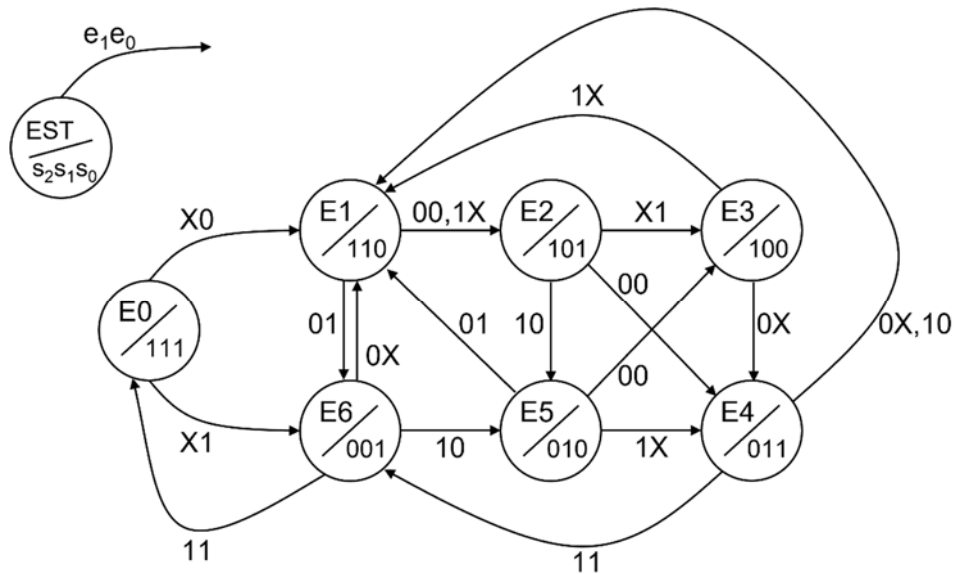
A partir de estas expresiones rellenamos directamente la tabla de salidas:

| q <sub>2</sub> | q <sub>1</sub> | q <sub>0</sub> | y <sub>1</sub> | y <sub>0</sub> |
|----------------|----------------|----------------|----------------|----------------|
| 0              | 0              | 0              | 0              | 1              |
| 0              | 0              | 1              | 0              | 1              |
| 0              | 1              | 0              | 0              | 0              |
| 0              | 1              | 1              | 0              | 0              |
| 1              | 0              | 0              | 0              | 1              |
| 1              | 0              | 1              | 0              | 1              |
| 1              | 1              | 0              | 0              | 1              |
| 1              | 1              | 1              | 1              | 1              |

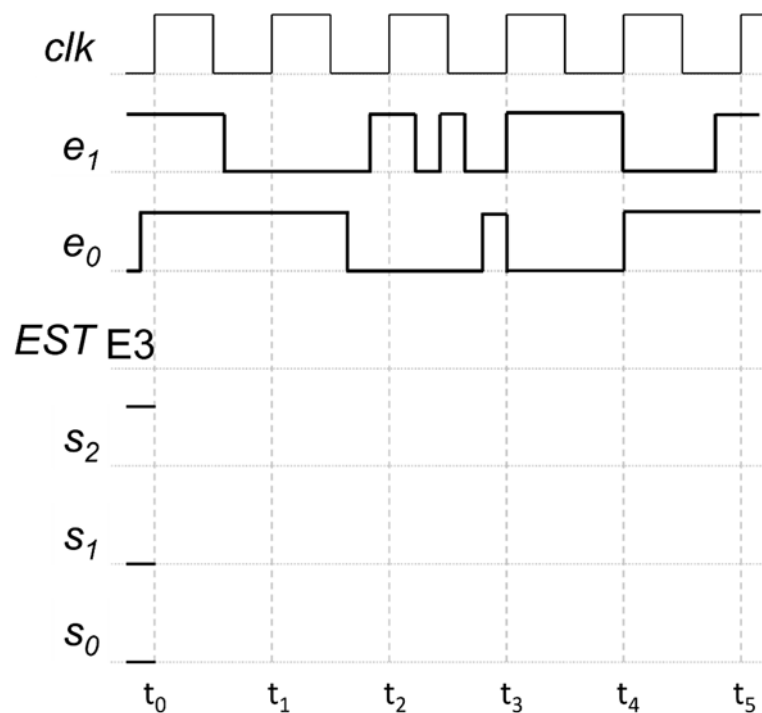
## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

b) Dado el grafo de estados siguiente, que describe el funcionamiento de un circuito lógico secuencial:



i) [12,5 %] Completad el cronograma siguiente:





## Examen 2023/24-2

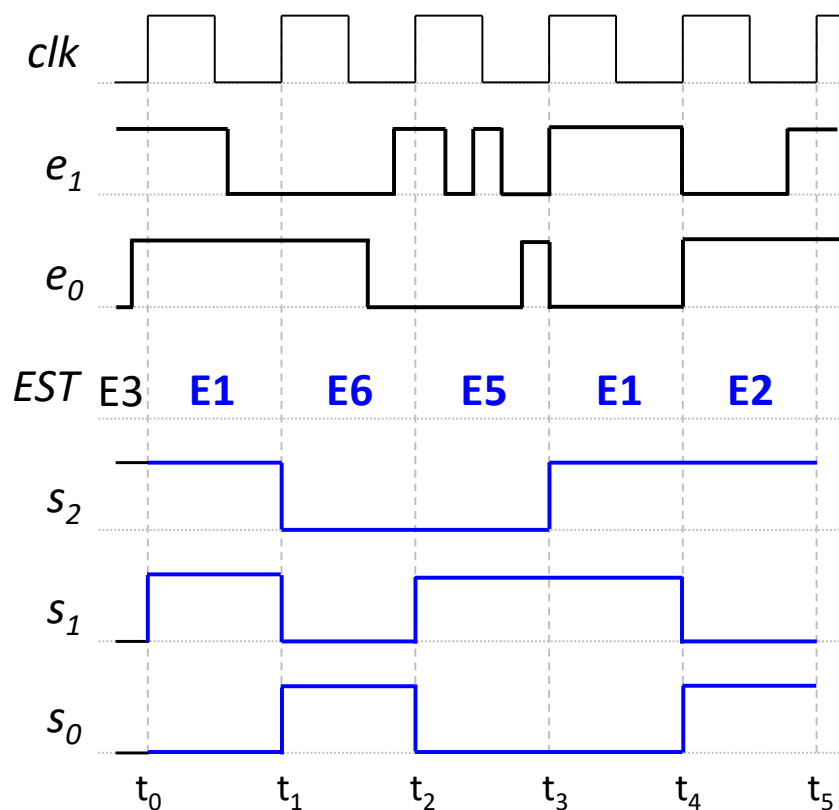
| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

Empezaremos escribiendo los estados por los que va pasando el circuito. Para saber a qué estado pasa en cada flanco de reloj (instantes  $t_i$ ), observamos en qué estado nos encontramos, y cuánto valen las señales de entrada en el instante justo anterior al flanco. Por ejemplo, justo antes del instante  $t_0$  vemos que  $e_1 = e_0 = 1$ . Observamos el grafo, y vemos que del estado E3 con entradas 11 vamos al estado E4.

Razonando de forma análoga para cada flanco, escribimos en el cronograma los estados adonde nos va llevando cada transición.

Los valores de las señales de salida en cada momento los obtenemos directamente mirando en el grafo cuánto valen las salidas en cada estado.

El cronograma completo se muestra a continuación.



## Examen 2023/24-2

| Asignatura                  | Código | Fecha     | Hora inicio |
|-----------------------------|--------|-----------|-------------|
| Fundamentos de computadores | 75.562 | 26/6/2024 | 12:30       |

- ii) **[5 %]** ¿Cuántos bits de entrada tiene el circuito que implementa este grafo? ¿Cuántos bits de salida? ¿Cuál será el número mínimo de biestables para implementarlo? Si lo implementamos usando una memoria ROM, ¿cuántos bits de direcciones y cuántos bits de datos necesitará esta memoria?

El número de bits de entrada lo vemos, por ejemplo, en la leyenda: son **2 bits** ( $e_1$  y  $e_0$ ).

Igualmente vemos que el circuito tiene **3 bits de salida** ( $s_1$ ,  $s_1$  y  $s_0$ ).

El grafo tiene 7 estados, y por tanto harán falta 3 bits para codificarlos ( $\log_2(7)$  es un número real entre 2 y 3). Por lo tanto, el circuito deberá tener (al menos) **3 biestables**, uno para cada bit de codificación de los estados. Les podemos llamar  $q_2$ ,  $q_1$  y  $q_0$ .

Al implementar un circuito secuencial con una memoria ROM, la ROM tiene que tener una palabra por cada estado y cada posible combinación de variables de entrada. Es decir, una palabra por cada combinación de las señales [ $q_2$   $q_1$   $q_0$   $e_1$   $e_0$ ]. Por lo tanto, estas son las señales que llegarán a la entrada de direcciones de la ROM, que será de **5 bits** (y la ROM tendrá  $2^5 = 32$  palabras).

Cada palabra tiene que indicar el estado futuro ( $q_2^+$ ,  $q_1^+$  y  $q_0^+$ ) y el valor de las 3 señales de salida en el estado actual. Por lo tanto, cada palabra tendrá  $3 + 3 =$  **6 bits**.

### PROBLEMA 4 [10 %]

- a) **[5 %]** ¿Qué característica es más exclusiva de las arquitecturas de conjuntos de instrucciones (ISA) reducidos (RISC) respecto de los complejos (CISC)?

Tener dos tipos de instrucciones para acceder a datos en memoria: uno para lectura y otro para escritura.

- b) **[5 %]** ¿Qué son las microinstrucciones?

Son aquellas operaciones que se realizan con los recursos de cálculo de una unidad de procesamiento en un ciclo de reloj.