

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

Este enunciado también corresponde a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- No es necesario que escribas tu nombre. Una vez resuelta la prueba final, solo se aceptan documentos en formato .doc, .docx (Word) y .pdf.
 - Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
 - Tiempo total: **2 horas** Valor de cada pregunta: **P1:20%; P2:35%; P3:35%; P4:10%**
 - ¿Se puede consultar material durante la prueba? **No** ¿Qué materiales están permitidos?
Ninguno
 - ¿Puede utilizarse calculadora? **No** ¿De qué tipo? **Ninguno**
 - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? ¿Cuánto?
 - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

Enunciados

PROBLEMA 1 [20 %]

- a) **[5 %]** Considera los números $A = 010010$ y $B = 101010$, que representan números binarios enteros codificados en complemento a 2 con 6 bits. Realiza la operación $A - B$ en complemento a 2 manteniendo el formato de representación con 6 bits. Explica si se produce o no desbordamiento y por qué razón.

La operación de restar A y B en complemento a 2 implica hacer un cambio de signo de B y realizar la suma de A con el resultado.

Para aplicar el cambio de signo al valor de B :

- Se calcula el complemento bit a bit de $B = 101010$, y se obtiene la cadena de bits: 010101
- Sumamos 1 al bit menos significativo:

$$\begin{array}{rcccccc}
 & & & & 1 & & \leftarrow \text{acarreo} \\
 & 0 & 1 & 0 & 1 & 0 & 1 \\
 + & & & & & & 1 \\
 \hline
 & 0 & 1 & 0 & 1 & 1 & 0 \\
 & & & & & & \leftarrow -B_{(\text{Ca}_2)}
 \end{array}$$

Para realizar la operación pedida en el ejercicio hacemos la operación de suma de $A_{(\text{Ca}_2)}$ y $-B_{(\text{Ca}_2)}$

$$\begin{array}{rcccccccl}
 & 1 & & 1 & 1 & & & \leftarrow \text{acarreo} \\
 & 0 & 1 & 0 & 0 & 1 & 0 & \leftarrow A_{(\text{Ca2})} \\
 + & 0 & 1 & 0 & 1 & 1 & 0 & \leftarrow -B_{(\text{Ca2})} \\
 \hline
 & 1 & 0 & 1 & 0 & 0 & 0 & \leftarrow \text{resultado}
 \end{array}$$

El resultado es negativo en Ca_2 para la suma de dos números positivos. Por lo tanto, hay desbordamiento y el resultado no se puede expresar con 6 bits.

- b) **[5 %]** Dado el número $C = 11010110$, que representa un número binario entero codificado en signo y magnitud con 8 bits, indica su valor en complemento a 2.

Del valor de $C_{(SM2)}$ se determina que el signo es 1 (negativo) y que la magnitud es 1010110. Sabiendo que los valores binarios positivos en signo y magnitud, y los valores complemento a 2 en binario son iguales, se hará el cambio de signo del valor de $C_{(SM2)}$

Cambio de signo. - $C_{(SM2)} = 01010110_{(SM2)}$

En los números positivos, el valor en complemento a 2 se representa con la misma secuencia de bits que el número positivo en signo y magnitud, así pues, $01010110_{\text{SM2}} = 01010110_{\text{Ca2}}$

Finalmente se realiza el cambio de signo del valor $01010110_{(Ca2)}$ aplicando la metodología vista en los contenidos de la asignatura:

- 1) Examinando los bits de derecha a izquierda, mantenemos los mismos bits hasta encontrar el primer 1 (incluido)
- 2) A partir de este punto, hacemos el complemento bit a bit del resto de dígitos

Este sería el valor de C en complemento a 2:

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

10101010_(Ca2)

c) [10 %] Dado el formato en coma flotante siguiente:

S	Exponente	Mantisa
12	11 : 8	7 : 0

Donde:

- El bit de signo (posición 12), S, vale 0 para cantidades positivas y 1 para negativas.
- El exponente se representa en exceso a 8, con 4 bits, desde la posición 11 a la 8.
- La mantisa está normalizada en la forma 1,X. Se representa con bit implícito y con 8 bits, desde la posición 7 a la 0.
- El método de aproximación que se aplica es el truncamiento.

Representa el número $39,45_{(10)}$ en este formato de coma flotante.

Como el número que se quiere representar es positivo, se determina que el valor de $S = 0$.

Aplicando las divisiones sucesivas a la parte entera obtenemos su equivalente binario:

$$\begin{array}{rcl}
 39 & = & 19 \cdot 2 + 1 \\
 19 & = & 9 \cdot 2 + 1 \\
 9 & = & 4 \cdot 2 + 1 \\
 4 & = & 2 \cdot 2 + 0 \\
 2 & = & 1 \cdot 2 + 0 \\
 1 & = & 0 \cdot 2 + 1
 \end{array}$$

Entonces la parte entera $39_{(10)} = 100111_{(2)}$

La codificación de la parte fraccionaria aplicando el algoritmo de la división entera será:

$$\begin{array}{rcl}
 0,45 \cdot 2 & = & 0,90 = 0 + 0,90 \\
 0,90 \cdot 2 & = & 1,80 = 1 + 0,80 \\
 0,80 \cdot 2 & = & 1,60 = 1 + 0,60 \\
 0,60 \cdot 2 & = & 1,20 = 1 + 0,20
 \end{array}$$

Entonces la parte fraccionaria $0,45_{(10)} = 0,0111..._{(2)}$

El valor binario finalmente queda: $100111,0111..._{(2)}$

Como que la mantisa se representa con bit implícito y con solo 8 bits y aproximación por truncamiento

$$100111,0111..._{(2)} = 1,00111011_{(2)} \cdot 2^5$$

Respecto al exponente, toma el valor 5, y se debe representar en exceso a 8, es decir:

$$8 + 5 = 13_{(10)} = 1101_{(2)}$$

El valor en coma flotante pedido en el ejercicio es:

0 1101 00111011

Examen 2023/24-1

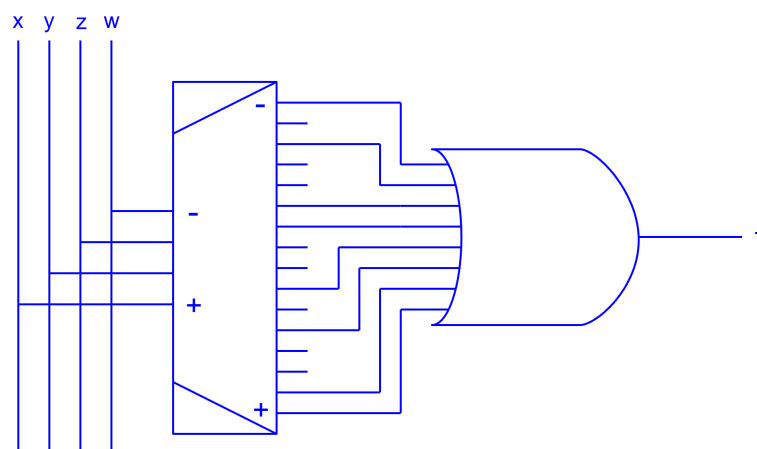
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

PROBLEMA 2 [35%]

- a) **[5%]** Implementad la función f utilizando un decodificador de 4 entradas y 16 salidas. Podéis utilizar las puertas y bloques que consideréis necesarios.

x	y	z	w	f
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Una función lógica se puede implementar con un decodificador conectando directamente las variables $xyzw$ en las entradas del decodificador, y conectando mediante una puerta OR las salidas del decodificador correspondientes a las posiciones para las cuales la función f vale 1. El circuito resultante se muestra a continuación:



Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

- b) **[15%]** Escribid la expresión algebraica mínima a dos niveles de la función g , obteniéndola mediante el método de Karnaugh. No hace falta que diseñéis el circuito mínimo a dos niveles.

a	b	c	d	g
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	X
1	0	0	1	X
1	0	1	0	0
1	0	1	1	X
1	1	0	0	X
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

El mapa de Karnaugh para la función g es el siguiente:

$ab \backslash cd$	00	01	11	10
00	0	0	X	X
01	1	1	1	X
11	1	0	0	X
10	0	1	1	0

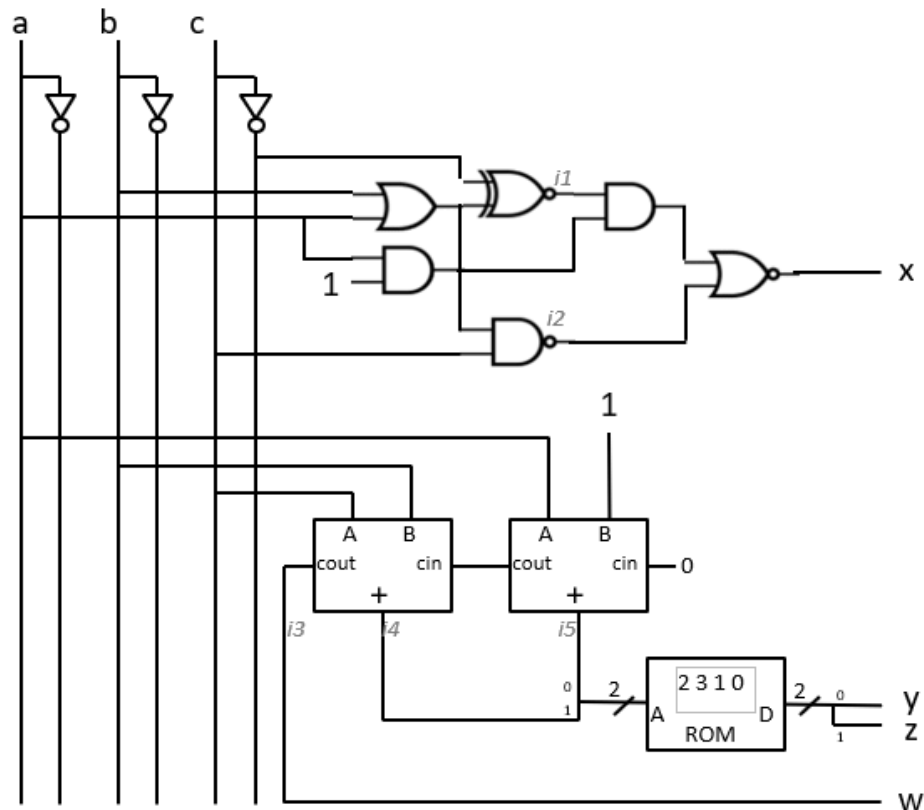
Y obtenemos esta expresión mínima:

$$g = c'd + b'd + bcd'$$

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

c) **[15%]** Dado el circuito lógico combinacional siguiente:



Se pide que rellenéis la tabla de verdad siguiente, que especifica la salida x, y, z, w en función de las entradas a, b, c . Hay que calcular previamente los valores intermedios indicados en la tabla.

Nota: No hace falta que expliquéis textualmente como obtenéis el valor de cada señal.

[illegible]

En primer lugar, escribiremos la expresión algebraica correspondiente a cada punto intermedio y la simplificaremos aplicando las leyes de De Morgan siempre que sea posible.

- $i1: (c' \text{ XNOR } a+b)$. Cuando $a+b=0$ valdrá c y cuando $a+b=1$ valdrá c' .

Examen 2023/24-1

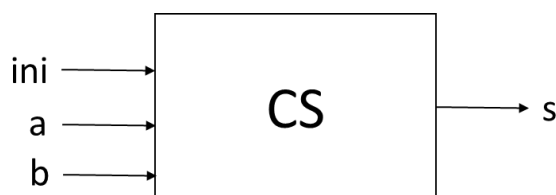
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

- $i2$: $(a+b \text{ NAND } c)$. Cuando $a+b=0$ valdrá 1 y cuando $a+b=1$ valdrá c' .
- x : $((i1 \cdot a) \text{ NOR } i2)$. Cuando $i2=1$ valdrá 0 y cuando $i2=0$ valdrá $i1'$.
- $i5$: a' ya que la entrada B del sumador siempre vale 1.
- $i4$: Si $a=0$, valdrá el bit menos significativo de la suma aritmética de $(b+c)$. Si $a=1$, $cin=1$ y por tanto valdrá el bit menos significativo de la suma aritmética de $(b+c+cin)$. Por lo tanto, $i4=(b+c+a)$.
- $i3$: Es la salida del acarreo de la operación anterior
- (z,y) es la salida de la ROM la cual contiene los valores 2,3,1,0 en las direcciones 0,1,2,3. La señal que llega a la entrada de direcciones de la ROM es $(i4, i5)$.
- w : $i3$

a	b	c	$i1$	$i2$	$i3$	$i4$	$i5$	x	y	z	w
0	0	0	0	1	0	0	1	0	1	1	0
0	0	1	1	1	0	1	1	0	0	0	0
0	1	0	1	1	0	1	1	0	0	0	0
0	1	1	0	0	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	0	1	0	0
1	0	1	0	0	1	0	0	1	0	1	1
1	1	0	1	1	1	0	0	0	0	1	1
1	1	1	0	0	1	1	0	1	1	0	1

PROBLEMA 3 [35 %]

- a) [15 %] Considerad un circuito secuencial que tiene dos señales de entrada de 1 bit (a y b), aparte de la señal de inicialización asíncrona, y una señal de salida (s) de 1 bit también.



El circuito debe calcular la suma aritmética de 2 números en binario natural que van entrando por a y b , teniendo en cuenta que los bits de menor peso de estos números son los primeros después de la inicialización y los bits con pesos crecientes van llegando a cada ciclo de reloj. La salida del estado inicial debe ser 0. Una nueva operación de suma se realiza reiniciando el circuito mediante la señal asíncrona ini .

Tened en cuenta que para hacer el grafo tendréis que llevar el control del acarreo en cada bit que se suma, de forma que el bit s que debéis obtener en cada ciclo es:

$$s_n = a_n + b_n + \text{acarreo}_{n-1}$$

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

Ejemplo de funcionamiento, en el que en la entrada a tenemos el número 10101100, en la entrada b tenemos el número 00110101 y la salida s debe ser 11100001:

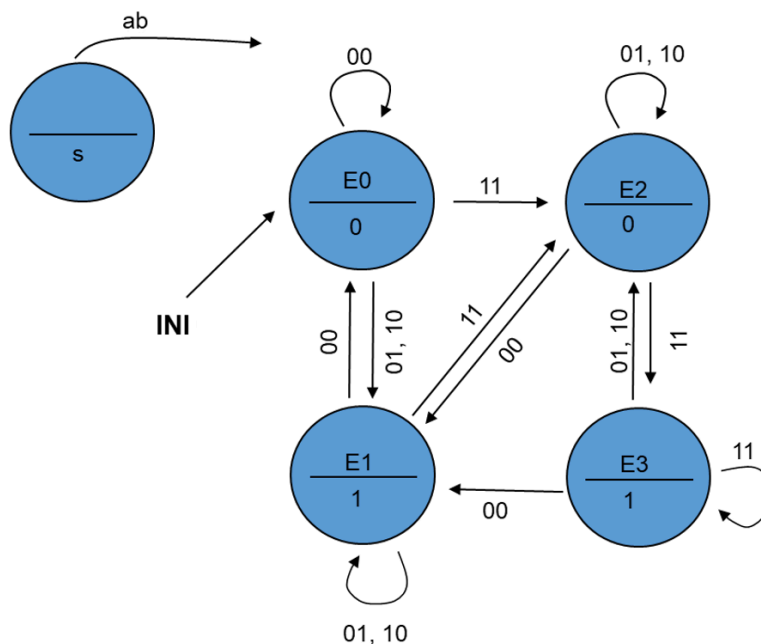
Entrada a	0	0	1	1	0	1	0	1	
Entrada b	1	0	1	0	1	1	0	0	
Salida s	0	1	0	0	0	0	1	1	1

Dibujad el grafo de estados siguiendo el modelo de Moore que realice esta especificación. Hay que especificar textualmente cuál es el significado de cada uno de los estados que forman este grafo.

Para conseguir el funcionamiento deseado, el circuito debe tener los siguientes estados:

Estado	Descripción	Salida
$E0$	Estado inicial, la salida es 0 a la espera de recibir los dos primeros valores a y b . Se mantiene en el mismo estado si las entradas a y b son 0, ya que la salida corresponde a la suma de a y b sin acarreo del ciclo anterior y por tanto, la salida es 0 y no genera ningún acarreo.	0
$E1$	Las entradas a y b son 0 y 1 o 1 y 0 respectivamente. La salida corresponde a la suma de a y b sin acarreo del ciclo anterior. Por lo tanto, la salida es 1 y no genera ningún acarreo.	1
$E2$	Las entradas son 1 si no teníamos acarreo del ciclo anterior o bien son 1 y 0 o 0 y 1 si llevábamos acarreo del ciclo anterior. La salida es 1 y además genera acarreo.	0
$E3$	Las entradas a y b son 1 y además teníamos acarreo del ciclo anterior, y por tanto, la salida será 1 y además genera acarreo.	1

El grafo representa el comportamiento deseado:



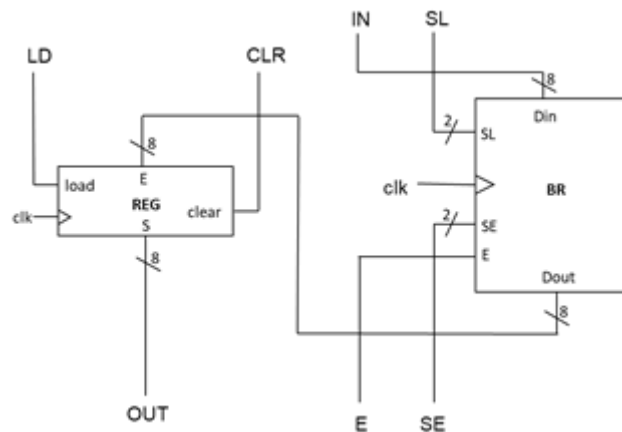
Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

b) [20 %] Considerad el siguiente circuito secuencial.

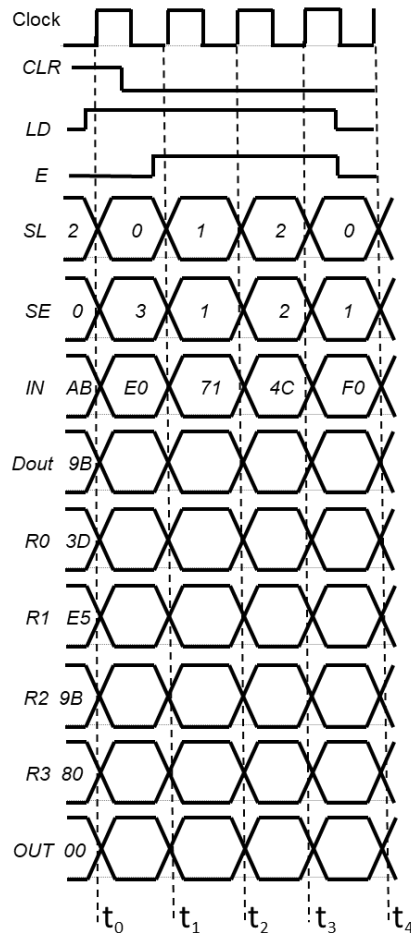


Se pide que completéis el siguiente cronograma a partir del circuito dado. Tened en cuenta que los 4 registros del banco de registros BR se denominan R0, R1, R2 y R3, respectivamente.

Indicad textualmente el razonamiento hecho para todos los valores completados del cronograma entre t_0 y t_1 .

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

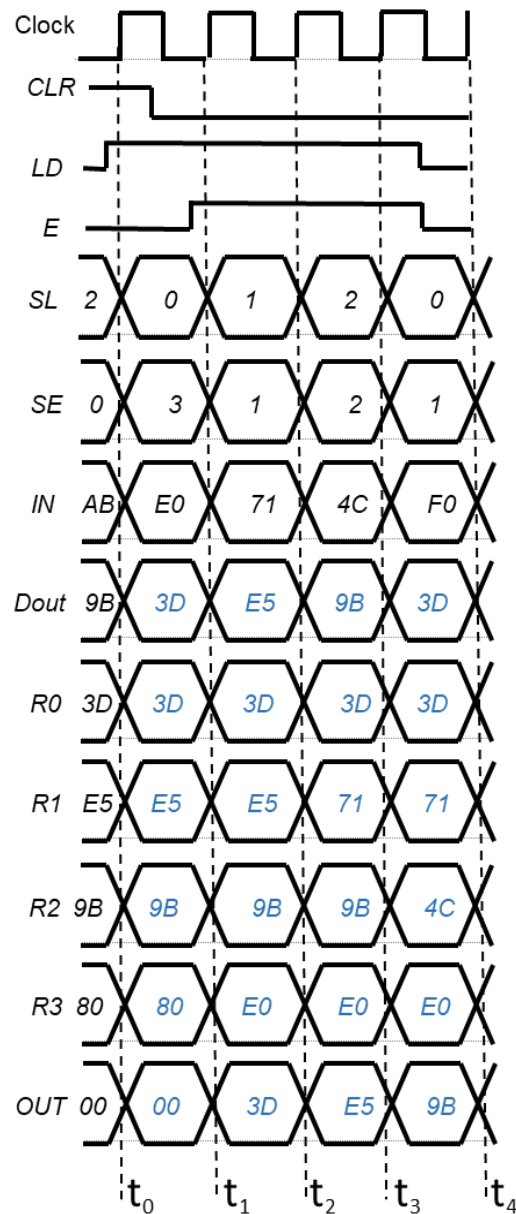


Para rellenar el cronograma debemos mirar en qué momentos se carga el registro y el banco de registros y con qué valores. En relación con los momentos, vemos que el registro se carga en cada flanco ascendente de reloj siempre que LD sea 1 y CLR sea 0. Si LD es 0 la salida del registro se mantendrá en el valor que tenga cargado y si CLR es 0 la salida del registro será 0x00 de forma asíncrona.

En cuanto al banco de registros BR, observamos que tenemos por un lado la señal E que indicará si tenemos habilitada la escritura, y SE que nos indicará el registro en el cual se escribe la entrada IN . Por otro lado, tenemos SL (entrada de selección de registros) que nos indica el valor de qué registro se observará en todo momento en la salida del banco de registros, la cual está conectada a la entrada del registro.

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30



PROBLEMA 4 [10%]

a) [5%] ¿Qué es un DSP?

Es un procesador de señales digitales los cuales están orientados a aplicaciones que requieran el procesamiento de un flujo continuo de datos.

b) [5%] ¿Para qué se usa la memoria caché?

Examen 2023/24-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2024	19:30

[Para proporcionar a la CPU un acceso más rápido a la información de la memoria principal.](#)