

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

Este enunciado también corresponde a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
 - Tiempo total: **2 horas** Valor de cada pregunta: **P1: 20%; P2: 35%; P3: 35%, i P4: 10%**
 - ¿Puede consultarse algún material durante el examen? **NO** ¿Qué materiales están permitidos?
 - ¿Puede utilizarse calculadora? **NO** ¿De qué tipo? **NINGUNO**
 - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?
 - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

S	Exponente	Mantisa
1	11111	0110000000

Signo: El bit de signo es 1, y por lo tanto el número es negativo.

Exponente: $11111_2 = 31_{10}$. Como el exponente está representado en exceso a 16, su valor es $31 - 16 = 15_{10}$.

Mantisa: Como hay bit implícito, es: 1,0110000000.

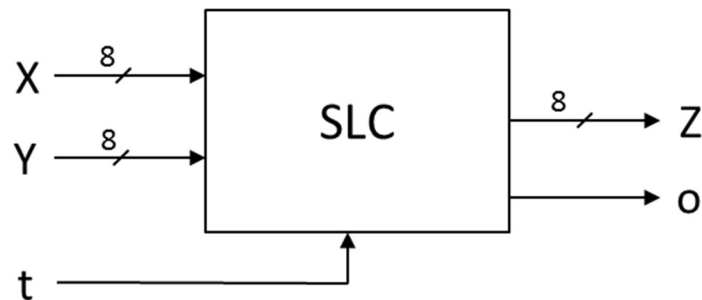
Si aplicamos el TFN, obtendremos el valor:

$$\begin{aligned}
 1,0110000000 \cdot 2^{15} &= (2^0 + 2^{-2} + 2^{-3}) \cdot 2^{15} \\
 &= 2^{15} + 2^{13} + 2^{12} \\
 &= 32.768 + 8.192 + 4.096 \\
 &= 45.056_{10}.
 \end{aligned}$$

El equivalente decimal es -45.056_{10} .

PROBLEMA 2 [35%]

a) [25 %] Un sistema combinacional SLC tiene las siguientes entradas y salidas:



donde X e Y son números enteros de 8 bits codificados en complemento a 2. La salida Z también es un entero de 8 bits en complemento a 2, donde su valor viene determinado en función de la entrada t :

t	Z
0	$X + Y$
1	$X - Y$

La salida o indica si se ha producido desbordamiento en el cálculo de la salida Z .

Implementad el circuito SLC usando los bloques y puertas que consideráis necesarios (excepto memoria ROM).

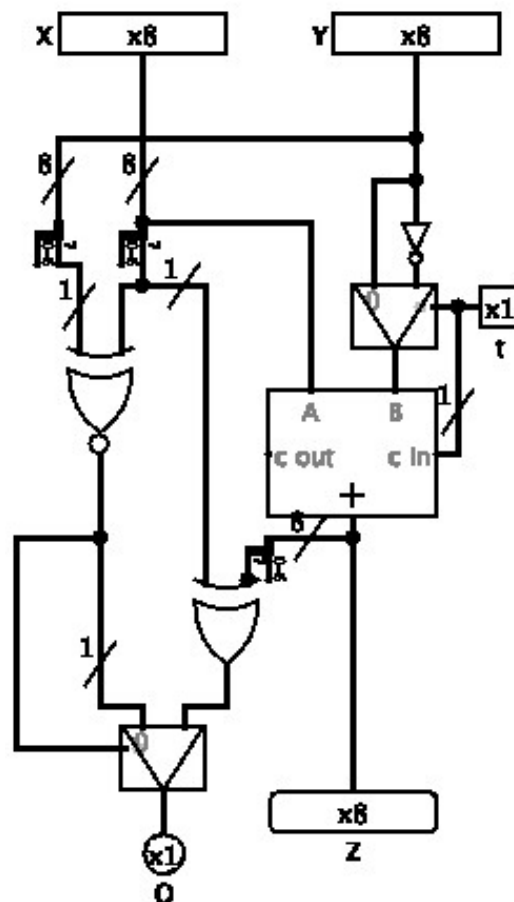
Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

Para hacer la suma o la resta en Ca2 solo nos hace falta decidir si tenemos que negar el operando Y (resta) o no (suma) y sumar ambos operandos. Esto lo conseguimos con un multiplexor que deja pasar Y si la señal $t=0$ o $-Y$ si $t=1$ y un sumador.

Para determinar si se ha producido desbordamiento en la operación (señal o) hay que ver si los operandos tienen el mismo signo o no. En caso de que tengan signo diferente no se puede producir desbordamiento, por lo tanto, si el xor negado de los bits más significativos de los operandos es 0 (son diferentes) la señal o será 0.

Si los signos son iguales (xor negado es 1), entonces podemos hacer el xor del bit más significativo del resultado con el bit más significativo de uno de los operandos (al ser iguales, podemos elegir cualquiera), si son diferentes (xor es 1), se habrá producido desbordamiento y o valdrá 1 y, si no, no habrá desbordamiento y o valdrá 0.



Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

b) [10 %] Minimizar la siguiente función por Karnaugh y hacer la síntesis del circuito a dos niveles:

a	b	c	d	h
0	0	0	0	0
0	0	0	1	1
0	0	1	0	X
0	0	1	1	X
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	X
1	0	0	0	X
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

El mapa de Karnaugh de la función h es el siguiente:

ab \ cd	00	01	11	10
00	0	1	1	X
01	1	1	0	1
11	X	X	0	X
10	X	0	0	X

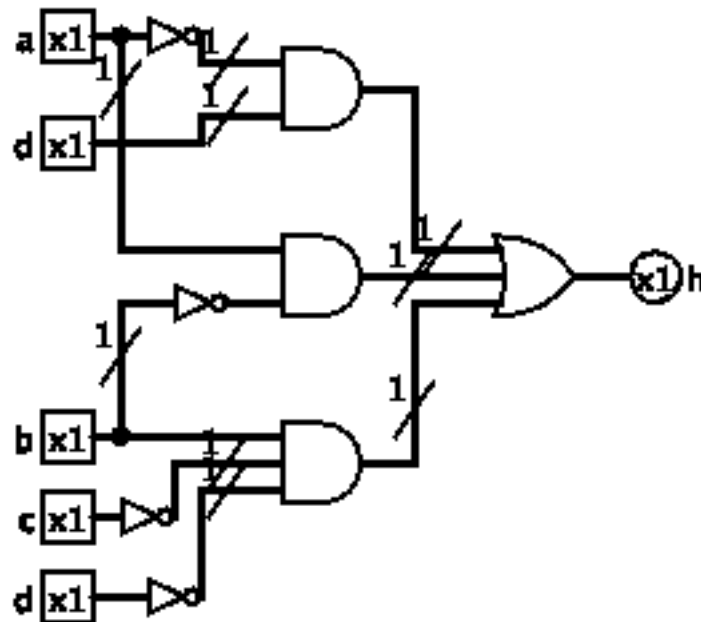
Y obtenemos la expresión mínima siguiente:

$$h = a' \cdot d + a \cdot b' + b \cdot c' \cdot d'$$

y el circuito de dos niveles que la sintetiza:

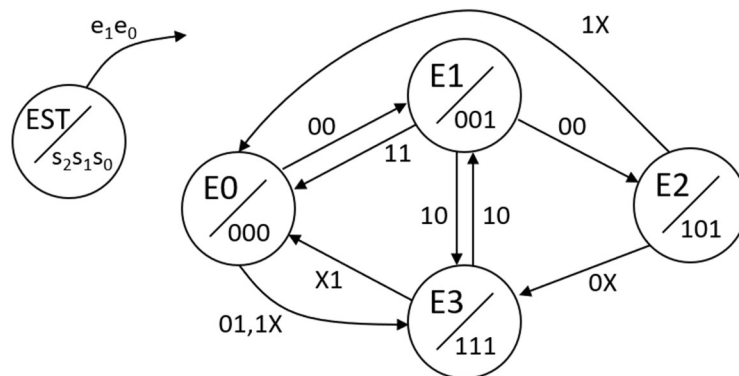
Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00



PROBLEMA 3 [35%]

a) [20%] Dado el grafo de estados siguiente:



Se pide:

- i) [5%] ¿Cuántos bits de entrada tiene el circuito que implementa este grafo? ¿Cuántos bits de salida? ¿Cuál será el número mínimo de biestables para implementarlo? Si lo implementamos usando una memoria ROM, ¿cuántos bits de direcciones y cuántos bits de datos necesitará esta memoria?

El circuito tiene dos bits de entrada, denominados $e_1 e_0$. Los bits de salida son tres, denominados $s_2 s_1 s_0$. Como el circuito tiene 4 estados necesitamos 2 bits para representarlos y, por lo tanto, necesitamos 2 biestables para poder almacenar estos 2 bits.

La memoria ROM que puede implementar este circuito tendría 4 bits de direccionamiento, 2 bits para el estado más 2 bits para la entrada. El ancho de las palabras de la ROM tendría que ser de 5 bits, 3 bits para guardar la salida y 2 bits para codificar el estado futuro.

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

- ii) **[10%]** Escribid la tabla de transiciones y la tabla de salidas del sistema representado por el grafo, codificando los estados según su índice asociado. Al escribir la tabla, poned en primer lugar las variables que codifican el estado y a continuación las variables de entrada.

La codificación de los estados según su índice se muestra en la siguiente tabla:

Codificación de los estados	
Estado	q_1q_0
$E0$	00
$E1$	01
$E2$	10
$E3$	11

La tabla de transiciones establece cuál es el estado en el ciclo siguiente a partir del valor que toman las señales de entrada.

q_1q_0	e_1e_0	q_1+q_0+
00	00	01
00	01	11
00	10	11
00	11	11
01	00	10
01	01	XX
01	10	11
01	11	00
10	00	11
10	01	11
10	10	00
10	11	00
11	00	XX
11	01	00
11	10	01
11	11	00

La tabla de salidas determina el valor de las señales de salida para cada estado.

Estado	$s_2s_1s_0$
00	000
01	001
10	101
11	111

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

- iii) **[5%]** Especificad en la tabla siguiente en hexadecimal el contenido de las cinco primeras posiciones de la memoria ROM descrita en el apartado anterior.

Dirección	Contenido
00h	
01h	
02h	
03h	
04h	

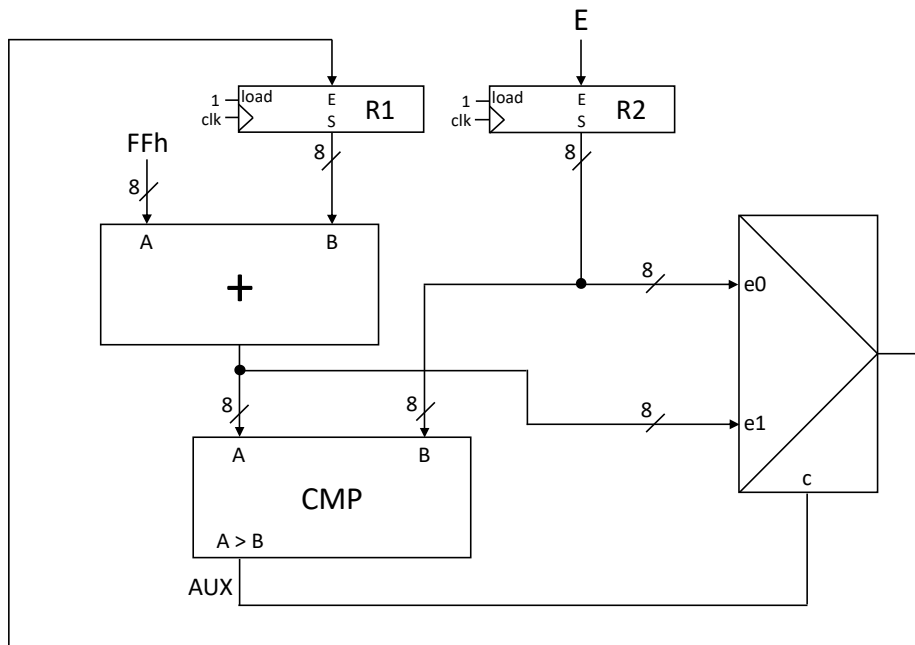
El direccionamiento de la memoria ROM viene definido por las señales q_1 q_0 e_1 e_0 especificadas en orden de mayor a menor peso. Cada posición de la memoria almacena los bits q_1 q_0 s_2 s_1 s_0 especificados en orden de mayor a menor peso. El contenido de la memoria ROM será:

Dirección	Contenido
00h	08h
01h	18h
02h	18h
03h	18h
04h	11h

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00

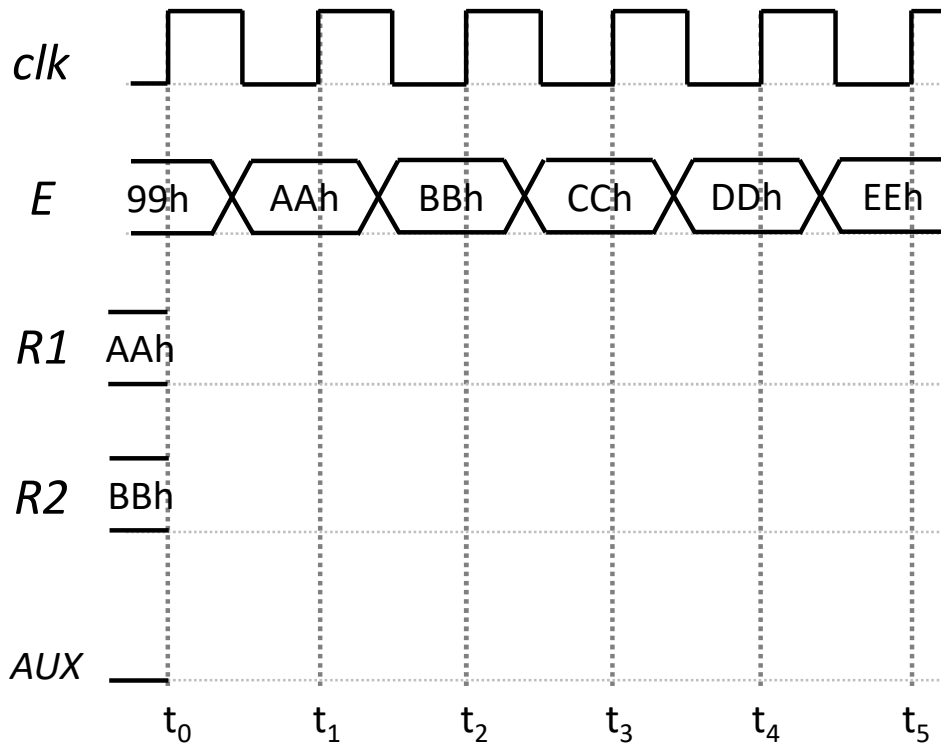
b) **[15%]** Dado el circuito siguiente:



Completad el cronograma siguiente, incluyendo la señal intermedia AUX (en la salida del comparador) y expresando los valores de los registros R1 y R2 en hexadecimal:

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00



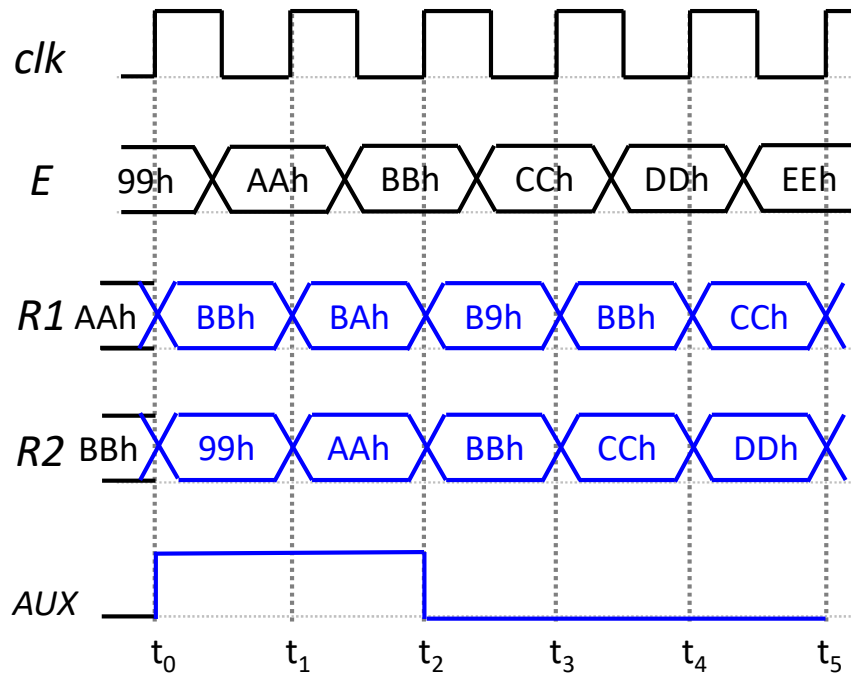
Los registros R1 y R2 tienen la señal *load*=1 y se cargan en cada flanco ascendente del reloj. El bloque comparador compara el valor de la suma de R1 con FFh (que llega a la entrada A) con el valor del registro R2 (que llega a la entrada B). Si la señal *AUX* ($A > B$)=1, la salida del multiplexor corresponde a la salida del sumador y por lo tanto R1 se actualiza con este valor. Si *AUX*=0, R1 se actualiza con el valor de R2. El registro R2 carga en cada flanco ascendente el valor de la entrada E.

Por ejemplo, en t_0 la señal *AUX*=0 y por lo tanto R1 se carga con el valor de R2 (BBh) mientras R1 se actualiza con el valor de la entrada E (99h).

Entre t_0 y t_1 , la salida del sumador es FFh+BBh=BAh (sumar FFh a R1 tiene el efecto de restar 1 al registro R1). Por lo tanto, la entrada A del comparador es BAh y la entrada B es 99h. A es mayor que B y por lo tanto la señal *AUX* es 1. Por lo tanto, en el instante t_1 el registro R1 se carga con el valor BAh.

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/1/2021	12:00



PROBLEMA 4 [10%]

a) [5%] ¿Qué hace una máquina algorítmica general?

Interpreta las instrucciones de un programa almacenado en una memoria.

b) [5%] ¿Qué es la arquitectura de Von Neumann?

Una manera de construir máquinas que tienen una memoria común para las instrucciones y los datos.