

Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

75.562 08 06 19 EX

Espacio para la etiqueta identificativa con el código personal del **estudiante**.
Examen

Este enunciado corresponde también a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura matriculada.
- Debes pegar una sola etiqueta de estudiante en el espacio correspondiente de esta hoja.
- No se puede añadir hojas adicionales, ni realizar el examen en lápiz o rotulador grueso.
 - Tiempo total: **2 horas** Valor de cada pregunta: **Prob. 1: 20%; Prob. 2: 35%; Prob. 3: 35%, y Prob. 4: 10%.**
- En el caso de que los estudiantes puedan consultar algún material durante el examen, ¿cuáles son?: **No se puede consultar ningún tipo de material.**
- En el caso de poder usar calculadora, de que tipo? **NINGUNA**
- En el caso de que haya preguntas tipo test: ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?

Indicaciones específicas

Razonad las respuestas en cada ejercicio. Las respuestas sin justificación no recibirán puntuación.

Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

Enunciados

PROBLEMA 1 [20%]

- a) **[4%]** Dado el número binario $1101,010_{(2)}$ (4 bits para la parte entera y 3 para la fraccionaria), ¿qué número representa en base 10?

Aplicando el TFN obtenemos:

- Parte entera: $1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 4 + 0 + 1 = 13_{(10)}$.
- Parte fraccionaria: $0 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3} = 0,25_{(10)}$.

Así pues, $1101,010_{(2)} = 13,25_{(10)}$.

- b) **[8%]** Dados los valores $A = 11000_{(2)}$ y $B = 01000_{(2)}$. Si A y B representan dos números enteros que están expresados en Complemento a 2 con 5 bits, calculad $A - B$. ¿Se produce desbordamiento?

Para restar en Ca2, convertimos la operación $A - B$ en $A + (-B)$, cambiando el signo del sustraendo, es decir, complementándolo bit a bit y sumando 1 al resultado:

$$-B = 10111 + 1 = 11000$$

$$\begin{array}{r}
 1 \quad 1 \\
 1 \quad 1 \quad 0 \quad 0 \quad 0 \\
 + \quad 1 \quad 1 \quad 0 \quad 0 \quad 0 \\
 \hline
 1 \quad 1 \quad 0 \quad 0 \quad 0 \quad 0
 \end{array}$$

No hay desbordamiento, puesto que sumamos dos números negativos y el signo del resultado es negativo.

- c) **[8%]** Dado el formato de coma flotante siguiente:

S	Exponente			Mantisa		
15	14		9	8		0

Donde:

- El bit de signo, S, vale 0 para cantidades positivas y 1 para negativas.
- El exponente se representa en exceso a 32.
- Hay bit implícito.
- La mantisa está normalizada en la forma $1,X$.

Representad el número $-20,625_{(10)}$ en este formato.

En primer lugar, codificamos en binario la magnitud del número real, es decir, $20,625_{(10)}$. La codificación se realiza por partes: primero la parte entera y, posteriormente, la parte fraccionaria. Aplicando el método de la división entera, obtenemos que:

$$20_{(10)} = 10100_{(2)}$$

Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

A continuación, multiplicamos de manera sucesiva la parte fraccionaria por 2 para obtener la correspondiente representación binaria:

$$\begin{array}{rcl}
 0,625 \cdot 2 & = & 1,250 \\
 0,250 \cdot 2 & = & 0,5 \\
 0,5 \cdot 2 & = & 1
 \end{array}$$

Por lo tanto, tenemos que:

$$-20,625_{(10)} = -10100,101_{(2)} = -1,0100101_{(2)} \cdot 2^4$$

Finalmente, calculamos los valores de cada uno de los campos del formato en coma flotante:

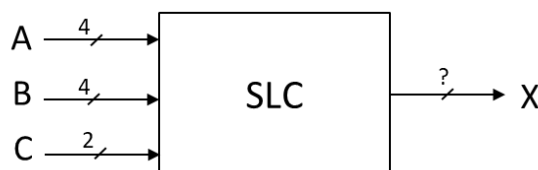
- **Signo:** $S=1$, dado que se trata de un número negativo.
- **Exponente:** $E = 100100$, estos bits codifican en binario el número $36_{(10)}$ que resulta de representar el exponente $4_{(10)}$ en exceso a 32 ($32+4=36$)
- **Mantisa:** Dado que se trabaja con una representación normalizada y con bit implícito, el campo mantisa del número es 010010100 (se han añadido dos ceros como bits menos significativos para tener una mantisa de 9 bits).

Así pues, tenemos que:

S	Exponente	Mantisa
1	100100	010010100

PROBLEMA 2 [35%]

a) [25%] Un sistema combinacional SLC tiene las entradas y salidas siguientes:



donde A y B son números naturales de 4 bits codificados en binario. La salida X también es un natural binario, y su valor viene determinado por la tabla siguiente:

c_1	c_0	X
0	0	$A \cdot A / 2$
0	1	$4 \cdot (A+B)$
1	0	$B \cdot 3$
1	1	$\min(A+1, B+2)$

i. [5%] ¿Cuántos bits debe tener como mínimo la salida X para que no se pueda producir nunca desbordamiento?

A y $B \in [0, 15]$, puesto que con números naturales de 4 bits el rango representable es $[0, 2^n-1]$. Esto implica que $A \cdot A / 2$ puede ser como máximo $15 \cdot 15 / 2 = 112$, que $4 \cdot (A+B)$ puede ser como máximo $4 \cdot (15+15) = 120$, que $B \cdot 3$ puede ser como máximo $15 \cdot 3 = 45$ y que el $\min(A+1, B+2)$ puede ser como

Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

máximo el $\min(16, 17) = 16$. El número más grande entre todos estos resultados es 120, que puede ser representado con 7 bits (1111000). Por lo tanto, la salida X tiene que tener como mínimo 7 bits.

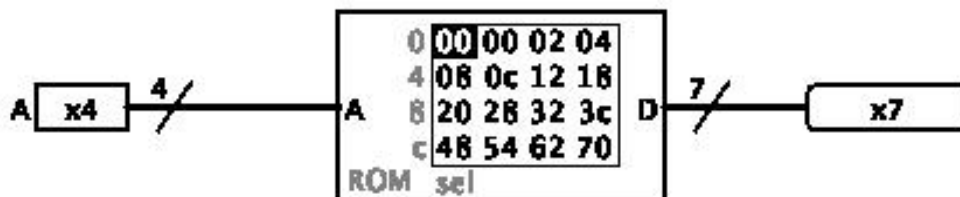
- ii. **[10%]** Implementad el cálculo $A \cdot A/2$ con una memoria ROM y las puertas lógicas que consideréis necesarias. Debéis indicar en hexadecimal el contenido de todas las posiciones de la memoria ROM.

Para hacer este circuito con una memoria ROM necesitaremos almacenar 16 valores (el resultado de todas las divisiones de un número de 4 bits al cuadrado entre 2).

La entrada de direcciones de la memoria serán los valores de A (4 bits) y el contenido de cada posición (7 bits) será el resultado de la multiplicación $A \cdot A/2$. La siguiente tabla muestra las 16 operaciones:

a_3	a_2	a_1	a_0	$A \cdot A/2$	Hex
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	2	2
0	0	1	1	4	4
0	1	0	0	8	8
0	1	0	1	12	C
0	1	1	0	18	12
0	1	1	1	24	18
1	0	0	0	32	20
1	0	0	1	40	28
1	0	1	0	50	32
1	0	1	1	60	3C
1	1	0	0	72	48
1	1	0	1	84	54
1	1	1	0	98	62
1	1	1	1	112	70

Y el circuito resultante es el siguiente:



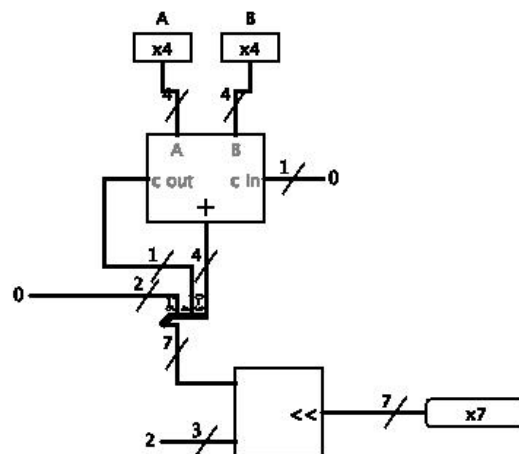
- iii. **[10%]** Implementad el cálculo $4 \cdot (A+B)$ con bloques combinacionales (excepto memoria ROM) y las puertas lógicas que consideréis necesarias.

Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

Este ejercicio puede tener múltiples respuestas correctas, nosotros os proponemos una.

Para implementar este circuito necesitaremos un sumador al cual conectaremos *A* y *B* como entradas (4 bits cada una). Para obtener los 5 bits de la suma añadimos el acarreo de salida al resultado como bit más significativo. Finalmente, para hacer la multiplicación por 4, usamos un desplazador a la izquierda de dos bits.



b) [10%] Minimiza la función siguiente por Karnaugh y haz la síntesis del circuito a dos niveles:

a	b	c	d	h
0	0	0	0	1
0	0	0	1	0
0	0	1	0	X
0	0	1	1	0
0	1	0	0	X
0	1	0	1	1
0	1	1	0	X
0	1	1	1	1
1	0	0	0	X
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

Examen 2018/19-2

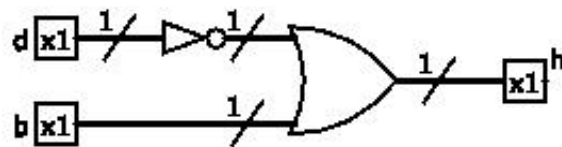
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

El mapa de Karnaugh correspondiente es el siguiente:

ab \ cd	00	01	11	10
00	1	X	X	X
01	0	1	X	0
11	0	1	X	0
10	X	X	X	1

Del cual se obtiene la expresión mínima: $d' + b$

El circuito correspondiente es:



Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

PROBLEMA 3 [35%]

- a) **[15%]** Dibujad el grafo de estados de un circuito secuencial, con una entrada E de un bit y una salida S de un bit. El circuito lee bits por la entrada de manera secuencial, y tiene que detectar series que empiecen por 11 (cabecera) y que acaben por 00 (cola). Entre la cabecera y la cola puede haber un número indeterminado de bits, teniendo siempre en cuenta que la pareja 00 acaba la serie. Cuando se detecta una serie, la salida se pondrá a 1 durante un ciclo y empezará a leer el número siguiente. En cualquier otro caso la salida tiene que ser 0.

Ejemplo de funcionamiento:

Entrada E	0	1	0	1	1	0	1	0	0	0	1	0	1	1	0	0	1	0
Salida S	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0

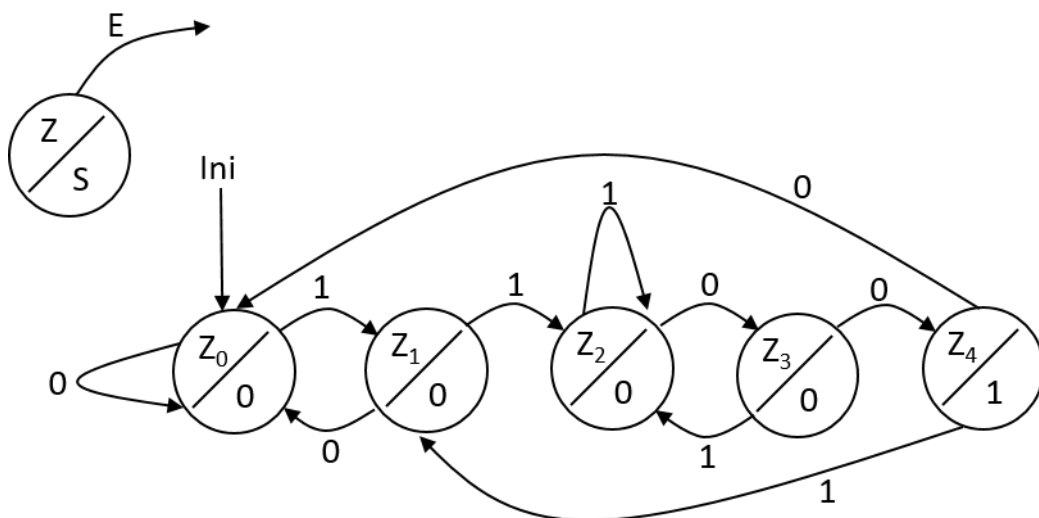
donde las salidas en negrita corresponden a series detectadas.

Los estados que debe tener el circuito son los siguientes:

- Z_0 : Estado inicial del circuito. No se ha reconocido ningún bit de la serie.
- Z_1 : Se ha reconocido el primer 1 de la serie.
- Z_2 : Se han reconocido los bits 11 que encabezan una serie válida.
- Z_3 : Se ha reconocido hasta el primer bit a 0 que finaliza una serie válida.
- Z_4 : Se ha reconocido una serie válida de forma completa.

El único estado que debe tener la salida $S=1$ es el estado Z_4 . Todos los otros estados deben tener la salida $S=0$.

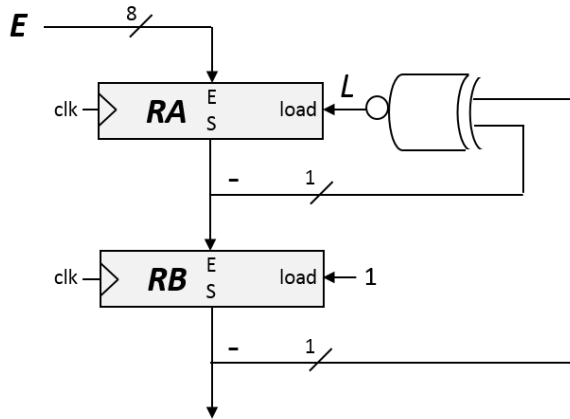
El grafo de estados que resulta es el siguiente:



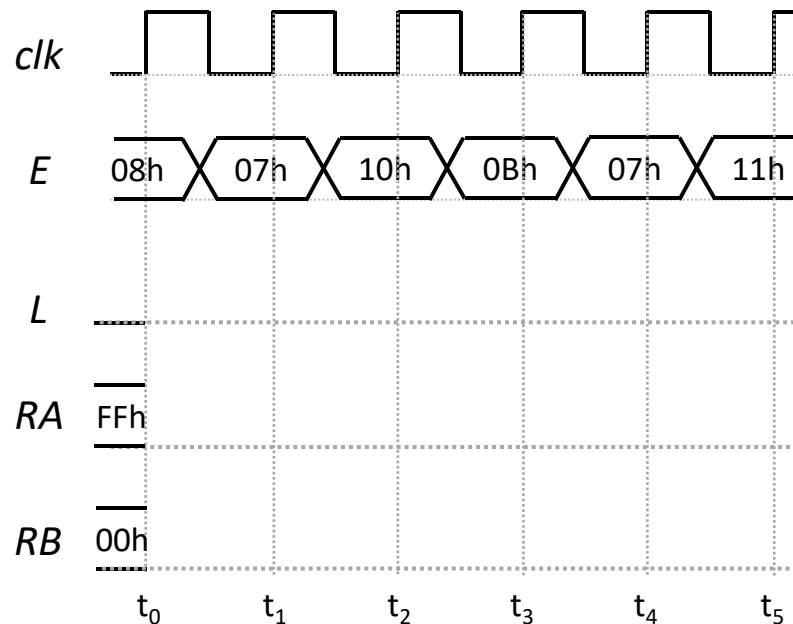
Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

b) [20%] Dado el circuito siguiente:



Completad el cronograma siguiente:



Nota: No hace falta que expliquéis las transiciones en el cronograma. Sólo hay que rellenarlo.

Analizando el circuito vemos que el registro *RB* se carga en cada ciclo de reloj con el contenido del registro *RA*.

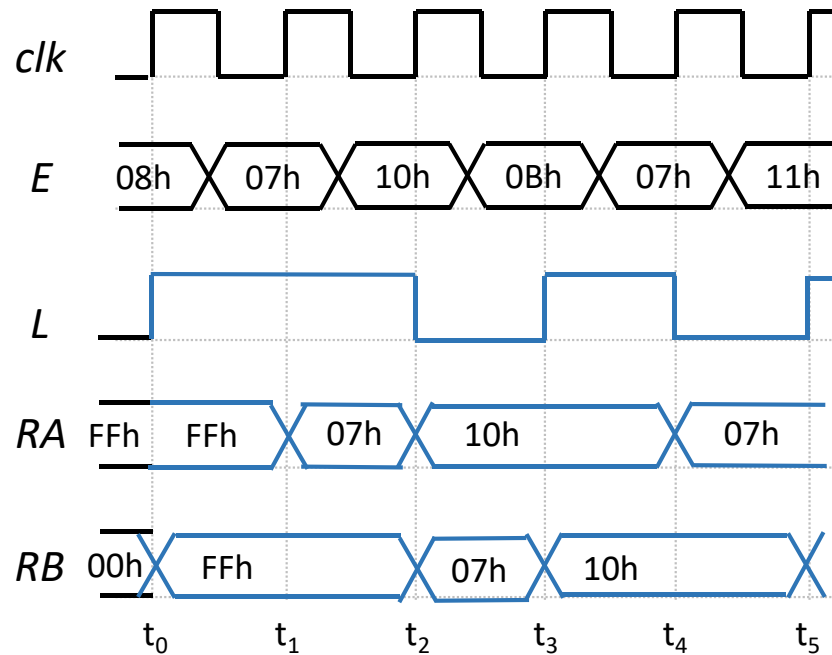
El registro *RA* se carga con la entrada *E* según el valor de la señal *L*. Esta señal es la XNOR de los bits de menos peso de los registros *RA* y *RB*. Esto quiere decir que si estos dos bits son diferentes $L=0$ y si son iguales $L=1$.

Miramos qué pasa en el primer flanco ascendente de la señal de reloj, instante t_0 . La señal *L* justo antes del flanco vale 0 (XNOR de los bits 1 y 0 correspondientes a los bits de menos peso de *RA* y *RB*). Por lo tanto, en este flanco el registro *RA* no se cargará. Una vez hechos los cambios del flanco tenemos que *RA* continúa valiendo FFh y *RB* pasa a valer FFh. Ahora, justo al inicio del ciclo, la señal *L* pasa a valer 1 y permitirá la carga de *RA* en el próximo flanco.

Examen 2018/19-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	08/06/2019	09:00

Repitiendo este razonamiento para el resto de ciclos, el cronograma resultante es:



PROBLEMA 4 [10%]

a) [5%] ¿Cuáles son los elementos en que se organiza la arquitectura básica de un computador?

Periféricos de entrada, periféricos de salida, periféricos de entrada/salida y procesador.

b) [5%] ¿Qué es una ALU?

Un recurso de cálculo programable.