

Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00



75.562 20 01 18 EX

Espacio para la etiqueta identificativa con el código personal del **estudiante**.
Examen

Este enunciado corresponde también a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la cual estás matriculado.
- Debes pegar una sola etiqueta de estudiante en el espacio de esta hoja destinado a ello.
- No se puede añadir hojas adicionales.
- No se puede realizar las pruebas a lápiz o rotulador.
- Tiempo total 2 horas
 - En el caso de que los estudiantes puedan consultar algún material durante el examen, ¿cuál o cuáles pueden consultar?: No se puede consultar ningún tipo de material.
 - Valor de cada pregunta: Prob. 1: 20%; Prob. 2: 35%; Prob. 3: 35%, Prob. 4: 10%.
- En el caso de que haya preguntas tipo test: ¿descuentan las respuestas erróneas? NO ¿Cuánto?
- Indicaciones específicas para la realización de este examen
 - No se puede utilizar ningún tipo de calculadora.
 - Razonad las respuestas en cada ejercicio. Las respuestas sin justificar no obtendrán puntuación.

Enunciados

Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

PROBLEMA 1 [20%]

Dada la secuencia de bits 01101110, a qué número decimal equivale según los tipos de interpretaciones siguientes:

Para calcular la representación decimal del número 01101110_2 basta con aplicar el TFN para números representados en Ca2 (es decir, considerando el bit de más peso como negativo):

$$\begin{aligned}
 01101110_2 &= -0 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 \\
 &= 64 + 32 + 8 + 4 + 2 = \mathbf{110_{10}}
 \end{aligned}$$

a) [7,5%] Si se trata de un número binario codificado en el formato de coma flotante siguiente:

S	Exponente				Mantisa			
7	6	:	:	4	3	:	:	0

Donde:

- El bit de signo, S, vale 0 para los números positivos y 1 para los negativos.
- El exponente se representa en exceso a 4.
- La mantisa está normalizada en la forma 1,X con bit implícito.

Identificamos cada uno de los campos de la representación en coma flotante:

0 110 1110

- El signo es positivo: $S = 0$.
- El exponente es $110_2 = 6$ y, dado que está codificado en exceso a 4, el valor realmente representado resulta ser $E = 6 - 4 = 2$.
- La mantisa una vez deshecha la normalización es: 1,1110

Por lo tanto, el número codificado es:

$$\begin{aligned}
 +1,1110_2 \cdot 2^2 &= +111,10_2 = + (2^2 + 2^1 + 2^0 + 2^{-1}) \\
 &= + (4 + 2 + 1 + 0,5) = \mathbf{7,5_{10}}
 \end{aligned}$$

Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

- b) [7,5%] Dados los números $A = 11001100$ y $B = 10110110$, que son enteros codificados en signo y magnitud, realizad la suma $A + B$ con el mismo número de bits. ¿Se produce desbordamiento?

Para sumar dos números codificados en signo y magnitud que tienen el mismo signo, hace falta:

1. Identificar el signo de las magnitudes mediante el análisis del bit de más peso (negativo, en este caso).
2. Sumar las magnitudes.
3. Aplicar el signo (negativo, en este caso) correspondiente al resultado.

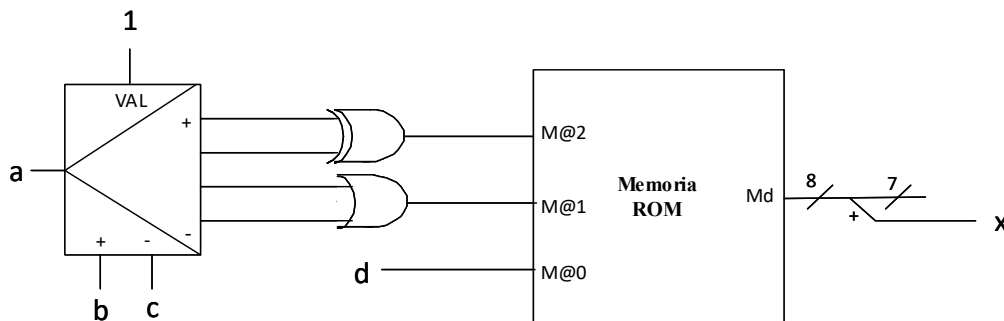
Procedemos a sumar las dos magnitudes:

$$\begin{array}{r}
 1 \quad 1 \quad 1 \quad 1 \quad 1 \quad \leftarrow \text{acarreo} \\
 \quad 1 \quad 0 \quad 0 \quad 1 \quad 1 \quad 0 \quad 0 \quad \leftarrow |A| \\
 + \quad 0 \quad 1 \quad 1 \quad 0 \quad 1 \quad 1 \quad 0 \quad \leftarrow |B| \\
 \hline
 1 \quad 0 \quad 0 \quad 0 \quad 0 \quad 0 \quad 1 \quad 0
 \end{array}$$

En este caso, observamos que se produce acarreo en el bit más significativo. Por lo tanto, concluimos que **se produce desbordamiento y que el resultado no es representable en este formato**.

PROBLEMA 2 [35%]

- a) [15%] Dado el circuito lógico combinacional siguiente:



donde el contenido de la memoria ROM, especificado en hexadecimal, es:

@	ROM[@]
0	AE
1	8B
2	15
3	FF
4	05
5	CC
6	4A
7	7E

Rellenad la tabla de verdad siguiente, que especifica la salida x en función de las entradas a , b , c , d . Hay que calcular previamente los valores intermedios indicados en la tabla (salida del demultiplexor y dirección de la ROM en binario). **Nota:** No hace falta explicar textualmente cómo obtenéis el valor de cada señal.

Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

a	b	c	d	Sal. DEMUX				@ROM (bin)				x
				+	-	+	-	+	-	+	-	
0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	1	1	1
0	0	1	0	0	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	0	0	1
0	1	0	1	0	0	0	0	0	0	1	1	1
0	1	1	0	0	0	0	0	0	0	0	0	1
0	1	1	1	0	0	0	0	0	0	1	1	1
1	0	0	0	0	0	0	1	0	1	0	0	0
1	0	0	1	0	0	0	1	0	1	1	1	1
1	0	1	0	0	0	1	0	0	1	0	0	0
1	0	1	1	0	0	1	0	0	1	1	1	1
1	1	0	0	0	1	0	0	1	0	0	0	0
1	1	0	1	0	1	0	0	1	0	1	1	1
1	1	1	0	1	0	0	0	1	0	0	0	0
1	1	1	1	1	0	0	0	1	0	1	1	1

- b) [10%] Dada la tabla de verdad siguiente, escribid la expresión algebraica mínima a dos niveles de la función f mediante el método de Karnaugh:

x	y	z	w	f
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Examen 2017/18-1

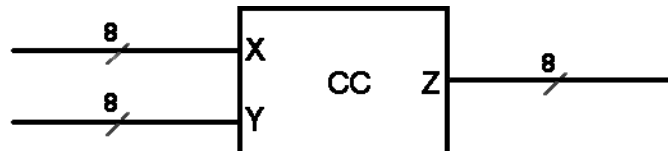
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

El mapa de Karnaugh para la función f es el siguiente:

xy \ zw	00	01	11	10
00	1	1	1	0
01	0	0	1	0
11	0	1	1	0
10	1	1	0	0

Y obtenemos la siguiente expresión mínima: $f = y \cdot z \cdot w + x' \cdot w' + x \cdot y \cdot z'$

c) [10%] Diseñad el siguiente circuito combinacional CC:



Las entradas del circuito X e Y corresponden a números naturales de 8 bits. La salida Z también es un número natural de 8 bits y corresponde a:

$$Z = \text{MIN}(X, Y) \cdot 9$$

No hay que tratar el caso de desbordamiento en el cálculo de la salida.

Podéis usar los bloques y puertas que consideréis necesarios, excepto memorias ROM.

Con un comparador identificamos cuál de las dos entradas X e Y tiene el valor más pequeño. Usamos la salida del comparador para seleccionar con un multiplexor el valor más pequeño entre las dos entradas.

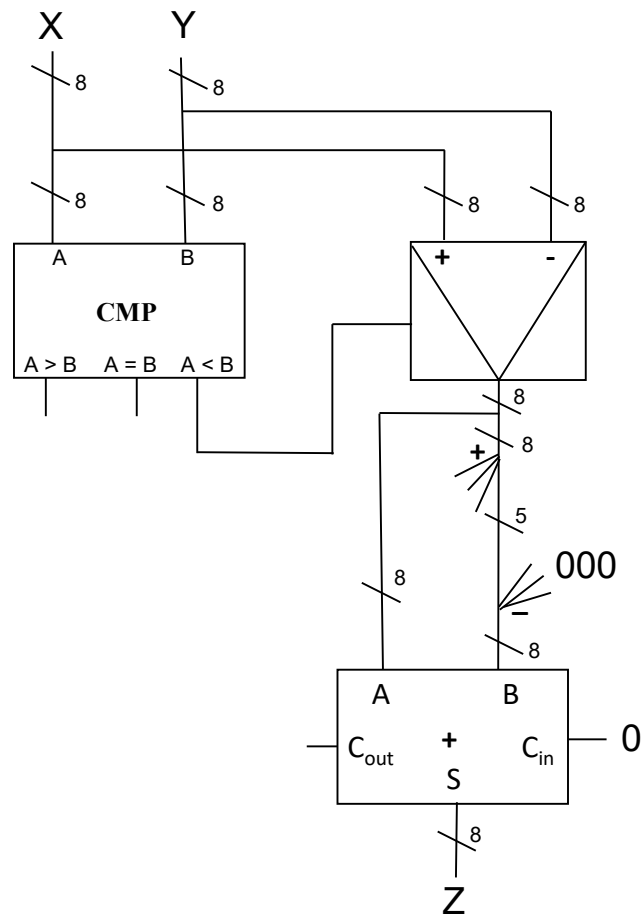
La multiplicación por 9 la realizamos en dos pasos:

1. Primero implementamos la multiplicación por 8 de la salida del multiplexor con un desplazamiento de 3 bits hacia la izquierda. Se puede hacer de dos formas:
 - a) Eliminando los tres bits de más peso y añadiendo tres bits de menor peso con valores 0, o bien,
 - b) Utilizando un desplazador a la izquierda de 3 bits.

Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

2. Sumamos al resultado (que corresponde a la multiplicación por 8) mediante un sumador la salida del multiplexor, y obtenemos la multiplicación $\text{MIN}(X,Y)$ por 9. La salida del sumador corresponde a la salida Z del circuito combinacional pedido.

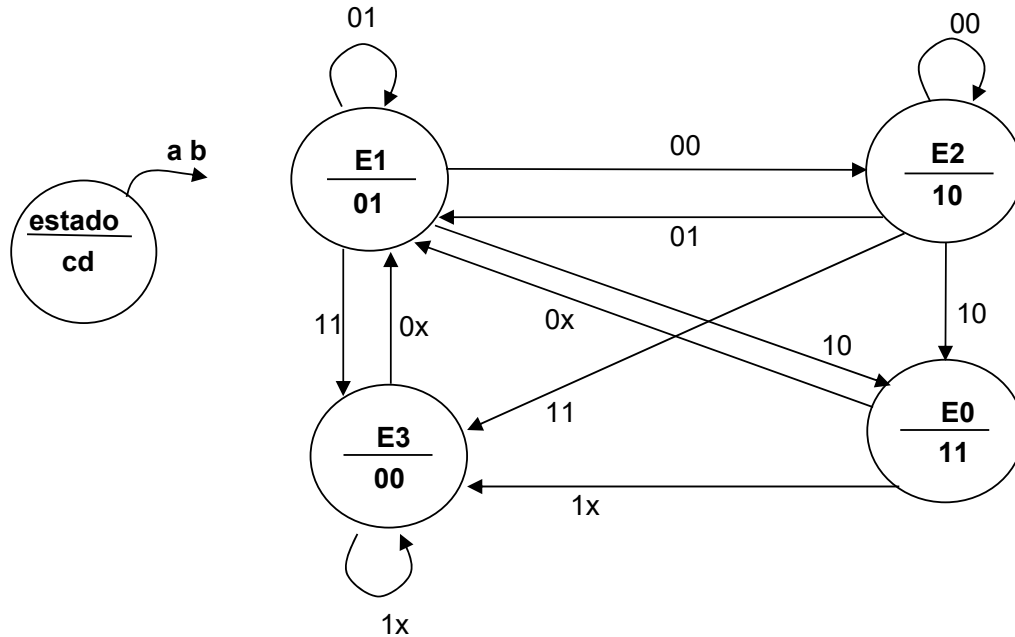


Examen 2017/18-1

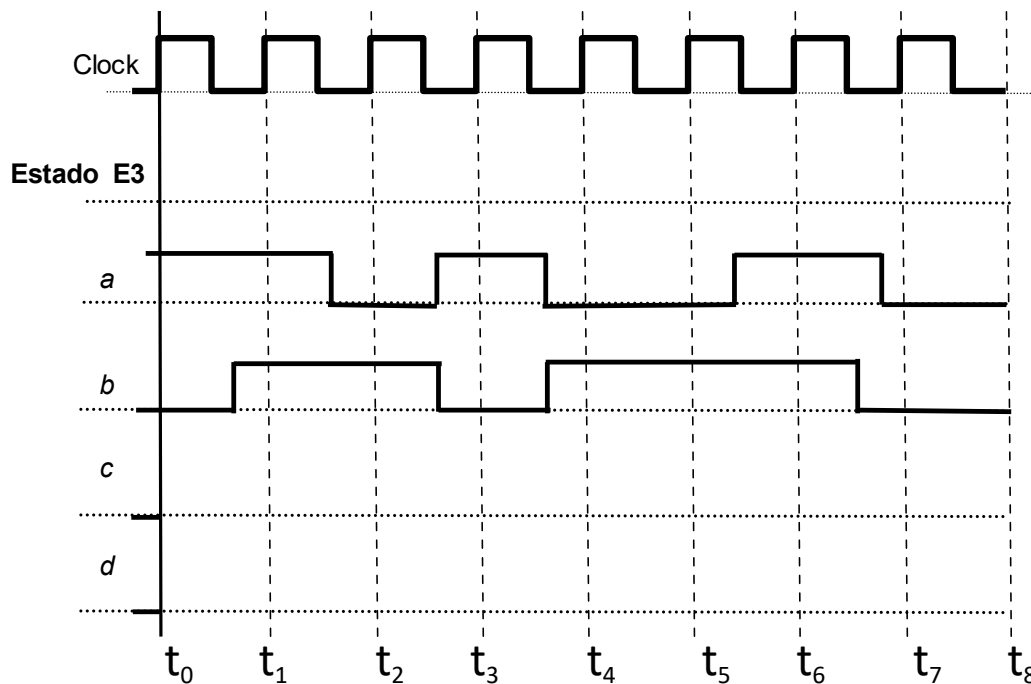
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

PROBLEMA 3 [35%]

a) [15%] Dado el grafo de estados siguiente:



Completad el siguiente cronograma:

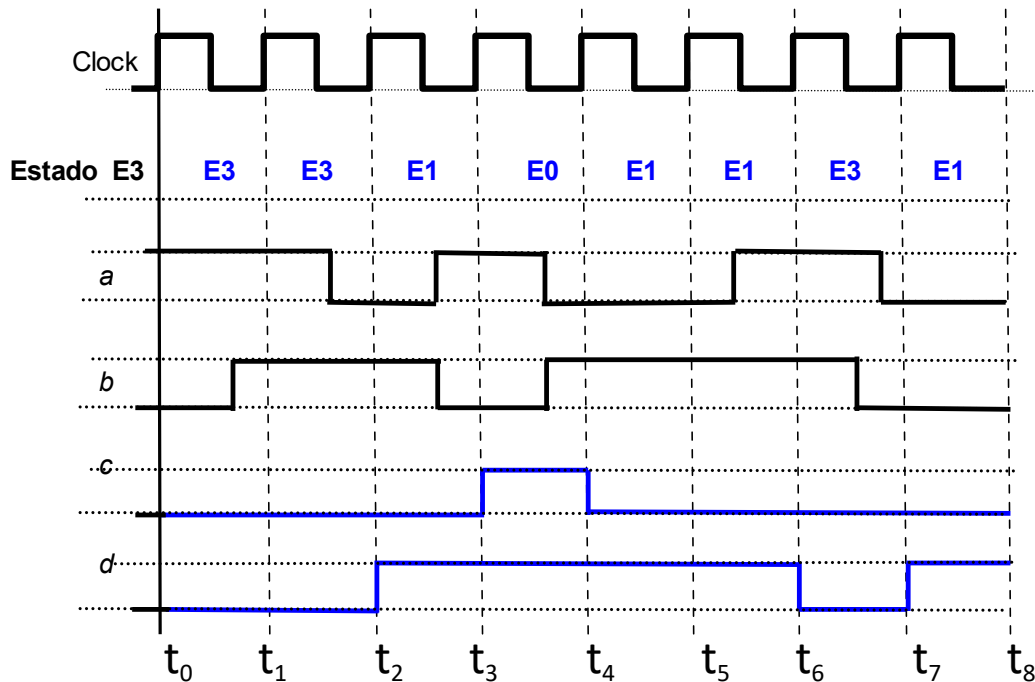


Para completar el cronograma, basta con determinar el valor de las señales a y b en cada flanco de reloj y luego observar en el grafo la transición que se produce para dicha combinación. De esta forma determinamos el estado en el que se encontrará el sistema en el ciclo siguiente. Luego,

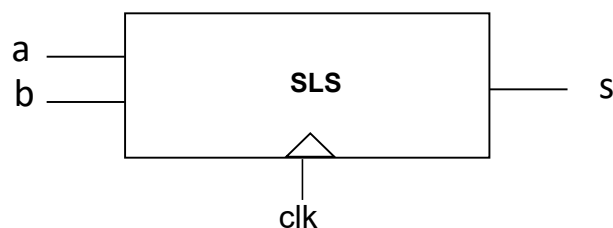
Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

utilizamos los valores de salida (*c* y *d*) indicados en dicho estado para completar los valores correspondientes en el cronograma.



b) [20%] Dibujad el grafo de estados de un circuito secuencial como el de la figura siguiente:



El circuito tiene que reconocer la secuencia de bits 011 por su entrada *a* y la secuencia 1x0 por su entrada *b*. Al reconocer las dos secuencias al mismo tiempo, la salida *s* del circuito se pondrá a 1 durante dos ciclos de reloj. Después el circuito vuelve a reconocer la secuencia por las entradas *a* y *b*.

Ejemplo:

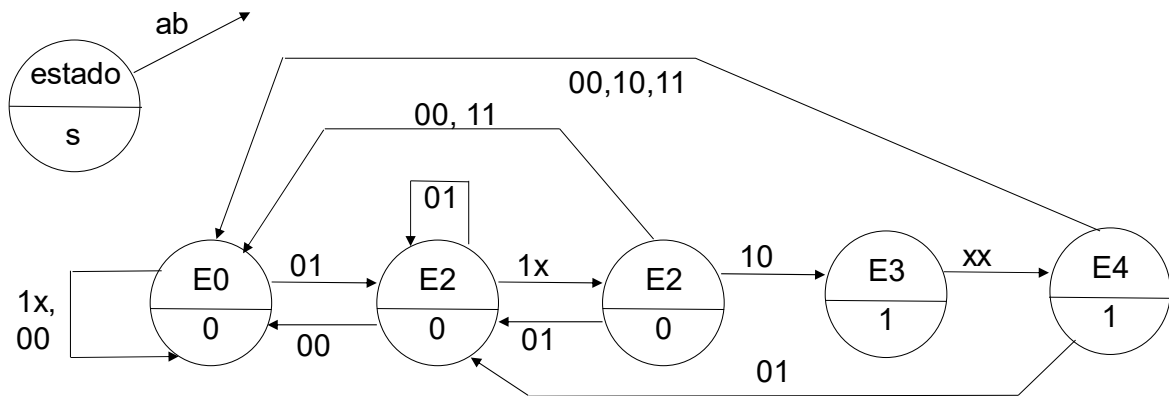
Entrada <i>a</i>	0	0	1	1	1	0	1	1	0	0	0	1	1	0	0	0		
Entrada <i>b</i>	1	0	0	0	1	1	0	0	1	1	1	1	0	0	1	0		
Salida <i>s</i>	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	0		

Cada columna corresponde a un ciclo. El valor que se muestra de las señales de entrada es el que tienen justo al final del ciclo, cuando llega el flanco de subida del reloj.

Examen 2017/18-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	20/01/2018	12:00

En este sistema debemos reconocer dos secuencias al mismo tiempo. Inicialmente (E0) esperamos que se presente la combinación 01 (bits iniciales de cada secuencia). Luego en el estado E1 nos mantenemos mientras se mantenga la combinación 01. Volveremos al estado inicial si aparece 00 o avanzaremos en el reconocimiento si aparece 1X. A partir de E2 retrocedemos al estado inicial o a E1 si no se produce el final de ambas secuencias (10). En cuyo caso vamos a E3, en el que se activa la salida s. Como la misma debe activarse dos ciclos, añadimos el estado E4 para el segundo. A partir de este estado comenzamos un nuevo reconocimiento, volviendo al estado inicial o E1 dependiendo de la entrada.



PROBLEMA 4 [10%]

a) [5%] ¿Para qué se utiliza el PC (*program counter*)?

Para almacenar la posición de memoria de la instrucción a ejecutar.

b) [5%] ¿Qué describe la microarquitectura?

Cómo se organiza un procesador para implementar un determinado repertorio de instrucciones