

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

Este enunciado también corresponde a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
 - Tiempo total: **2 horas** Valor de cada pregunta: **P1: 20%; P2: 35%; P3: 35%, i P4: 10%**
 - ¿Puede consultarse algún material durante el examen? **NO** ¿Qué materiales están permitidos?
 - ¿Puede utilizarse calculadora? **NO** ¿De qué tipo? **NINGUNO**
 - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?
 - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

Enunciados

PROBLEMA 1 [20%]

- a) [10%] Dados los valores $A = 0111000$ y $B = 1110010$, que representan dos números naturales expresados en binario con 7 bits, calculad $A + B$ usando el mismo formato. Si se produce desbordamiento, explicad por qué razón y sino indicad el valor del resultado en base 10.

Realizamos la suma de las dos cantidades:

$$\begin{array}{r}
 11 \leftarrow \text{acarreo} \\
 011100 \leftarrow A \\
 + 11010 \leftarrow B \\
 \hline
 10101010
 \end{array}$$

Hay desbordamiento, puesto que se ha producido acarreo en el bit de más peso.

- b) [10%] Dado el formato de coma flotante siguiente:

S	Exponente			Mantisa		
15	14		10	9		0

Donde:

- El bit de signo, S, vale 0 para cantidades positivas y 1 para negativas.
- El exponente se representa en exceso a 16.
- Hay bit implícito.
- La mantisa está normalizada en la forma $1,X$.

Representad el número $57,25_{(10)}$ en este formato de coma flotante.

Pasamos la parte entera a binario, aplicando el método de la división entera:

$$\begin{array}{rclcl}
 57 & = & 28 \cdot 2 & + & 1 \\
 28 & = & 14 \cdot 2 & + & 0 \\
 14 & = & 7 \cdot 2 & + & 0 \\
 7 & = & 3 \cdot 2 & + & 1 \\
 3 & = & 1 \cdot 2 & + & 1 \\
 1 & = & 0 \cdot 2 & + & 1
 \end{array}$$

$57_{(10)}$ en binario es $111001_{(2)}$.

Para la parte fraccionaria aplicamos el método correspondiente:

$$\begin{array}{rcl}
 0,25 & \cdot 2 = & 0,5 \\
 0,5 & \cdot 2 = & 1,0
 \end{array}$$

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

$0,25_{(10)}$ en binario es $0,01_{(2)}$.

Juntamos la parte entera y fraccionaria : $111001,01_{(2)}$

La mantisa tiene que tener 10 bits más el bit implícito, pues el número total de bits tiene que ser 11.

Para normalizar la mantisa hay que mover la coma 5 posiciones hacia la izquierda:

$111001,01_{(2)} = 1,1100101_{(2)} \cdot 2^5$.

Identificamos cada campo:

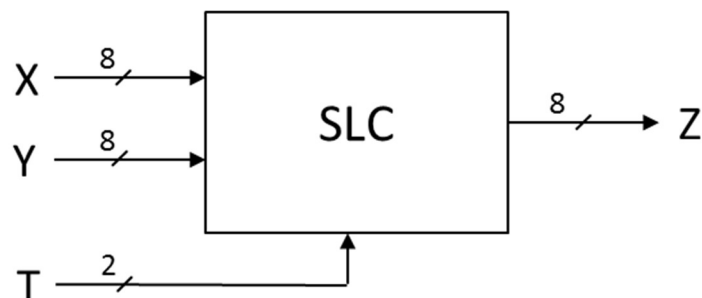
- El signo es positivo: $S = 0$.
- Exponente: 5. Hay que sumarle 16 (porque lo tenemos que representar en exceso a 16): $5 + 16 = 21$, que en base 2 es $10101_{(2)}$.
- Mantisa: $1,1100101_{(2)}$. Como lo tenemos que representar con bit implícito eliminamos el primer 1, que es la parte entera. Así pues, la mantisa es 1100101 usando 10 bits.

El número en el formato solicitado es:

S	Exponente	Mantisa
0	10101	1100101000

PROBLEMA 2 [35%]

a) [25 %] Un sistema combinacional SLC tiene las siguientes entradas y salidas:



donde $Z = X - Y$, teniendo en cuenta que los números están representados en el formato que especifica T , según indica la siguiente tabla:

t_1	t_0	Representación X, Y y Z
0	0	Binario natural
0	1	Ca2
1	0	Signo y Magnitud
1	1	Combinación no usada

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

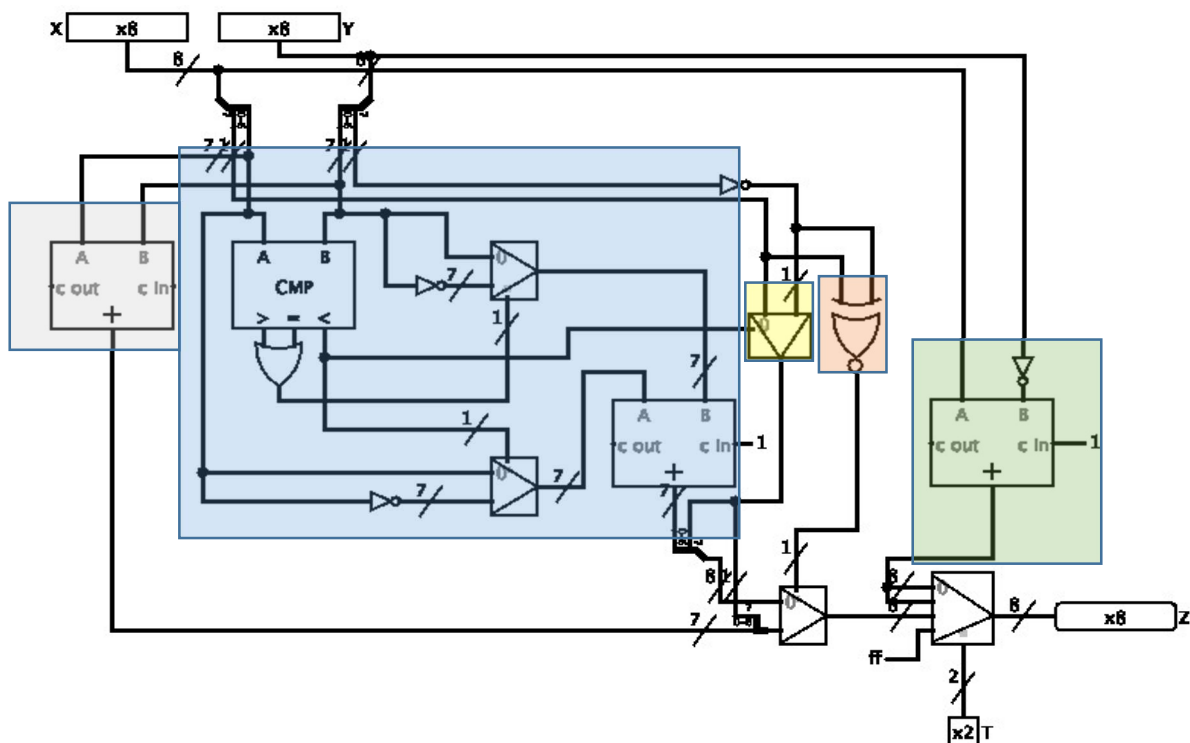
Implementad el circuito SLC usando los bloques y puertas que consideréis necesarios (excepto memoria ROM). El circuito NO tiene que comprobar ninguna situación de desbordamiento. Solo tiene que hacer la operación de resta aritmética.

Para hacer la resta en binario natural y Ca2 sin tener en cuenta si se produce desbordamiento sólo hay que negar el operando Y y un sumador (marcado en verde a la figura).

Para hacer la resta en Signo y Magnitud tenemos que hacer:

- Comprobar si los operandos X y $-Y$ tienen el mismo signo o no (puerta xor negada marcada en naranja)
- Si los signos son iguales (xor negado con valor 0) las magnitudes se suman (sumador en color gris).
- Si los signos son diferentes (xor negado con valor 1) se resta la magnitud menor de la magnitud mayor. Para eso usamos el comparador, los multiplexores y el sumador del bloque marcado en azul. Con el comparador determinamos cuál es la magnitud menor y determinamos cual de las dos magnitudes tenemos que negar para hacer el resto.
- Finalmente, hay que determinar el signo del resultado, por lo cual volvemos a usar la salida del comparador como selector de un multiplexor (marca en amarillo) que tiene como entradas los bits más significativos de X e Y .

Así, ya tenemos los bloques que calculan $X - Y$ en las tres representaciones y usamos la señal T para seleccionar cuál será el resultado que producirá el circuito.



b) [10 %] Minimizar la siguiente función por Karnaugh y hacer la síntesis del circuito a dos niveles:

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

a	b	c	d	h
0	0	0	0	X
0	0	0	1	1
0	0	1	0	X
0	0	1	1	X
0	1	0	0	1
0	1	0	1	1
0	1	1	0	X
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	X
1	1	0	0	X
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

El mapa de Karnaugh de la función h es el siguiente:

ab \ cd	00	01	11	10
00	X	1	X	0
01	1	1	0	1
11	X	0	0	X
10	X	X	1	0

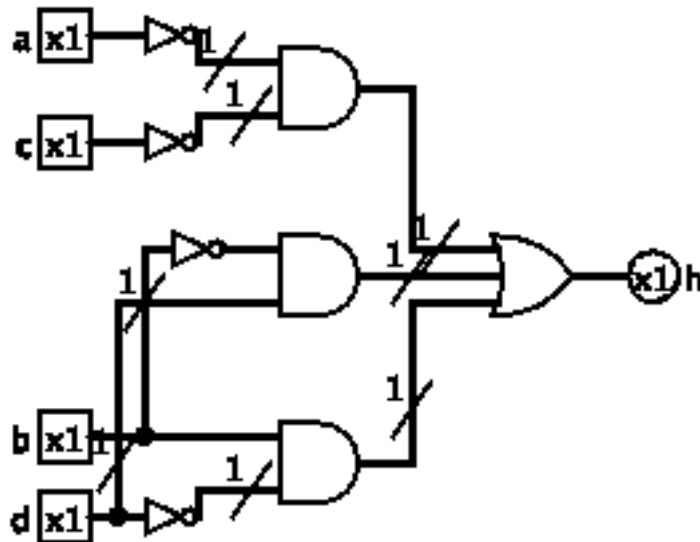
Y obtenemos la expresión mínima siguiente:

$$h = a' \cdot c' + b \cdot d' + b' \cdot d$$

y el circuito de dos niveles que la sintetiza:

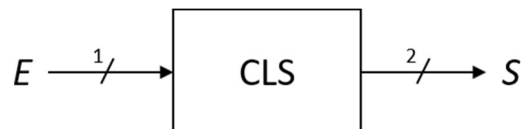
Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00



PROBLEMA 3 [35 %]

- a) [20%] Se quiere diseñar el grafo de estados de un circuito lógico secuencial (CLS) con una entrada E de un bit y una salida S de dos bits, tal y como muestra la figura siguiente:



El circuito tiene que leer los bits que entran por la señal E y tiene que detectar dos tipos de secuencias: la secuencia $S1$ formada por los bits 010, y la secuencia $S2$ formada por los bits 00110. Si se detecta la secuencia $S1$, en el ciclo siguiente la salida tiene que valer 01, y si se detecta la secuencia $S2$, en el ciclo siguiente la salida tiene que valer 10. En cualquier otro caso el valor de la salida S será 00. Las secuencias se pueden solapar parcialmente, es decir, el 0 del final de una secuencia podría ser el inicio de una nueva secuencia.

Ejemplo de funcionamiento:

Entrada E	1	0	1	0	1	0	1	1	0	0	1	1	0	...
Salida S	00	00	00	00	01	00	01	00	00	00	00	00	00	10

Se pide que diseñéis el grafo de estados de este circuito, especificando claramente la leyenda del mismo.

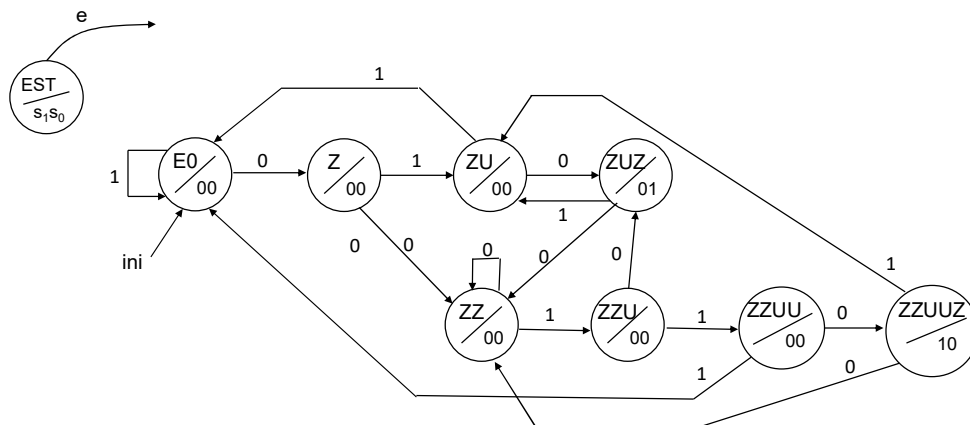
Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

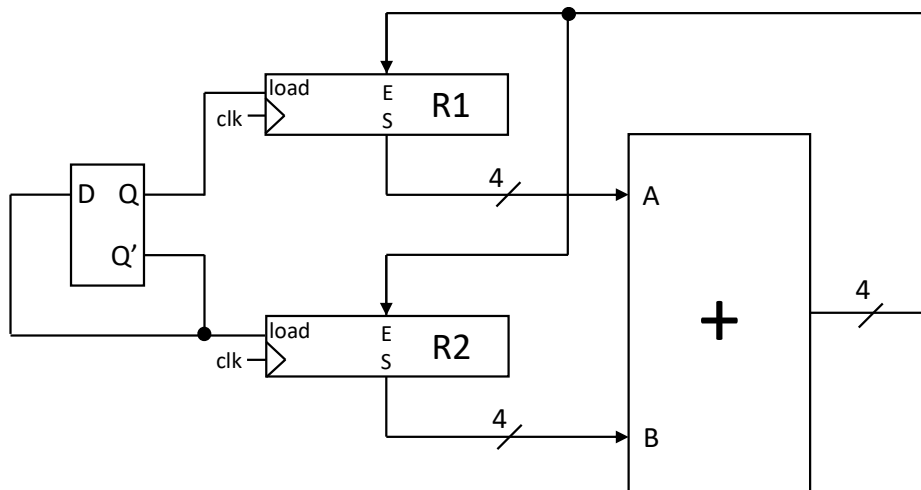
Para conseguir el funcionamiento deseado, el circuito debe tener los siguientes estados:

Estado	Descripción	Salida
E0	Estado inicial, no se ha reconocido nada de la secuencia	00
Z	Se ha visto el primer 0	00
ZU	Se ha visto 01	00
ZUZ	Se ha reconocido la secuencia 010	01
ZZ	Se ha visto 00	00
ZZU	Se ha visto 001	00
ZZUU	Se ha visto 0011	00
ZZUUZ	Se ha reconocido la secuencia 00110	10

El siguiente grafo representa el comportamiento pedido:



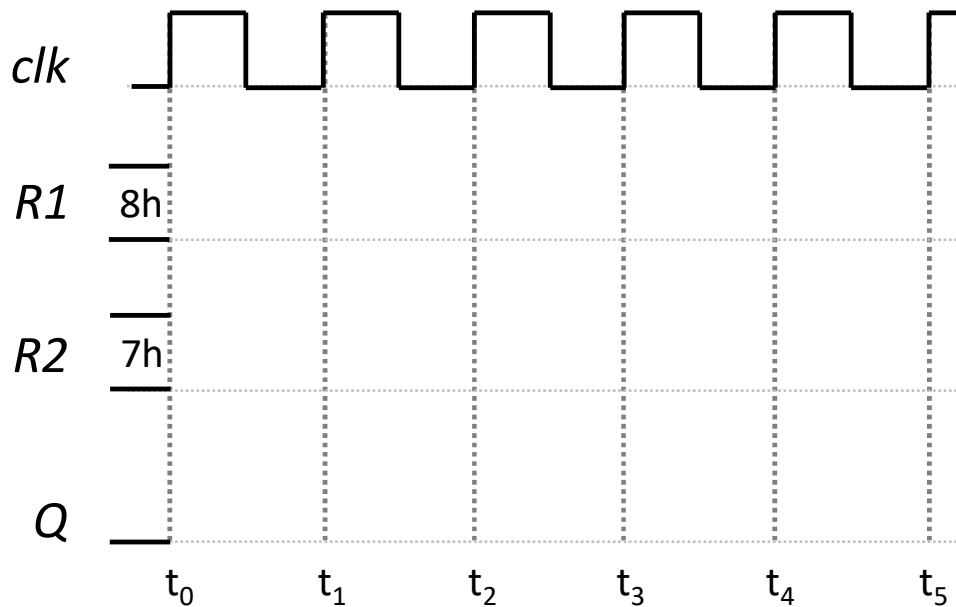
b) [15%] Dado el circuito siguiente:



Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00

Completad el cronograma siguiente expresando los valores de los registros R1 y R2 en hexadecimal:

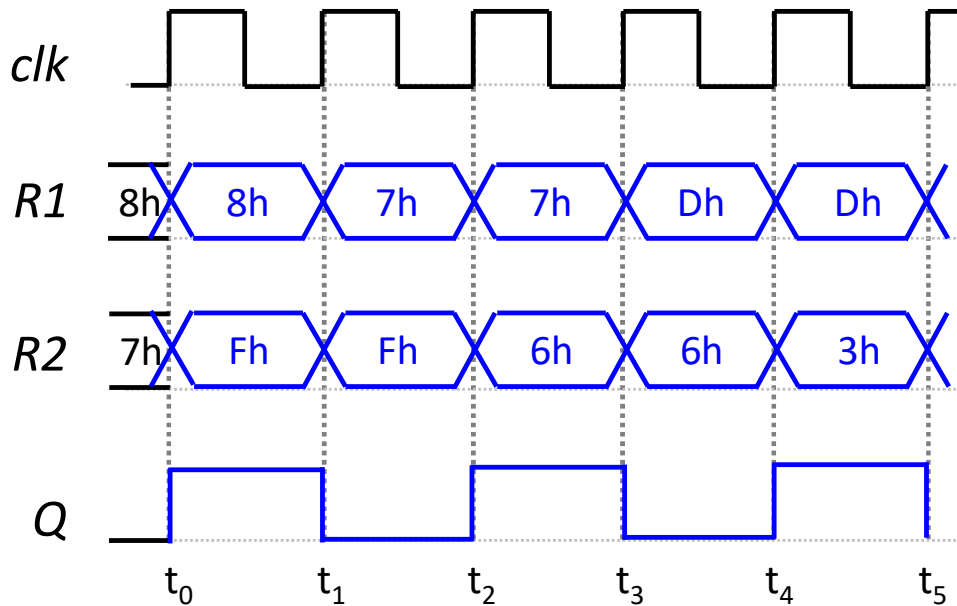


En referencia al biestable D, la conexión de la entrada Q' a D hace que el valor de Q (y Q') cambien en cada ciclo. Por eso, la señal *load* de los registros se activa de forma alterna. En los flancos ascendentes de los instantes t_0 , t_2 y t_4 se carga el registro R2 (puesto que $Q'=1$ en estos momentos) y el registro R1 se carga en los flancos ascendentes de los instantes t_1 , t_3 y t_5 .

El valor que se carga en los registros es el valor de la salida del sumador, que consiste en la suma de la salida de los registros R1 y R2. Por ejemplo, en el instante t_0 esta suma es $8h+7h=Fh$ y con *load* = 1 en el registro R2, se carga el valor Fh en R2. En el instante t_1 la suma es $8h+Fh=7h$ (en 4 bits) y con *load* = 1 en el registro R1, se carga el valor 7h en R1.

Examen 2020/21-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	16/1/2021	09:00



PROBLEMA 4 [10%]

a) [5%] ¿Qué es el lenguaje máquina?

El lenguaje en el cual se codifican los programas que interpreta la máquina correspondiente.

b) [5%] ¿Cuál es el repertorio de instrucciones que interpreta el Femtoproc?

Suma (ADD), negación (NOT), producto lógico (AND) y salto condicional si el resultado de la última operación ha sido cero (JZ).