

## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

**Este enunciado también corresponde a las siguientes asignaturas:**

---

- 81.518 - Fundamentos de computadores

### Ficha técnica del examen

---

- No es necesario que escribas tu nombre. Una vez resuelta la prueba final, solo se aceptan documentos en formato .doc, .docx (Word) y .pdf.
  - Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
  - Tiempo total: **2 horas** Valor de cada pregunta: **P1:20%; P2:35%; P3:35%; P4:10%**
  - ¿Se puede consultar material durante la prueba? **NO** ¿Qué materiales están permitidos?  
**Ninguno**
  - ¿Puede utilizarse calculadora? **NO** ¿De qué tipo? **NINGUNO**
  - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?
  - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

# Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

## Solución

### PROBLEMA 1 [20%]

Contestad los apartados siguientes:

- a) **[10 %]** Considerad el número binario  $A = 10001110$ , a qué número decimal equivale según los tipos de interpretaciones siguientes:

- i. **[5 %]**  $A$  representa un número entero en representación complemento a 2 y 8 bits

En la representación Ca2 el bit más significativo indica el signo. Para conocer la magnitud de un número negativo codificado en Ca2 aplicamos TFN considerando que el primer bit es negativo:

$$10001110_{(Ca2)} = -1 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = -128 + 8 + 4 + 2 = -114_{(10)}$$

- ii. **[5 %]**  $A$  representa un número fraccionario en representación signo y magnitud y 2 bits de parte fraccionaria

El número con esta interpretación quedaría:  $100011,10_{(SM2)}$ .

En este formato el primer bit es el de signo, para la magnitud quedan 7 bits de los cuales 2 son bits fraccionarios. Tenemos en cuenta que el bit de más peso al ser 1 indica que el número es negativo.

Si aplicamos TFN:

$$00011,10_2 = 1 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1}$$

Parte entera: 3

Parte fraccionaria: 0,5

Por lo tanto, con esta interpretación y teniendo en cuenta que el número es negativo:

$$100011,10_{(SM2)} = -3,5_{(10)}$$

- b) **[10 %]** Considerad los números binarios  $A = 10101100$  y  $B = 00110110$  representados en complemento a 2. Realizad las siguientes operaciones aritméticas trabajando en la misma representación e indicad si se produce desbordamiento:

- i. **[5%]**  $A + B$

La operación de suma en Ca2 se realiza sumando los dos operandos sin tener en cuenta el signo.

$$\begin{array}{rcccccccc}
 & & 1 & 1 & 1 & 1 & & & \leftarrow \text{acarreo} \\
 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & \leftarrow A \\
 + & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & \leftarrow B \\
 \hline
 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 
 \end{array}$$

$$A + B = 11100010_{(Ca2)}$$

En Ca2, la suma de dos números con signos diferentes nunca puede producir desbordamiento.

## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

ii. [5 %]  $B - A$

Para restar en Ca2, convertimos la operación  $B - A$  en  $B + (-A)$ , cambiando el signo del sustraendo, es decir, complementándolo bit a bit y sumando 1 al resultado:

$$-A = 01010011 + 1 = 01010100$$

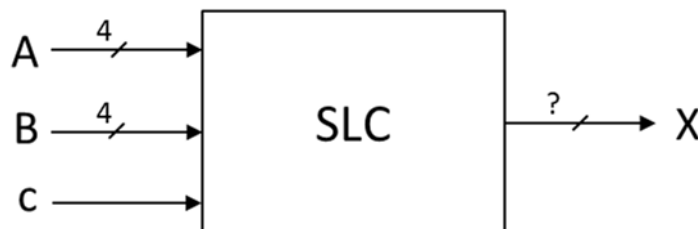
$$\begin{array}{r}
 \phantom{+} \phantom{0} \phantom{0} \phantom{1} \phantom{1} \phantom{0} \phantom{1} \phantom{1} \phantom{0} \phantom{0} \\
 \phantom{+} \phantom{0} \phantom{0} \phantom{1} \phantom{1} \phantom{0} \phantom{1} \phantom{1} \phantom{0} \phantom{0} \quad \leftarrow \text{acarreo} \\
 \phantom{+} \phantom{0} \phantom{0} \phantom{1} \phantom{1} \phantom{0} \phantom{1} \phantom{1} \phantom{0} \phantom{0} \quad \leftarrow B \\
 + \phantom{0} \phantom{0} \phantom{1} \phantom{0} \phantom{1} \phantom{0} \phantom{1} \phantom{0} \phantom{0} \phantom{0} \quad \leftarrow -A \\
 \hline
 \phantom{+} \phantom{0} \phantom{0} \phantom{0} \phantom{0} \phantom{1} \phantom{0} \phantom{1} \phantom{0} \phantom{0}
 \end{array}$$

El resultado es:  $10001010_{(Ca2)}$

Hay desbordamiento, ya que sumamos dos números positivos y el signo del resultado es negativo.

### PROBLEMA 2 [35 %]

a) [25 %] Un sistema combinacional SLC tiene las entradas y salidas siguientes:



dónde  $A$  y  $B$  son números enteros de 4 bits codificados en complemento a 2. La salida  $X$  también es un entero en Ca2, donde su valor viene determinado por la tabla siguiente:

c	X
0	$4 \cdot (A+B)$
1	$A \cdot 7$

i. [5 %] ¿Cuántos bits debe tener como mínimo la salida  $X$  para que no se pueda producir nunca desbordamiento?

El rango de representación de un número entero en Ca2 es  $[-2^{n-1}, 2^{n-1}-1]$ . En este caso, con números codificados con 4 bits, el rango resultante es  $[-8, 7]$ .

Con la primera operación, el resultado estará entre  $[4 \cdot (-8-8), 4 \cdot (7+7)] = [-64, 56]$ , necesitando 7 bits para representar estos valores.

En el caso de la segunda operación, el rango de los resultados será  $[-8 \cdot 7, 7 \cdot 7] = [-56, 49]$ , que también son representables con un mínimo de 7 bits.

Por eso, la salida debe tener **7 bits** para que no se pueda producir desbordamiento.

## Examen 2023/24-2

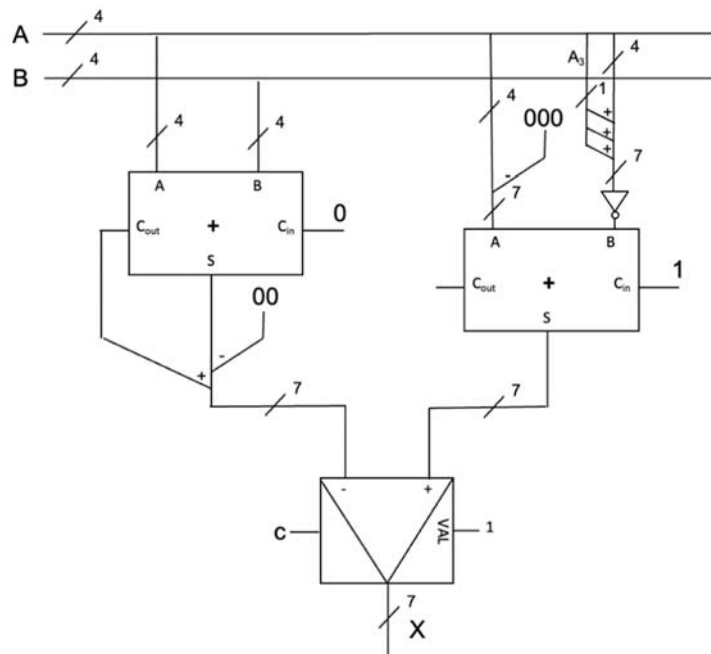
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

- ii. **[20 %]** Implementa el circuito SLC sabiendo que podéis disponer de todas las puertas y bloques que se han explicado en el temario, excepto memorias ROM.

La salida del circuito está determinada por el valor de  $c$ . El circuito estará formado por dos partes que implementarán cada una de las dos funciones y un multiplexor seleccionará el valor correspondiente de estas dos partes en función del valor de  $c$ .

Para la primera parte,  $c=0$ , el circuito está implementado como una suma de los dos valores de entrada. Para garantizar que no hay desbordamiento, el resultado añade como bit más significativo el valor  $c_{out}$  del sumador. Este resultado se debe multiplicar por 4. Recordad que las multiplicaciones por valores potencias de 2 se pueden realizar como desplazamientos a la izquierda. En este caso, hay que hacer un desplazamiento a la izquierda de 2 bits.

Para la segunda parte,  $c=1$ , la operación  $A \cdot 7$  es equivalente a  $A \cdot 8 - A$  y, por lo tanto, se puede implementar como una resta del valor de  $A$  desplazado 3 bits a la izquierda menos el valor de  $A$ . Los operadores de la resta deberán tener la misma precisión, así que se tendrá que hacer una extensión de signo de 3 bits para el valor de  $A$  en el caso de la segunda entrada del restador. Finalmente, recordad que una resta se implementa con un sumador y haciendo el cambio de signo del segundo operador. Para hacer un cambio de signo, hay que hacer la negación de todos los bits del número, y sumar el valor 1. Por eso, el circuito utiliza un sumador, que tiene una puerta de negación para los bits de su segundo operador, y que conectando un 1 a la entrada el  $c_{in}$  para sumar el valor 1 al resultado final.



## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

b) **[10 %]** Minimiza la función siguiente por el método de Karnaugh y haz la síntesis del circuito a dos niveles:

a	b	c	d	f
0	0	0	0	1
0	0	0	1	X
0	0	1	0	1
0	0	1	1	X
0	1	0	0	X
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	X
1	1	1	1	0

Esta función lógica tiene más de una expresión mínima en función de como se hagan los grupos del mapa de Karnaugh. Una de las posibles soluciones correctas se muestra en el siguiente mapa de Karnaugh:

ab	00	01	11	10
cd				
00	1	x	1	0
01	x	0	0	1
11	x	0	0	1
10	1	1	x	0

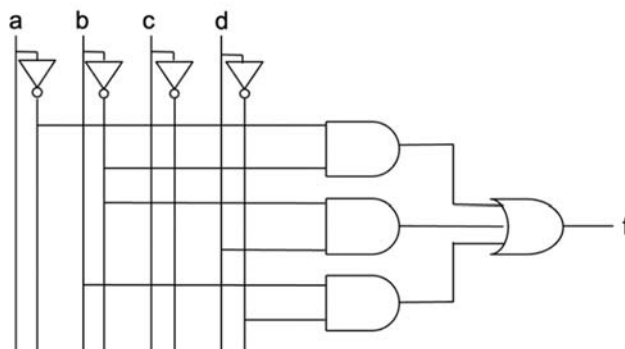
Dónde la expresión mínima que tiene este mapa de Karnaugh es:

$$f = a' \cdot b' + b' \cdot d + b \cdot d'$$

El circuito a dos niveles que implementa esta función con puertas lógicas es el siguiente:

## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30



NOTA: La otra posible función mínima es:

$$f = a' \cdot d' + b' \cdot d + b \cdot d'$$

### PROBLEMA 3 [35 %]

- a) [17,5 %] Dibujad el grafo de estados de un circuito secuencial, con una entrada  $e$  de un bit, y una salida  $S$  de dos bits. El circuito lee los bits de entrada en secuencia e interpreta como número natural el número formado por las dos últimas lecturas. Es decir, si en el instante  $t_i$  se lee el bit  $b_i$ , y en el siguiente instante,  $t_{i+1}$ , se lee el bit  $b_{i+1}$ , en el siguiente ciclo el circuito saca por la salida  $S$  el valor  $t_{i+1}t_i$ .

En los dos primeros ciclos, el circuito saca por la salida el valor 00. A partir de este ciclo, el valor de la salida es el valor del número formado por las dos últimas lecturas, siendo el último bit introducido el bit de más peso en el número representado en la salida  $S$ .

Ejemplo de funcionamiento:

Entrada $e$	1	1	0	0	0	1	0	1	1	0	...
Salida $S$	00	00	11	01	00	00	10	01	10	11	01

Dibujad el grafo de estados, siguiendo el modelo de Moore, que describa esta especificación. Hay que indicar la leyenda y especificar textualmente cuál es el significado de cada uno de los estados que forman este grafo.

El circuito tiene que saber en todo momento qué valor ha tenido la entrada  $e$  durante los dos últimos ciclos. Puesto que se pueden dar 4 combinaciones posibles de estos dos valores, crearemos los estados ZZ, ZU, UZ, UU.

Describimos por ejemplo el estado ZU:

- Nos indica que los valores que han llegado por la entrada  $e$  han sido 0 y 1, en este orden. Es decir, el penúltimo valor ha sido 0 y el último valor ha sido 1.
- La salida  $S$  valdrá 10, puesto que el bit de más peso tiene que ser el último que ha llegado y el de menos peso el penúltimo.

El significado y salidas de los otros tres estados se describen de manera análoga.

Por otro lado, el grafo tiene que tener un estado inicial, que denominaremos INI, que es el estado en que se encontrará el circuito cuando empiece a funcionar.

## Examen 2023/24-2

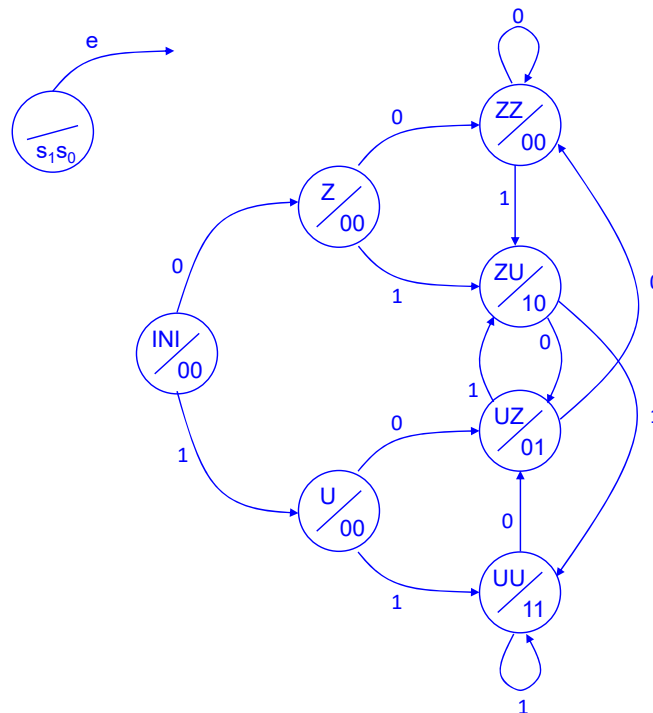
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

Debe tener también dos estados más para poder distinguir cuál es el primer valor de  $e$  que llega al circuito. Los denominaremos Z y U para recordar que el primer valor de  $e$  ha sido 0 o 1 respectivamente. En estos dos estados y en el estado INI la salida S valdrá 00, tal y como nos indica el enunciado.

Las transiciones entre estados se encuentran observando cuál es el último valor que había tenido  $e$  y cuál tiene en el estado actual. Por ejemplo:

- Estando en el estado U, que indica que el último valor que ha llegado es 1, si llega un 0 iremos al estado UZ y si llega un 1 iremos al estado UU.
- Estando en el estado UZ, que indica que el último valor que ha llegado es 0, si llega un 0 iremos al estado ZZ y si llega un 1 iremos al estado ZU.

El grafo completo se muestra a continuación.

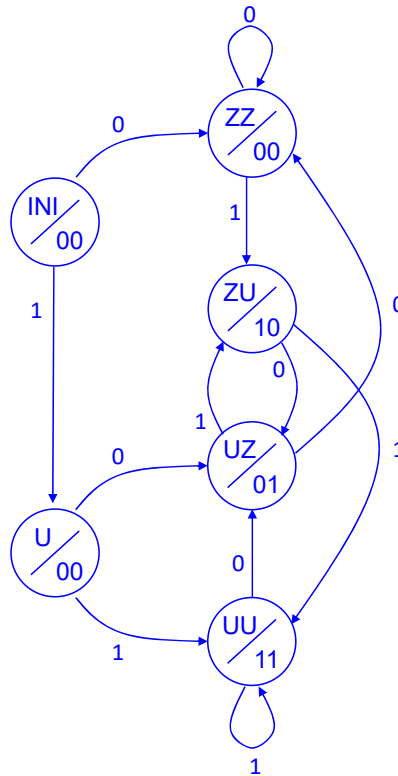


Observando el grafo vemos que, de hecho, los estados Z y ZZ se pueden unificar en uno mismo, porque tienen las mismas salidas y las transiciones desde ambos van a los mismos estados futuros.

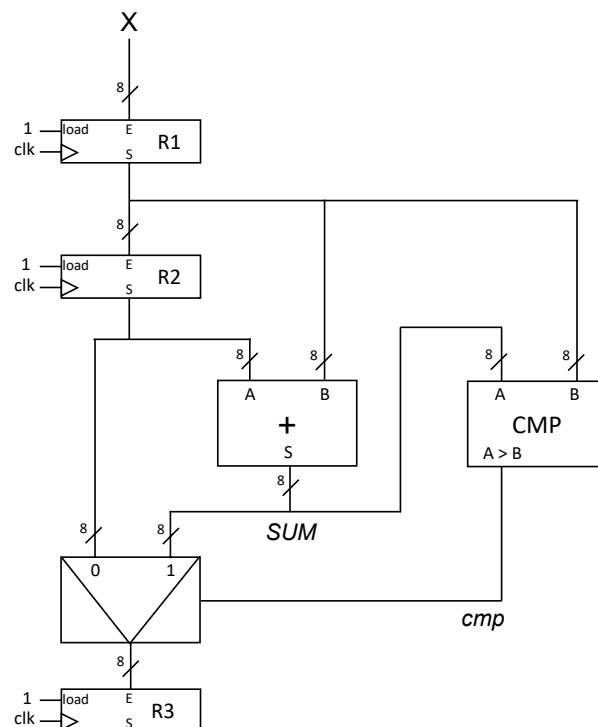
Con esta simplificación, el grafo queda así:

## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30



b) [17,5 %] Dado el circuito siguiente:

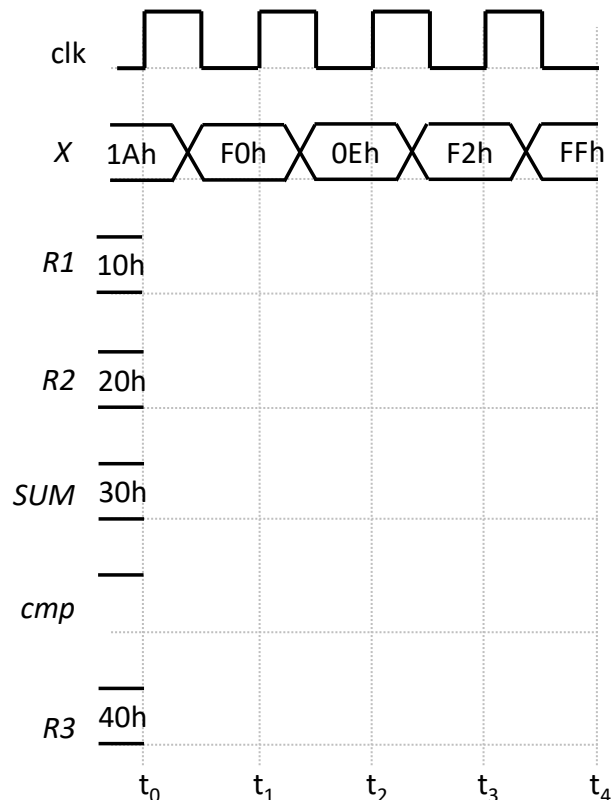




## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

Completad el cronograma siguiente expresando el valor de los registros R1, R2 y R3 y de la señal intermedia *SUM* en hexadecimal.



Para rellenar el cronograma miramos en qué momentos se cargan los registros y con qué valores.

En cuanto a los momentos, vemos que se cargan a cada flanco de reloj, porque en la entrada *load* de los tres registros hay conectado un 1.

En cuanto a los valores que se cargan, vemos que a la entrada de R1 llega la señal X. Por lo tanto, podemos escribir ya de entrada todos sus valores en el cronograma (en cada flanco se escribe el valor de X en el instante anterior al flanco).

A la entrada de R2 llega la salida de R1. Por lo tanto, también podemos escribir todos sus valores en el cronograma, una vez escritos los valores de R1 (en cada flanco se escribe el valor de R1 en el instante anterior al flanco).

A la entrada de R3 llega un valor que depende de R2, *SUM* y *cmp*, del modo siguiente: si *cmp* = 0 en R3 se escribirá R2, y si *cmp* = 1 se escribirá *SUM*. Analicemos cómo evolucionan estas dos señales a lo largo del tiempo.

La señal *SUM* es la suma de R1 y R2. Puesto que ya hemos escrito en el cronograma todos los valores de estos dos registros, podemos escribir también todos los valores de *SUM*.

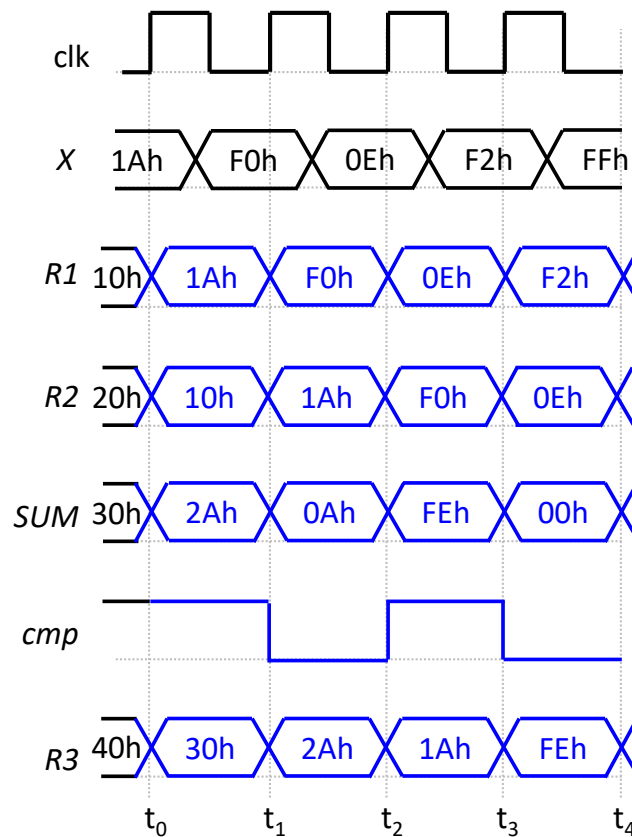
La señal *cmp* corresponde a la salida *A>B* de un comparador al que llegan *SUM* y R1 por las entradas A y B respectivamente. Por lo tanto, *cmp* = 1 siempre que *SUM* > R1, y *cmp* = 0 en caso contrario. Puesto que ya tenemos escritos en el cronograma todos los valores de R1 y de *SUM*, ya podemos escribir también todos los valores de *cmp*.

## Examen 2023/24-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	22/6/2024	19:30

Nos falta sólo poner los valores de R3, cosa que haremos a partir de la descripción que hemos obtenido de los valores que se escriben en R3, observando cuánto valen todas las señales involucradas en el instante anterior a cada flanco.

El cronograma completo se muestra a continuación.



### PROBLEMA 4 [10 %]

a) [5 %] ¿Qué es un DSP?

Es un procesador de señales digitales los cuales están orientados a aplicaciones que requieran el procesamiento de un flujo continuo de datos.

b) [5 %] En un procesador microprogramado, ¿qué función tiene el secuenciador?

De controlador de una máquina de interpretación de instrucciones.