

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

Este enunciado también corresponde a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- No es necesario que escribas tu nombre. Una vez resuelta la prueba final, solo se aceptan documentos en formato .doc, .docx (Word) y .pdf.
 - Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
 - Tiempo total: **2 horas** Valor de cada pregunta: **P1:20%; P2:35%; P3:35%; P4:10%**
 - ¿Se puede consultar material durante la prueba? **No** ¿Qué materiales están permitidos? **Ninguno**
 - ¿Puede utilizarse calculadora? **No** ¿De qué tipo?
 - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? ¿Cuánto?
 - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

Enunciados

PROBLEMA 1 [20%]

Responded los apartados siguientes:

- a) **[5 %]** Dado el valor $A = 11010110$, que representa un número binario entero codificado en complemento a 2 con 8 bits, ¿qué número decimal representa?

En la representación Ca2 el bit más significativo indica el signo. Para conocer la magnitud de un número negativo codificado en Ca2 aplicamos el TFN considerando que el primer bit es negativo:

$$\begin{aligned}
 11010110_{(Ca2)} &= -1 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 \\
 &= -128 + 64 + 16 + 4 + 2 + 0 = -42_{(10)}
 \end{aligned}$$

- b) **[7.5 %]** Dados los valores $B = 10100110$ y $C = 01110101$, que representan dos números binarios enteros expresados en complemento a 2 con 8 bits, calculad $B+C$ utilizando el mismo formato. ¿Se produce desbordamiento? Justificad la respuesta.

La suma de B y C en complemento a 2 implica considerar B como representación de un número negativo y C como representación de un número positivo. La suma se realiza sumando los dos números directamente.

$$\begin{array}{r}
 \begin{array}{cccccccc}
 1 & 1 & & & 1 & & & \\
 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\
 + & 0 & 1 & 1 & 1 & 0 & 1 & 0 & 1 \\
 \hline
 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1
 \end{array}
 \begin{array}{l}
 \leftarrow \text{acarreo} \\
 \leftarrow B_{(Ca2)} \\
 \leftarrow C_{(Ca2)} \\
 \leftarrow \text{resultado}
 \end{array}
 \end{array}$$

El resultado de la suma es $00011011_{(Ca2)}$.

La suma de un número negativo y un positivo en Ca2 nunca produce desbordamiento.

- c) **[7.5 %]** Dado el formato de coma flotante siguiente:

S	Exponente	Mantisa
11	10	7 6 0

Donde:

- el bit de signo S vale 0 para los números positivos, y 1 para los negativos
- método de aproximación por truncamiento
- el exponente se codifica en exceso a 8, y
- la mantisa está normalizada de la forma $1,M$ y con bit implícito.

Representad el número $13,75_{(10)}$ en este formato.

Como el número a representar es positivo se determina que el valor de $S = 0$

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

Aplicando las divisiones sucesivas a la parte entera obtenemos su equivalente en binario:

$$\begin{aligned}
 13 &= 6 \cdot 2 + 1 \\
 6 &= 3 \cdot 2 + 0 \\
 3 &= 1 \cdot 2 + 1 \\
 1 &= 0 \cdot 2 + 1
 \end{aligned}$$

Así, la parte entera $13_{(10)} = 1101_{(2)}$

La codificación de la parte fraccionaria aplicando el algoritmo de la división entera será:

$$\begin{aligned}
 0,75 \cdot 2 &= 1,5 = 1 + 0,5 \\
 0,5 \cdot 2 &= 1 + 0
 \end{aligned}$$

Por lo tanto, la parte fraccionaria de $13,75_{(10)}$ es $0,11_{(2)}$

El valor binario finalmente queda: $1101,11_{(2)}$

Como que la mantisa se representa con bit implícito y 7 bits, nos quedaría cómo

$$1101,11_{(2)} = 1,10111_{(2)} \cdot 2^3$$

Aplicando una aproximación por truncamiento y considerando que la mantisa tiene que ser de 7 bits el valor final es

$$1,10111_{(2)} \cdot 2^3 = 1,1011100_{(2)} \cdot 2^3$$

Respecto al exponente que es igual a 3, se tiene que representar con exceso a 8, es decir:

$$8+3 = 11_{(10)} = 1011_{(2)}$$

El valor en coma flotante que se pide al ejercicio es:

0 1011 1011100

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

PROBLEMA 2 [35%]

a) [10%] Minimizar la siguiente función por Karnaugh y hacer la síntesis del circuito a dos niveles:

a	b	c	d	f
0	0	0	0	X
0	0	0	1	X
0	0	1	0	1
0	0	1	1	X
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	X
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	X

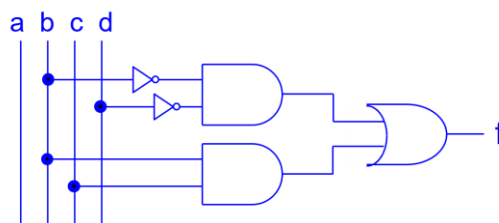
El mapa de Karnaugh para la función f es el siguiente:

ab \ cd	00	01	11	10
00	X	0	0	1
01	X	0	0	0
11	X	1	X	0
10	1	1	1	X

Y obtenemos esta expresión mínima:

$$f = b'd + bc$$

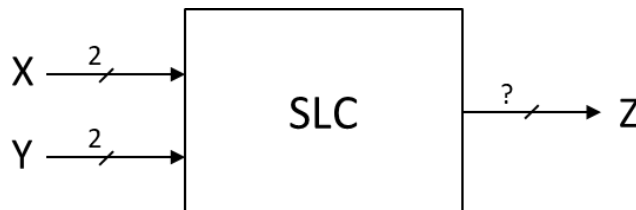
El circuito que la implementa a dos niveles con puertas lógicas es el siguiente:



Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

b) **[25%]** Un sistema combinacional SLC responde al siguiente bloque:



donde X e Y son números naturales de 2 bits. La salida Z también es un número natural.

La salida Z viene determinada por la siguiente expresión numérica:

$$Z = 3 \cdot X^2 + 2 \cdot Y^2 + 1$$

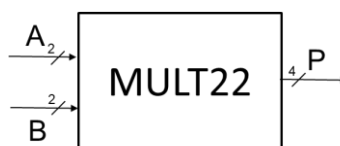
b.1) **[5%]** Indicad la dimensión de la señal de salida Z para poder representar correctamente la salida con el mínimo número de bits.

Para calcular la dimensión de la señal de salida tenemos que calcular cuál puede ser el resultado máximo que se puede producir en este circuito. El resultado máximo se dará cuando $X = Y = 3$. En este caso:

$$Z = 3 \cdot 3^2 + 2 \cdot 3^2 + 1 = 3 \cdot 9 + 2 \cdot 9 + 1 = 27 + 18 + 1 = 46$$

Para poder representar correctamente el número 46 necesitamos un mínimo de $\log_2(46)$ bits, es decir, **necesitaremos 6 bits**.

b.2) **[20%]** Realizad el circuito SLC utilizando bloques MULT22 como los utilizados en la PEC2, que realizaba la multiplicación de números naturales de 2 bits:



Adicionalmente podéis usar cualquiera de los bloques y puertas explicados en el temario.

Se valorará que todos los buses internos del circuito, así como la salida, tengan definidos el número correcto de bits para que no se produzca nunca desbordamiento en los cálculos realizados.

Utilizaremos los bloques MULT22 para calcular las operaciones X^2 e Y^2 . Lamentablemente no los podremos utilizar para hacer los cálculos $3 \cdot X^2$ ni tampoco $2 \cdot Y^2$, ya que tanto X^2 como Y^2 son valores de 4 bits y no nos cabrían en los bloques MULT22.

En este caso, para multiplicar un cierto número N de cuatro bits por dos se hace desplazando un bit a la izquierda (o bien añadiendo un cero como bit de menor peso) de forma que el resultado tendrá 5 bits. Similarmente, para multiplicar un número N por tres se hace sumando $(N \cdot 2) + N$. Como que $N \cdot 2$ es un valor de 5 bits, la suma $(N \cdot 2) + N$ se tiene que hacer con un sumador de 5 bits. Teniendo en cuenta que sabemos que N es un número entre 0 y 9, la multiplicación $N \cdot 3$ dará un valor entre 0 y 27 y, por lo tanto, cabrá en 5 bits.

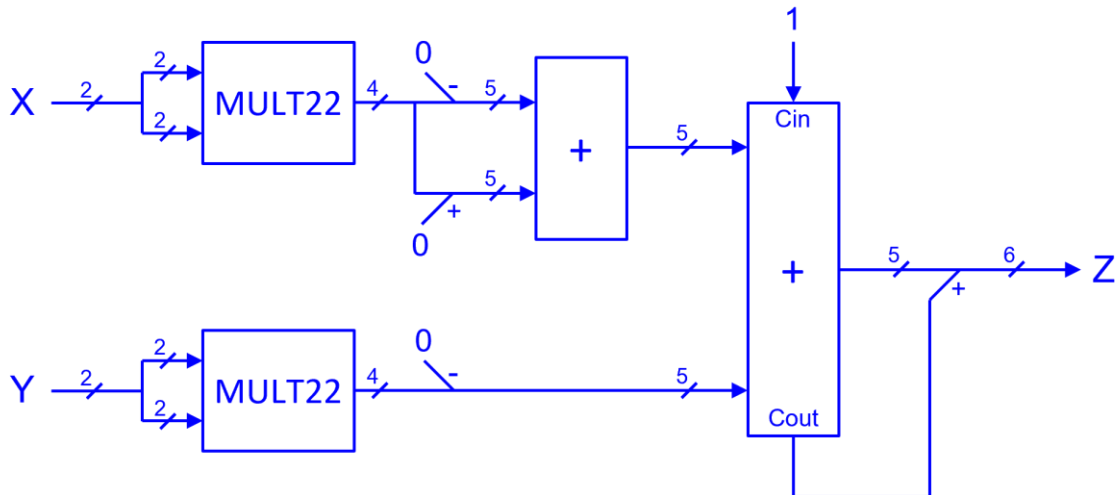
Finalmente, la operación $3 \cdot X^2 + 2 \cdot Y^2 + 1$ se puede hacer con un sumador de 5 bits, en el cual sumaremos $3 \cdot X^2 + 2 \cdot Y^2$ y en el cual pondremos un 1 en la entrada Cin. El resultado será un valor de 6 bits, tal y como

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

se ha justificado en el apartado (b.1), por lo tanto, cogeremos los 5 bits del resultado y le añadiremos el bit Cout como bit de mayor peso.

El circuito resultante es el siguiente:



Como soluciones alternativas, las multiplicaciones por 2 y por 3 se pueden hacer mediante dos o tres sumas, respectivamente. En este caso, hay que gestionar correctamente los posibles acarreos de cada sumador, así como el correspondiente número de bits en cada salida de los sumadores.

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

PROBLEMA 3 [35%]

- a) **[17.5 %]** Dibujad el grafo de estados de un circuito que mantenga a cero su señal de salida z , de un bit, mientras no reciba la secuencia de activación 110 en su entrada x , también de un solo bit. Una vez recibida la secuencia 110, la salida z permanecerá en 1 mientras la entrada x no reciba la secuencia de desactivación 101. Al recibir la secuencia 101 la salida del circuito volverá a valer cero hasta recibir una nueva secuencia de activación.

Ejemplo de funcionamiento:

Entrada x	0	1	1	0	1	0	1	0	1	1	1	0	0	1	0	
Salida z	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1	1

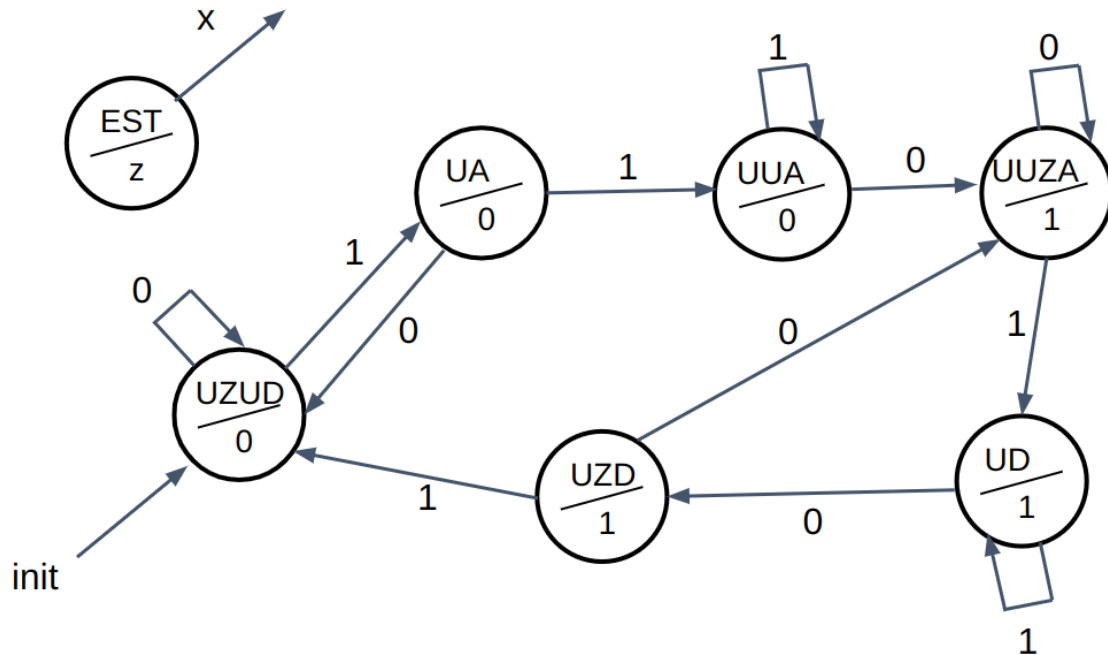
Para conseguir el funcionamiento deseado, el grafo debe tener los siguientes estados:

Estado	Descripción	Salida
<i>UZUD</i>	Estado inicial, también sirve como estado final para reconocer la secuencia 101 que desactiva la señal de salida.	0
<i>UA</i>	El valor de la entrada x era 1, correspondiendo al primer número de la secuencia de activación.	0
<i>UUA</i>	El valor de la entrada x era 1, correspondiendo al segundo número de la secuencia de activación.	0
<i>UUZA</i>	El valor de la entrada x era 0. La entrada x ha tenido la secuencia 110. Se reconoce secuencia de activación y se activa la salida a 1, también sirve como estado inicial para reconocer la secuencia de desactivación.	1
<i>UZ</i>	El valor de la entrada x era 1, correspondiendo al primer número de la secuencia de desactivación.	1
<i>UZD</i>	El valor de la entrada x era 0, correspondiendo al segundo número de la secuencia de desactivación.	1

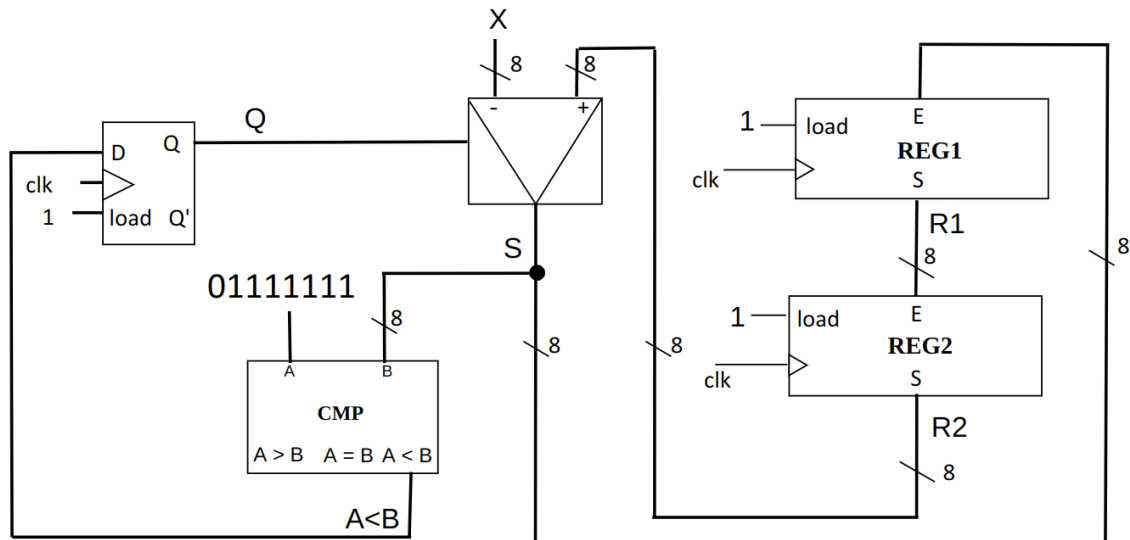
Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

El siguiente grafo representa el comportamiento deseado:



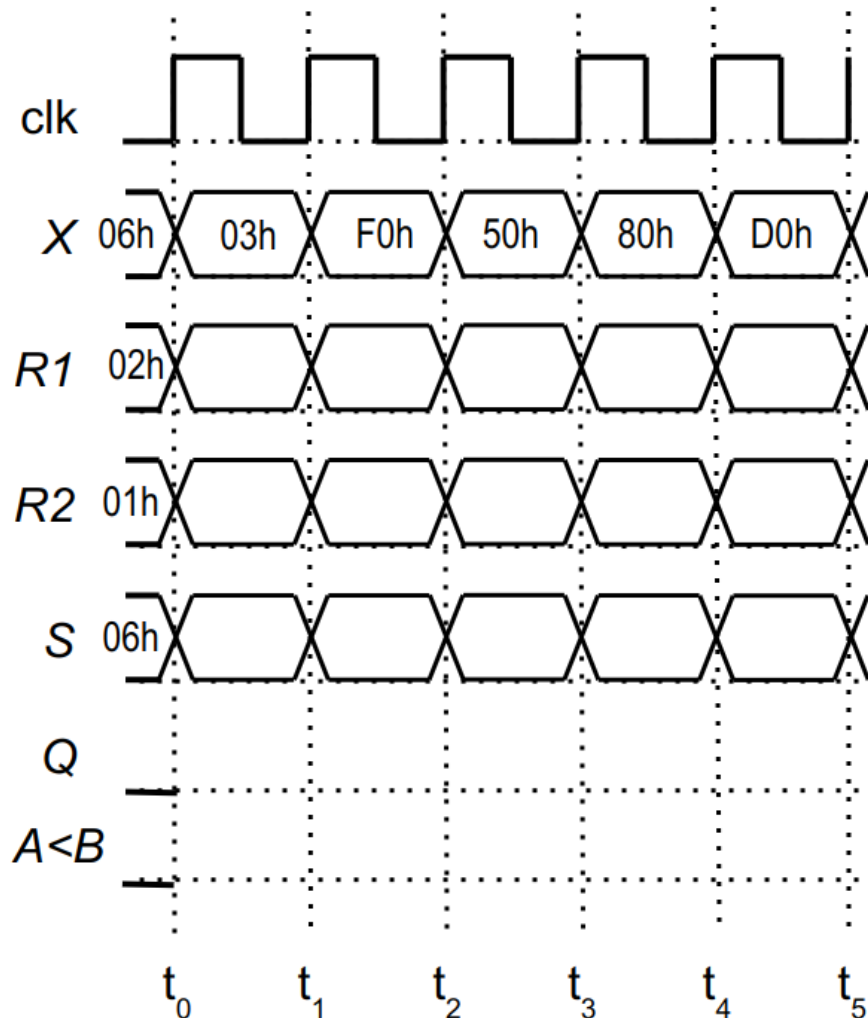
b) [17.5%] Dado el circuito siguiente:



Completad el cronograma siguiente donde R1 y R2 son las respectivas salidas de los registros REG1 y REG2. No hace falta que justificuéis la respuesta.

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30



Para rellenar el cronograma miramos en qué momentos se cargan los registros y el biestable y con qué valores. En cuanto a los momentos, vemos que se cargan en cada flanco de reloj, ya que a la entrada load de los dos registros y del biestable está conectado un 1.

En cuanto a los valores que se cargan, vemos que en la entrada de REG1 y de REG2 llegan siempre las señales S y R1 respectivamente. Por lo tanto, en cada flanco se escribe en los registros el valor de S y de R1 respectivamente del instante anterior al flanco. En cuanto a Q, tomará en cada flanco el valor de A<B. Es decir, Q tendrá los mismos valores que A<B, pero desplazados un ciclo.

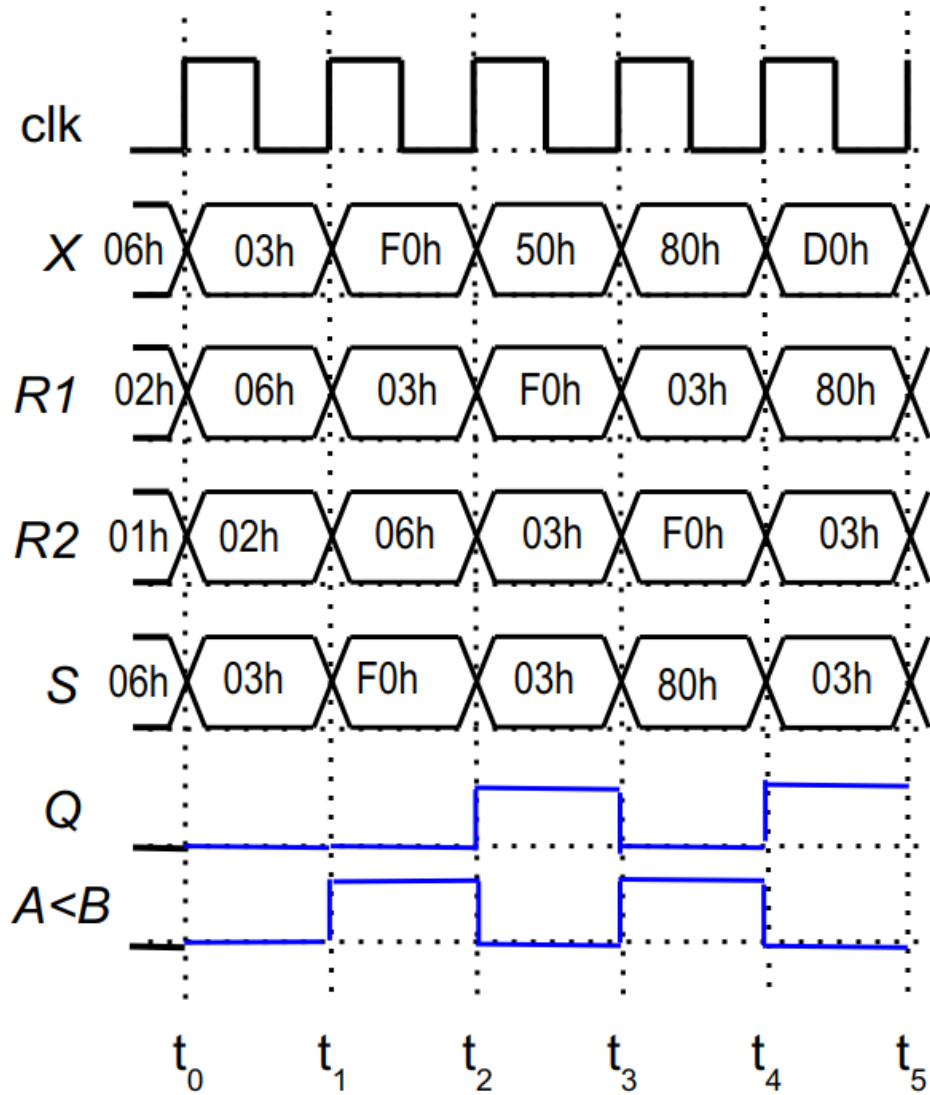
El valor de S en un determinado ciclo está controlado por el valor de Q en este mismo ciclo. Cuando $Q=0$, la salida S tiene el valor de X y en caso de $Q=1$, S tiene el valor de R2.

Por ejemplo, al llegar al instante t_0 , el valor de $S=06h$ se escribe en REG1. REG2 toma el valor $R1=02h$ de REG1. Dado que $A<B=0$ en el instante anterior al flanco, Q tomará el valor 0 de A<B en el ciclo $t_0 - t_1$. Con $Q=0$ en el ciclo $t_0 - t_1$, S toma el valor de $X=03h$.

Otro ejemplo es al llegar al instante t_3 . Dado que $Q=1$ en el ciclo $t_2 - t_3$, S tiene el valor 03h de R2 en $t_2 - t_3$. Por lo tanto, REG1 en el ciclo $t_3 - t_4$ tiene este valor 03h.

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30



Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	18/1/2025	12:30

PROBLEMA 4 [10%]

- a) **[5%]** ¿Qué característica es más exclusiva de las arquitecturas de conjuntos de instrucciones (ISA) reducidos (RISC) respecto de los complejos (CISC)?

Tener dos tipos de instrucciones para acceder a datos en memoria: uno para lectura y otro para escritura.

- b) **[5%]** ¿Para qué se usa la memoria caché?

Para proporcionar a la CPU un acceso más rápido a la información de la memoria principal.