

Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00



75.562 21 01 17 EX

Espacio para la etiqueta identificativa con el código
personal del **estudiante**.
Examen

Este enunciado corresponde también a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la cual estás matriculado.
- Debes pegar una sola etiqueta de estudiante en el espacio de esta hoja destinado a ello.
- No se puede añadir hojas adicionales.
- No se puede realizar las pruebas a lápiz o rotulador.
- Tiempo total 2 horas
- En el caso de que los estudiantes puedan consultar algún material durante el examen, ¿cuál o cuáles pueden consultar?:
- Valor de cada pregunta:
- En el caso de que haya preguntas tipo test: ¿descuentan las respuestas erróneas? NO
¿Cuánto?
- Indicaciones específicas para la realización de este examen

Enunciados

Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

PROBLEMA 1 [20%]

Contestad los apartados siguientes:

- a) **[5%]** Dados los números $A = 01101101_{(Ca2)}$ y $B = 00001001_{(Ca2)}$, codificados en complemento a 2, haced la operación $A - B$, proporcionando un resultado en este mismo formato, y explicando los pasos a seguir para hacer esta operación.

Nota: No hay que obtener los valores de A y B en decimal, únicamente hay que hacer la operación pedida en binario según este formato.

Para restar en complemento a 2, convertimos la operación $A - B$ en $A + (-B)$, cambiando el signo del sustraendo, es decir, complementándolo bit a bit y sumando 1 al resultado:

$$\begin{array}{r}
 -B = 11110110 + 1 = 11110111 \\
 \begin{array}{cccccccc}
 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\
 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 1 \\
 + & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 \\
 \hline
 1 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0
 \end{array}
 \end{array}$$

- b) **[5%]** Se produce desbordamiento en la operación del apartado anterior? Explicad en qué casos se producirá desbordamiento en caso de resta de números codificados en complemento a 2.

No hay desbordamiento puesto que la suma de un número positivo y un número negativo (el sustraendo cambiado de signo) no puede producir desbordamiento.

En $Ca2$ hay desbordamiento en la resta de dos números si son de diferente signo y en la operación de la suma (del minuendo más el sustraendo cambiado de signo) el signo del resultado es diferente del signo de los valores que se suman.

- c) **[10%]** Considerad un formato de signo y magnitud en coma fija y 8 bits, donde 3 bits corresponden a la parte fraccionaria. Indicad en decimal cuál es el número positivo más grande y cuál es el número positivo más pequeño (diferente de cero) que se puede representar en este formato.

El número positivo más grande:

Tiene el bit de signo 0 (positivo).

La parte entera 1111_2 : $1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 8 + 4 + 2 + 1 = 15_{(10)}$.

La parte fraccionaria 111_2 : $1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 1 \cdot 2^{-3} = 0,5 + 0,25 + 0,125 = 0,875_{(10)}$.

Así pues, $01111111_2 = 15,875_{(10)}$.

El número positivo más pequeño diferente de cero:

Tiene el bit de signo 0 (positivo).

La parte entera 0000_2 : $= 0_{(10)}$.

La parte fraccionaria 001_2 : $0 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} = 0,125_{(10)}$.

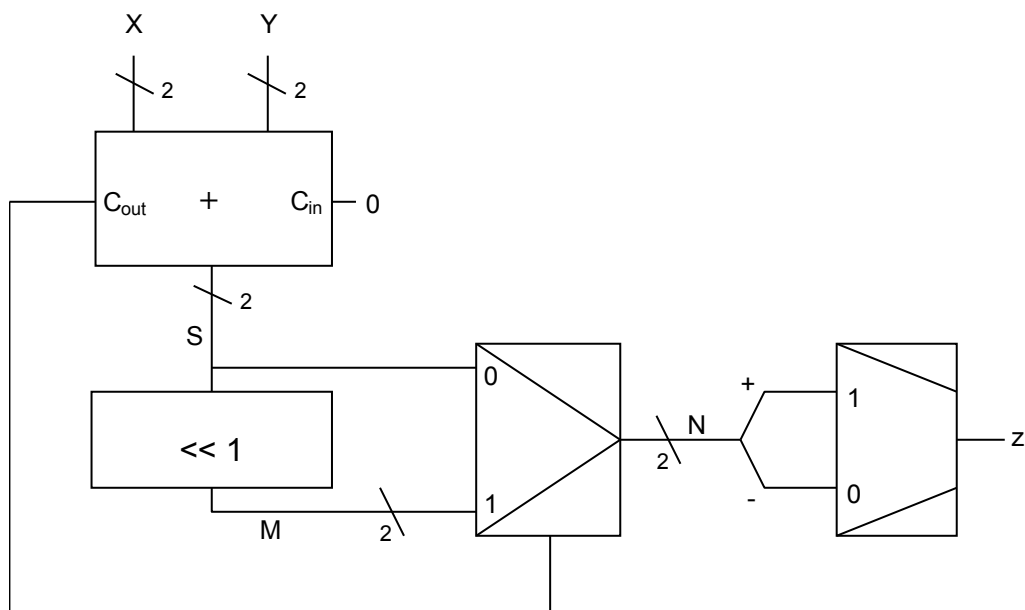
Así pues, $00000001_2 = 0,125_{(10)}$.

Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

PROBLEMA 2 [35%]

a) [10%] Dado el circuito siguiente, completad la tabla de verdad que describe su comportamiento.



x_1	x_0	y_1	y_0	s_1	s_0	m_1	m_0	n_1	n_0	z
0	0	0	0							
0	0	0	1							
0	0	1	0							
0	0	1	1							
0	1	0	0							
0	1	0	1							
0	1	1	0							
0	1	1	1							
1	0	0	0							
1	0	0	1							
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

En este circuito el valor de S (s_1, s_0) corresponde a la suma de X e Y módulo 4 (es decir, a los dos bits más bajos de esta suma), y el valor de M es $2 \cdot S$ módulo 4. El valor N será M o S dependiendo de si hay o no acarreo en la suma ($X+Y$). Finalmente, la salida Z será 1 siempre que el bit más significativo de N sea 1 y 0 en caso contrario.

Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

x_1	x_0	y_1	y_0	s_1	s_0	m_1	m_0	n_1	n_0	z
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	1	0	0	1	0
0	0	1	0	1	0	0	0	1	0	1
0	0	1	1	1	1	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1	0
0	1	0	1	1	0	0	0	1	0	1
0	1	1	0	1	1	1	0	1	1	1
0	1	1	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	0	0	0	0	0	0	0
1	0	1	1	0	1	1	0	1	0	1
1	1	0	0	1	1	1	0	1	1	1
1	1	0	1	0	0	0	0	0	0	0
1	1	1	0	0	1	1	0	1	0	1
1	1	1	1	1	0	0	0	0	0	0

- b) [20%] Diseñad a nivel de bloques un circuito con dos entradas A y B y una salida R , todas ellas números enteros representados en complemento a 2 con 8 bits. La salida R debe valer $2 \cdot A$ si A es par, $A + B$ si A es impar y positivo, y $A - B$ si A es impar y negativo. Indicad la dimensión de todos los buses.

Este circuito tiene que calcular tres operaciones: $2 \cdot A$, $A+B$ y $A-B$.

- La multiplicación por 2 se realiza mediante un desplazador a la izquierda de un bit.
- La suma se realiza con un sumador
- La resta se realiza tal como se hace la operación en Ca2, es decir, sumando $A+(-B)$. Obtenemos $-B$ complementando todos sus bits y sumando 1 al resultado.

Posteriormente se usan el bit más significativo y el menos significativo de A para seleccionar qué valor debe tener R . Mediante un multiplexor se realiza esta selección.

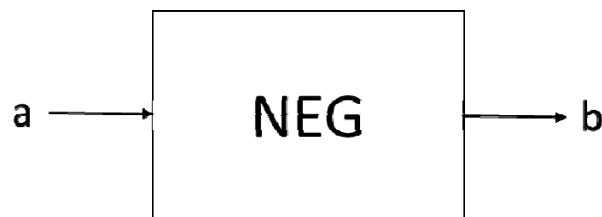
- Si el bit menos significativo vale 0 (A es par), la operación seleccionada es $2 \cdot A$
- Si el bit menos significativo vale 1 (A es impar) y el bit más significativo vale 0 (A es positivo), la operación seleccionada es $A+B$
- Si el bit menos significativo vale 1 (A es impar) y el bit más significativo vale 1 (A es negativo), la operación seleccionada es $A-B$.

Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

PROBLEMA 3 [35%]

- a) **[15%]** Dibujad el grafo de estados de un circuito secuencial NEG que calcula el cambio de signo de un número entero representado en complemento a 2. Una vez inicializado el circuito, el número va entrando al circuito a razón de 1 bit a cada ciclo de reloj, empezando por el bit de menor peso. Los bits de salida están desfasados 1 ciclo de reloj respecto al bit del mismo peso de la entrada.



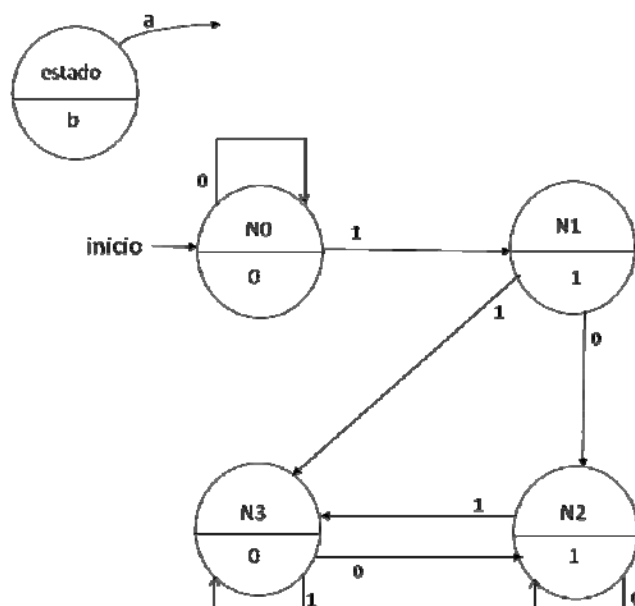
El circuito no está limitado al número de bits del número entero de entrada. Se va calculando el cambio de signo mientras no se vuelva a inicializar el circuito. Durante la inicialización, la salida vale 0.

Para encontrar el cambio de signo del número que tenemos en la entrada hay que aplicar el algoritmo que consiste en dejar los bits iguales desde el bit de menor peso hasta el primer bit a 1. A partir de entonces, todos los bits se tienen que complementar. Ejemplo con 8 bits: $0011001100_{(Ca2)} = 1100110100_{(Ca2)}$.

Para conseguir el funcionamiento deseado, el grafo se puede diseñar con los siguientes estados:

Estado	Descripción	Salida
<i>N0</i>	Estado inicial y estado donde todavía no ha llegado el primer bit a 1	0
<i>N1</i>	Ha entrado el primer bit a 1	1
<i>N2</i>	Ha entrado un 0 cuando ya había llegado el primer bit a 1	1
<i>N3</i>	Ha entrado un 1 cuando ya había llegado el primer bit a 1	0

El siguiente grafo de estados representa el comportamiento deseado:



Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

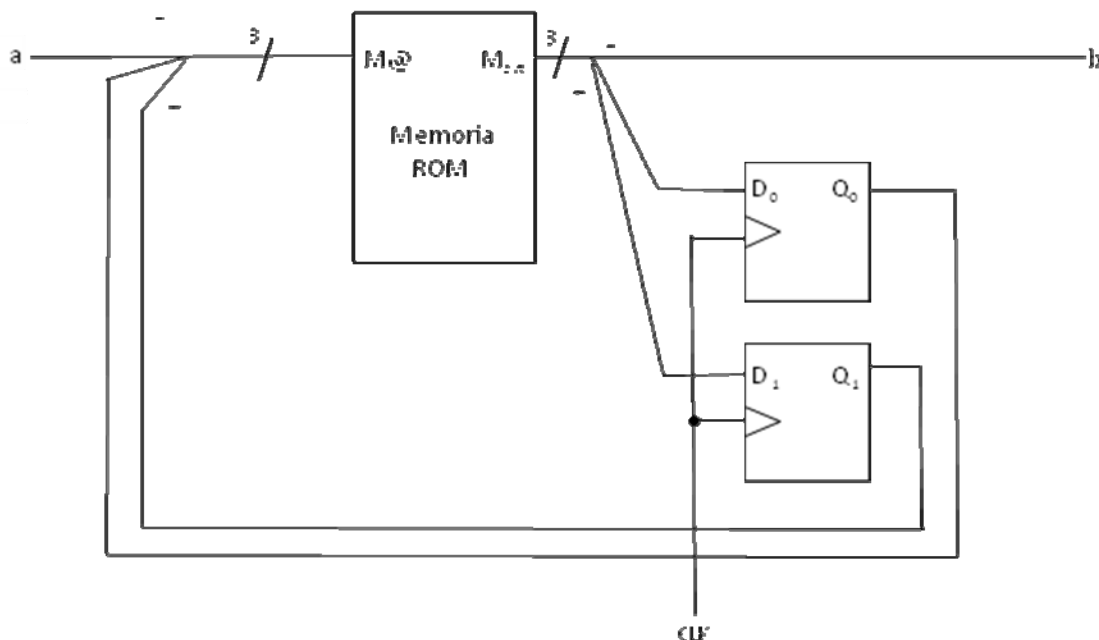
- b) **[10%]** Implementad el circuito correspondiente al grafo de estados anterior utilizando una memoria ROM. Indicad cuántos estados os han salido en el grafo de estados anterior y haced el diseño del circuito. No hace falta especificar el contenido de la memoria ROM. Sólo hace falta reflejar las interconexiones y razonar la dimensión correcta de los buses.

La implementación de un grafo de estados con un circuito con una sola memoria ROM se basa en que esta memoria almacena las tablas de transiciones y de salidas, mientras que el estado del sistema se almacena en biestables.

El número mínimo de biestables necesarios para implementar un grafo de estados es el mismo que el número de variables necesarias para codificar estos estados. Al haber **4 estados** se necesitan 2 variables, por lo tanto, son necesarios como mínimo **2 biestables**.

La memoria ROM debe tener tantos bits de dirección como la suma de los bits necesarios para codificar los estados (2) y los bits de entrada (1, entrada *a*), y cada palabra de la memoria debe tener los bits necesarios para almacenar el estado siguiente (2) más los bits de salida (1, salida *b*). **Por lo tanto, los buses de entrada (direcciones) y salida (datos) de la ROM serán los dos de 3 bits.**

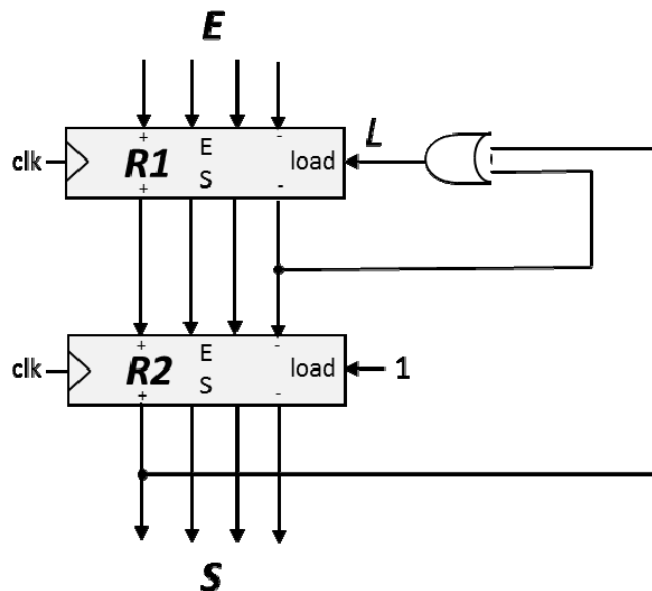
Por lo tanto, el circuito es el siguiente:



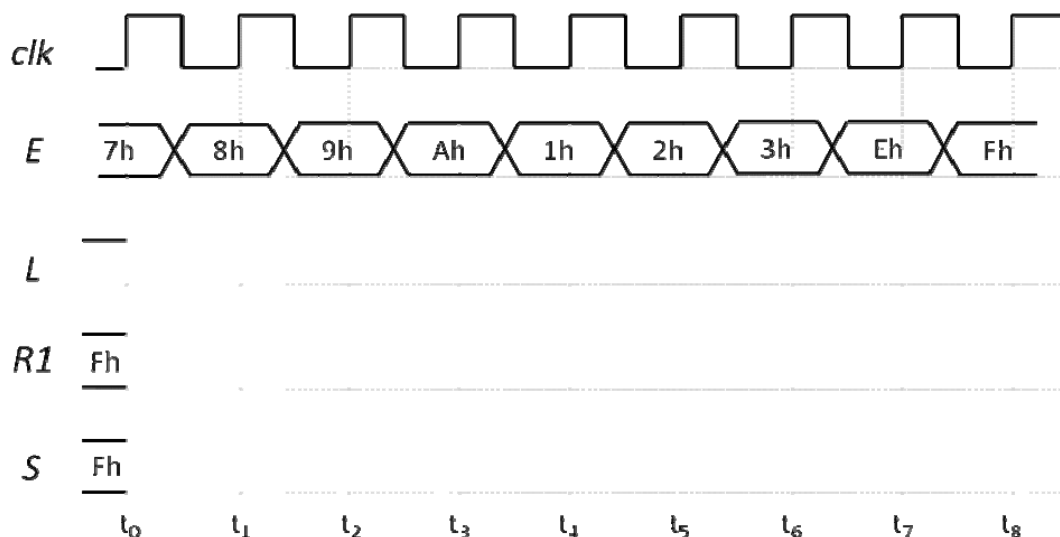
Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

c) [10%] Dado el circuito siguiente:



Completad el cronograma siguiente:



La salida S es el contenido del registro $R2$, que se carga a cada flanco ascendente con el valor del registro $R1$ en el instante inmediatamente anterior a este flanco.

El registro $R1$ se carga con la entrada E a cada flanco ascendente en el que en el instante inmediatamente anterior la señal L vale 1. Ésta vale 1 cuando vale 1 el bit de mayor peso de S ($R2$) o el bit de menos peso de $R1$. Es decir, cuando S es mayor o igual que $8h$ o $R1$ es impar. Inicialmente $R1 =$

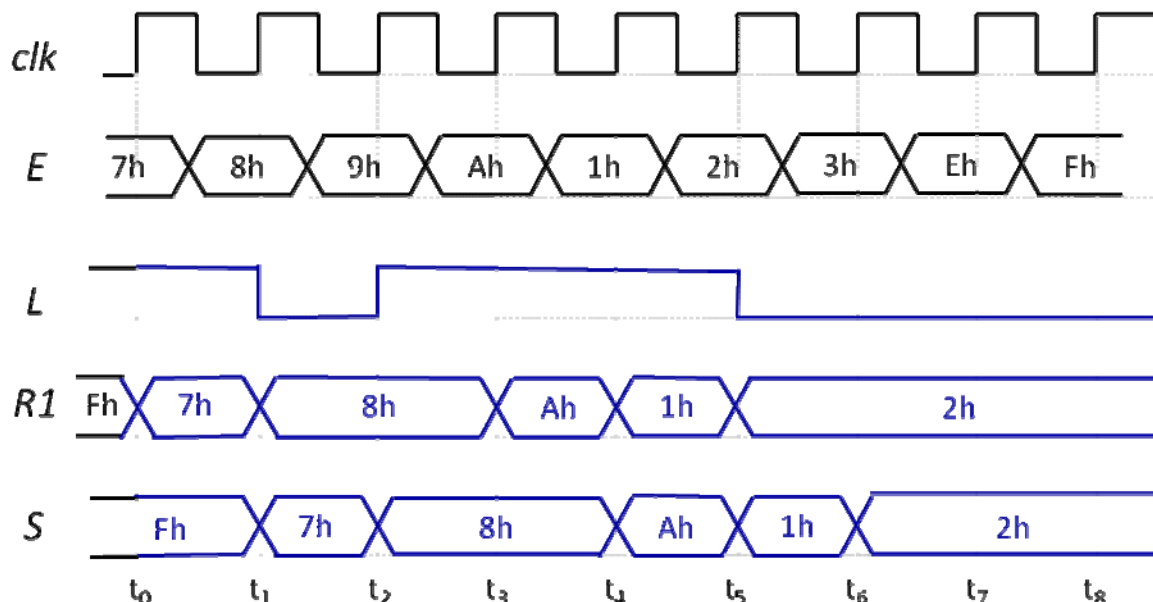
Examen 2016/17-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	21/01/2017	12:00

$R2 = S = Fh$, de forma que en el instante t_0 $L = 1$, y por lo tanto durante el ciclo siguiente $R1 = 7h$ y $R2 = Fh$. En consecuencia, en el instante t_1 de nuevo $L = 1$, y por lo tanto durante el ciclo siguiente $R1 = 8h$ y $R2 = 7h$. En consecuencia durante este mismo ciclo $L = 0$, de forma que en el instante t_2 $R1$ no se carga y sigue valiendo $8h$. En cambio en ese mismo instante t_2 $R2$ toma el valor $8h$, y ello provoca que durante el ciclo siguiente $L = 1$, de forma que en el próximo flanco (t_3) $R1$ se volverá a cargar.

Completaremos el resto del cronograma razonando del mismo modo. Obtendremos que en el instante t_6 $R1$ toma el valor $2h$ y $R2$ el valor $1h$, de forma que durante el ciclo siguiente $L = 0$, y L ya no volverá a valer 1 en ninguna otra ocasión.

A continuación se muestra el cronograma completo:



PROBLEMA 4 [10%]

- a) **[5%]** ¿Para qué se usan los módulos de acceso directo a memoria (DMA)?
Para liberar la CPU de las transferencias de información entre periféricos y memoria principal.
- b) **[5%]** ¿Qué tipo de procesador permitiría ejecutar varios programas simultáneamente?
Uno con varias unidades de procesamiento o *cores*.