

## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30

**Este enunciado también corresponde a las siguientes asignaturas:**

---

- 81.518 - Fundamentos de computadores

### Ficha técnica del examen

---

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
  - Tiempo total: **2 horas** Valor de cada pregunta: **P1:20%; P2: 35%; P3: 35%; P4:10%**
  - ¿Puede consultarse algún material durante el examen? **NO** ¿Qué materiales están permitidos?
  - ¿Puede utilizarse calculadora? **NO** ¿De qué tipo? **NINGUNO**
  - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? **NO** ¿Cuánto?
  - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas**
-

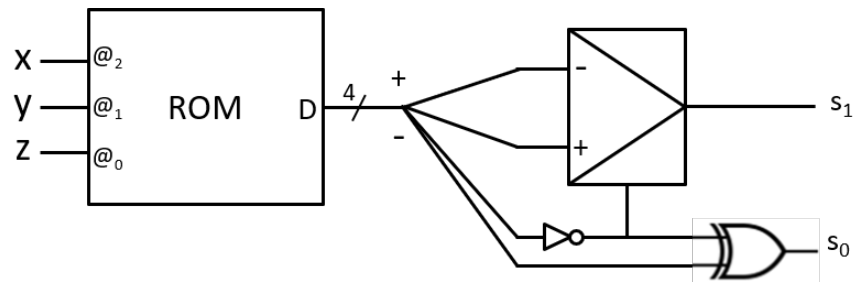


## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30

### PROBLEMA 2 [35%]

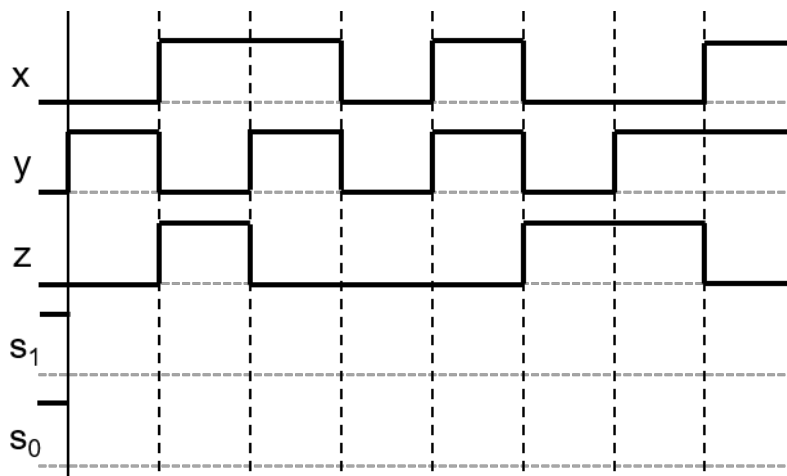
a) [15%] Dado el circuito lógico combinacional siguiente:



donde el contenido de la memoria ROM, especificado en hexadecimal, es:

@	ROM[@]
0	B
1	3
2	A
3	7
4	3
5	5
6	9
7	4

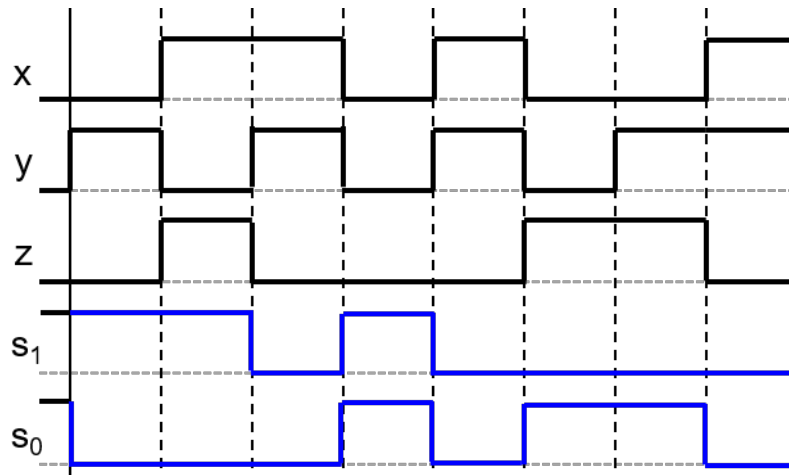
Se pide que rellenéis el cronograma siguiente:



**Nota:** No hace falta que expliquéis textualmente como obtenéis el valor de cada señal.

## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30



b) [10%] Dada la tabla de verdad siguiente:

a	b	c	d	f
0	0	0	0	1
0	0	0	1	X
0	0	1	0	1
0	0	1	1	0
0	1	0	0	X
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	X
1	1	1	0	0
1	1	1	1	X

Obtend la expresión mínima a dos niveles para la función  $f$  mediante el método de Karnaugh.

## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30

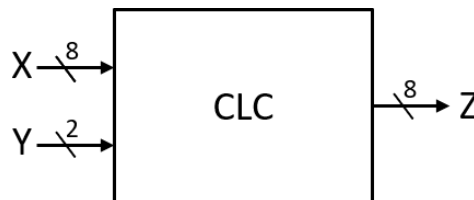
El mapa de Karnaugh de la función  $f$  es el siguiente:

ab \ cd	00	01	11	10
00	1	X	1	
01	X	1	X	
11		1	X	
10	1			1

Del que obtenemos esta expresión mínima:

$$f = b' \cdot c \cdot d' + a' \cdot c' + b \cdot c' + b \cdot d$$

c) **[10%]** Se quiere diseñar un circuito lógico combinacional, denominado CLC, con la estructura siguiente:



La entrada  $X$  representa un número entero de 8 bits, codificado **en signo y magnitud**, y la entrada  $Y$  representa un **número natural** de 2 bits. La salida  $Z$ , también de 8 bits, debe ser el resultado de multiplicar estos dos números (en el mismo formato de signo y magnitud que  $X$ ).

Se pide que diseñéis el circuito CLC usando bloques y puertas combinacionales, y especificando claramente la anchura de los buses utilizados.

Para diseñar este circuito hay que calcular todos los posibles resultados del producto  $X \cdot Y$ , que son:

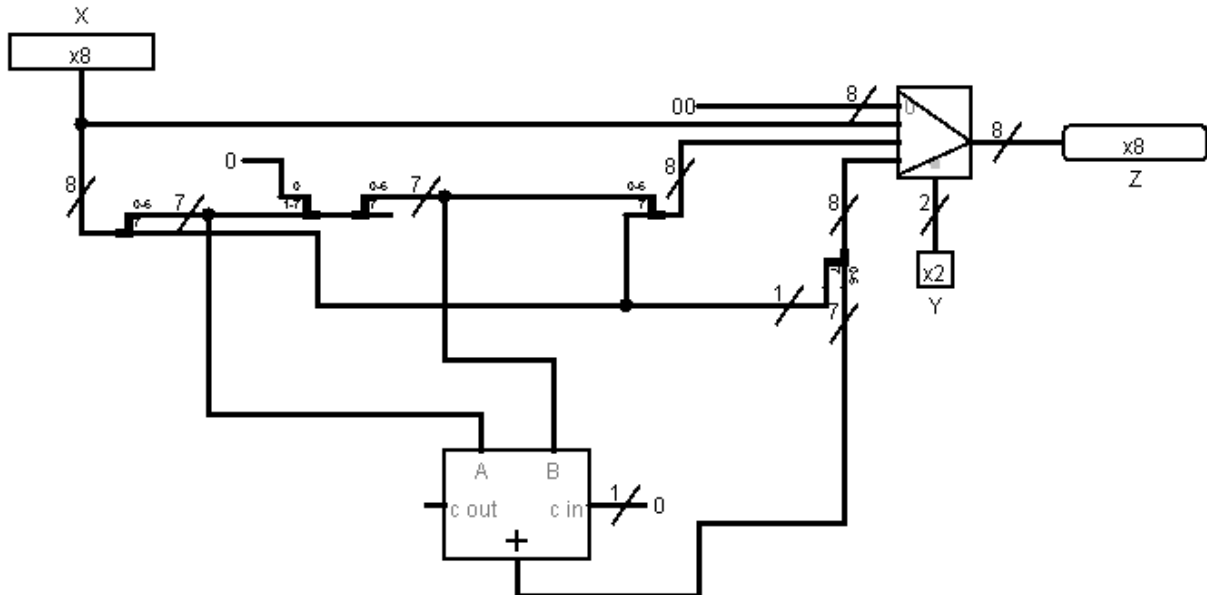
- 0 cuando  $Y=00$
- $X$  cuando  $Y=01$
- $2 \cdot X$  cuando  $Y=10$ , para lo cual sólo hay que desplazar la magnitud de  $X$  un bit a la izquierda
- $3 \cdot X$  cuando  $Y=11$ , que se obtiene sumando la magnitud de  $X$  al resultado de la operación anterior.

En los casos 3 y 4 se separa el signo de  $X$  de la magnitud antes de hacer las operaciones y se vuelve a añadir una vez hechas.

Estas funcionalidades las implementa el circuito siguiente:

## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30



### PROBLEMA 3 [35%]

- a) [15%] Diseñad el grafo de estados de un circuito secuencial, con dos entradas,  $e1$  y  $e2$  de un bit cada una, y una salida  $S$  de dos bits.



El circuito lee por cada entrada y en secuencia (los primeros bits son los de más peso) un número natural de dos bits y los compara. Una vez leídos los dos números, denominados  $E1$  y  $E2$ , la salida  $S$  tiene que tomar durante un ciclo los valores siguientes:

- 01, si  $E1 > E2$ , o bien
- 10, si  $E2 \geq E1$

En el primer ciclo cuando aún no se ha acabado de leer los dos números naturales a comparar, la salida debe valer 00. Este proceso se repite cada dos ciclos. En el estado inicial la salida vale 10.

Ejemplo de funcionamiento:

Entrada $e1$	1	1	0	0	0	1	0	1	1	0	
Entrada $e2$	1	0	1	1	1	0	0	0	1	0	
Salida $S$	10	00	01	00	10	00	10	00	01	00	10

Debéis indicar, también, la funcionalidad de cada uno de los estados que conforman el grafo diseñado.

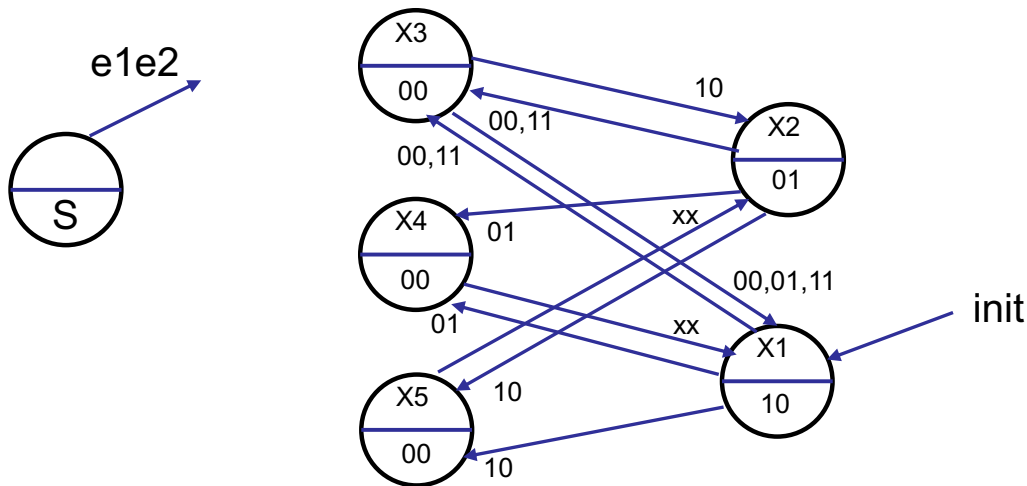
## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30

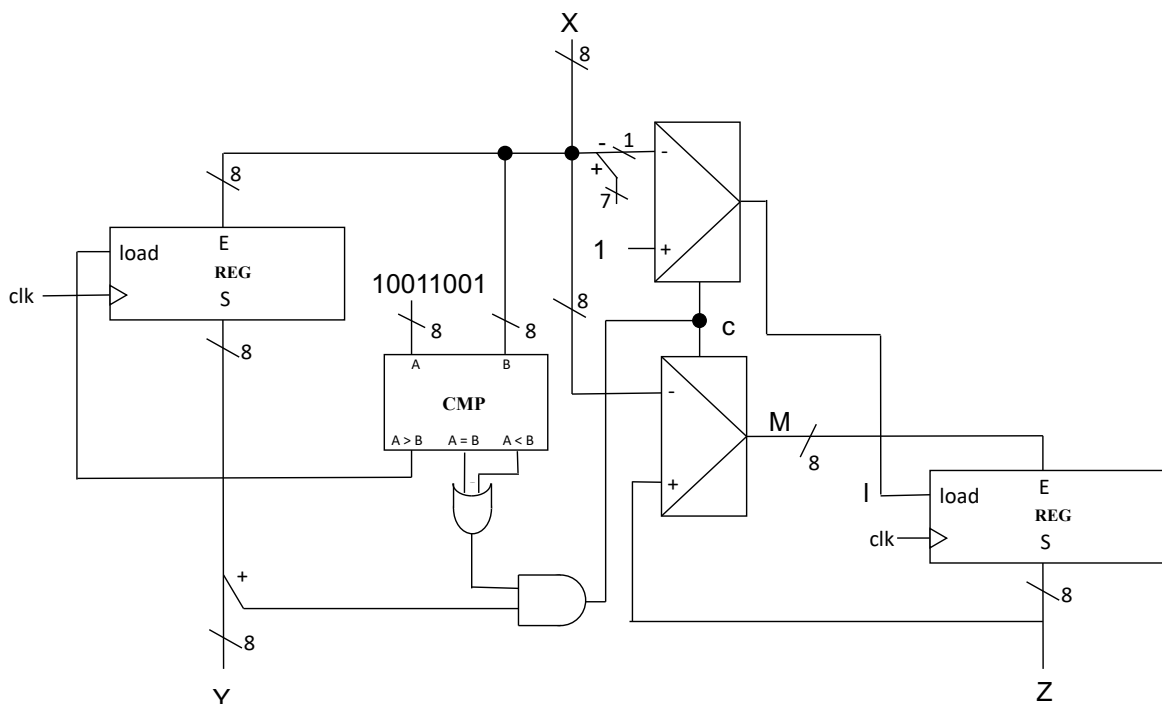
Para conseguir el funcionamiento deseado, el circuito debe tener los siguientes estados:

Estado	Descripción	Salida
X1	Estado inicial. Secuencia E2 >= E1.	10
X2	Secuencia E1 > E2	01
X3	Se ha visto la entrada 00 o 11	00
X4	Se ha visto la entrada 01	00
X5	Se ha visto la entrada 10	00

El siguiente grafo representa el comportamiento deseado:



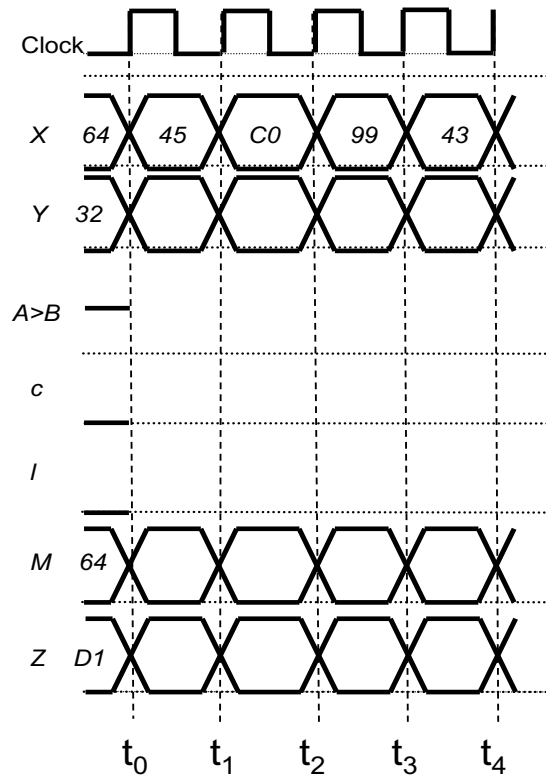
b) [20%] Dado el circuito siguiente.



## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30

Completad el cronograma que hay a continuación considerando que los valores mostrados en los buses están escritos en hexadecimal:



Señal A>B: La salida A>B del comparador se activa a 1 cuando la entrada B es menor que el valor 99h, es decir,  $X < 99h$ .

Señal Y: El nuevo valor de Y será X en cada flanco si  $X < 99h$ , es decir,  $Y^+ = X$  si  $X < 99h$ . En caso de que no se cumpla la condición el registro no se modifica.

Señal c: La señal c se activa si  $X \geq 99h$  y  $y_7 = 1$ , es decir,  $c = (X \geq 99h) \cdot y_7$

Señal I: La señal I se activa si  $c = 1$  o si  $c = 0$  y  $x_0 = 1$ , es decir,  $I = (X \geq 99h) \cdot y_7 + ((X < 99h) + y_7') \cdot x_0$

Señal M: La señal M depende de la señal c:  $M = X$  si  $c = 0$  o bien  $M = Z$  si  $c = 1$

Señal Z: El nuevo valor que tendrá Z en cada flanco se puede especificar como:

$$Z^+ = Z \text{ si } X \geq 99h \text{ y } y_7 = 1$$

$$Z^+ = X \text{ si } (X < 99h \text{ o } y_7 = 0) \text{ y } x_0 = 1$$

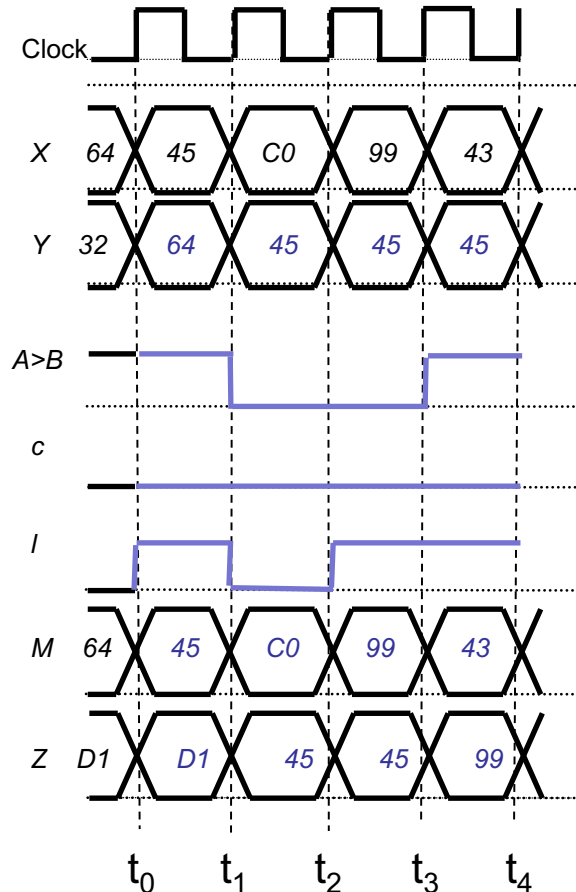
En caso de que no se cumpla ninguna condición el registro no se modifica.



## Examen 2020/21-2

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	13/6/2021	09:30

Con estas especificaciones generales el cronograma queda de la forma siguiente:



### PROBLEMA 4 [10%]

a) [5%] ¿Cuál es el primer paso en el ciclo de ejecución de instrucciones?

La lectura de la instrucción a ejecutar.

b) [5%] ¿Qué conjunto de registros tiene el camino de datos de un procesador mínimo con arquitectura de Von Neumann como el YASP?

Contador de programa (PC), registro de instrucciones (IR), registro temporal de memoria (MBR), registro de direcciones de memoria (MAR), acumulador (A) y registro auxiliar (X).