

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

C75.562\Pi19\Pi01\Pi19\Pi\E\E\€

Espacio para la etiqueta identificativa con el código personal del **estudiante**. Examen

#### Este enunciado corresponde también a las siguientes asignaturas:

81.518 - Fundamentos de computadores

#### Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura matriculada.
- Debes pegar una sola etiqueta de estudiante en el espacio correspondiente de esta hoja.
- No se puede añadir hojas adicionales, ni realizar el examen en lápiz o rotulador grueso.
- Tiempo total: 2 horas
   Valor de cada pregunta: Prob. 1: 20%; Prob. 2: 35%; Prob. 3: 35%,
   Prob. 4: 10%.
- En el caso de que los estudiantes puedan consultar algún material durante el examen, ¿cuáles son?: No se puede consultar ningún tipo de material.
- En el caso de poder usar calculadora, de que tipo? NINGUNA
- En el caso de que haya preguntas tipo test: ¿descuentan las respuestas erróneas? NO ¿Cuánto?

Indicaciones específicas

 Razonad las respuestas en cada ejercicio (excepto cuando se indique lo contrario). Las respuestas sin justificar no obtendrán puntuación.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

#### **Enunciados**

#### **PROBLEMA 1 [20%]**

Suponed la secuencia de bits siguiente: A = 01010101

a) [6%] En el caso de corresponder a un número entero representado en signo y magnitud, indicad su valor en decimal.

El bit de signo es 0, lo que nos indica que el número es positivo.

Aplicamos el TFN para obtener el valor de A en decimal:

$$1.2^6 + 1.2^4 + 1.2^2 + 1.2^0 = 64 + 16 + 4 + 1 = 85.$$

Por lo tanto,  $A = 85_{(10)}$ .

b) [6%] Realizad la operación A + A suponiendo que A representa un número en signo y magnitud. ¿Se produce desbordamiento?

Se trata de dos números positivos. Sumamos las dos magnitudes:

La suma de las magnitudes genera acarreo, lo que nos indica que se ha producido desbordamiento.

c) [8%] En el caso de corresponder a un número fraccionario sin signo representado en coma fija, con 3 bits para la parte entera y 5 bits para la parte fraccionaria, indicad su valor en decimal.

Tenemos A = 010,10101

Aplicamos el TFN para obtener su valor en decimal:

$$1 \cdot 2^{1} + 1 \cdot 2^{-1} + 1 \cdot 2^{-3} + 1 \cdot 2^{-5} = 2 + 0.5 + 0.125 + 0.03125 = 2.65625.$$

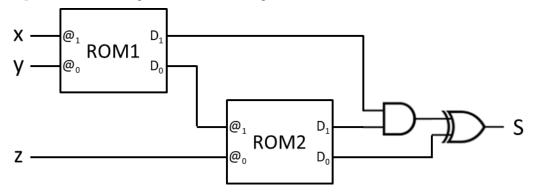
Por lo tanto,  $A = 2,65625_{(10)}$ 



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

#### **PROBLEMA 2 [35%]**

a) [10%] Dado el circuito lógico combinacional siguiente:



donde el contenido de la memoria ROM1, especificado en binario, es:

@	M[@]
0	01
1	11
2	10
3	01

y el contenido de la memoria ROM2, especificado también en binario, es:

@	M[@]
0	11
1	10
2	00
3	01

Se pide que rellenéis la tabla de verdad siguiente, que especifica la salida S en función de las entradas x, y y z. Hay que calcular previamente los valores intermedios indicados en la tabla.

			RO	M1	RO	M2		
x	у	z	D <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>0</sub>	AND	S
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

Nota: No hace falta que expliquéis textualmente como obtenéis los valores de cada señal.

			RO	M1	RO	M2		
x	у	Z	D <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>0</sub>	AND	S
0	0	0	0	1	0	0	0	0
0	0	1	0	1	0	1	0	1
0	1	0	1	1	0	0	0	0
0	1	1	1	1	0	1	0	1
1	0	0	1	0	1	1	1	0
1	0	1	1	0	1	0	1	1
1	1	0	0	1	0	0	0	0
1	1	1	0	1	0	1	0	1

b) [10%] Dada la tabla de verdad siguiente:

а	b	С	d	f
0	0	0	0	1
0	0	0	1	0
0	0	1	0	х
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	х
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	х
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Sintetizad de manera mínima a dos niveles la función *f* mediante el método de Karnaugh.

El mapa de Karnaugh para la función f es el siguiente:



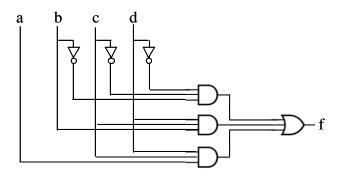
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

ab cd	00	01	11	10
00	1	0	x	×
01	0	0	0	О
11	0	1	1	1
10	x	0	0	0

Y obtenemos esta expresión mínima:

$$f = bcd + b'c'd + acd$$

El circuito que la implementa con puertas lógicas es el siguiente:



c) [15%] Se quiere diseñar un circuito lógico combinacional, denominado X4Y, con la estructura siguiente:



Tanto las entradas X e Y como la salida Z representan números enteros codificados en complemento a 2. X e Y pertenecen al intervalo [-30, 30]. La salida Z corresponde al cálculo de la expresión siguiente:

$$Z = |X| - 4 \cdot Y$$

donde el operador |X| indica el valor absoluto del número X.

Se pide que diseñéis el circuito *X4Y* usando **un máximo de dos bloques sumadores** y los bloques y puertas combinacionales que creáis necesarios y usando sólo bloques y buses de 8 bits. ¿Se producirá desbordamiento en algún caso?

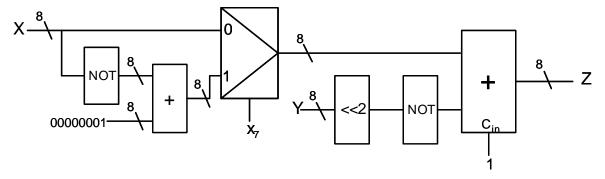


Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

Para obtener |X| escogemos, mediante un multiplexor gobernado por el bit de más peso de X, entre X y – X. Dado que X está representado en Ca2, para obtener –X le cambiamos el signo invirtiendo todos sus bits y sumando 1 al resultado.

4. Y se obtiene desplazando los bits de Y dos posiciones hacia la izquierda.

Finalmente, la resta la convertimos en una suma cambiando el signo del sustraendo.



El rango representable en Ca2 y con 8 bits es [-128, 127]. El valor de |X| caerá dentro del intervalo [0, 30], y por lo tanto siempre será representable. El valor de  $4\cdot Y$  puede estar entre -120 y 120, y por lo tanto también será siempre representable. La resta |X| -  $4\cdot Y$  puede valer entre -248 y 247, y por lo tanto en la resta sí se puede producir desbordamiento.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

#### **PROBLEMA 3 [35%]**

a) [15%] Considerad un circuito secuencial que tiene una señal de entrada de 1 bit (x) y una señal de salida (y) de 1 bit también.



A este circuito llegan paquetes de 3 bits por la señal x, a razón de un bit a cada ciclo de reloj. Denominamos a estos bits a, b y c, siendo a el primero en llegar y c el último. El circuito tiene que calcular en la salida la función lógica siguiente:

$$y = f(a,b,c) = a + b + b'c$$

La salida *y* tiene que valer el resultado de la expresión lógica en todo momento, en función de los valores que hayan llegado hasta el momento. Inicialmente tiene que valer 0.

Ejemplo de funcionamiento:

Entrada x	0	1	1	0	0	0	0	0	1	Х
Salida v	0	0	1	1	0	0	0	0	0	1

Dibujad el grafo de estados siguiendo el modelo de Moore que realice esta especificación. Hay que especificar textualmente cuál es el significado de cada uno de los estados que forman este grafo.

Simplificando la función f, tenemos que f(a,b,c) = a + b + c

Los estados son los siguientes

E0: Estado inicial o han llegado a = 0 y b = 0 y c = 0. En este caso la salida final es 0.

E1: ha llegado a = 0.

E2: ha llegado a = 1. La salida ya vale 1 a partir de este momento.

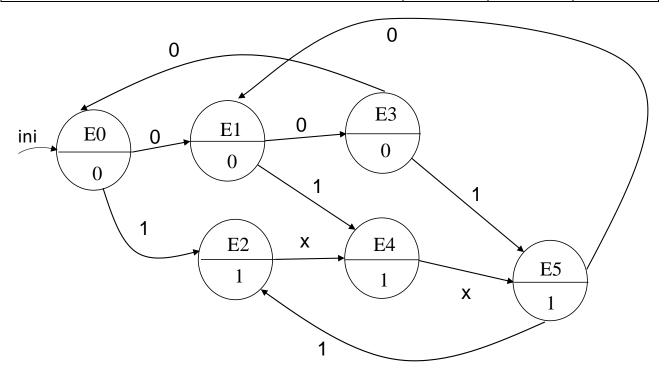
E3: han llegado a = 0 y b = 0.

E4: han llegado a = 1 o b = 1. La salida ya vale 1 a partir de este momento.

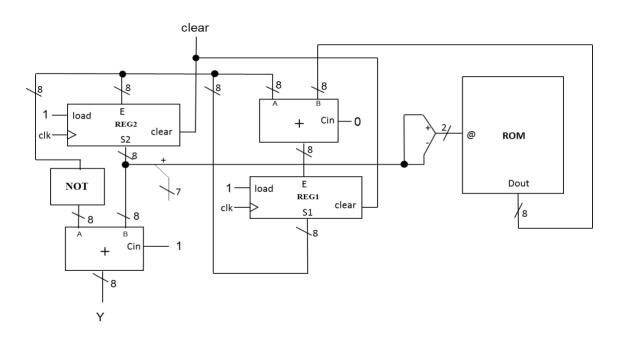
E5: han llegado los tres bits y alguno de ellos vale 1. En este caso la salida final es 1.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00



[20%] Considerad el siguiente circuito secuencial.



donde el contenido de las 4 posiciones de la memoria ROM (en hexadecimal) es el siguiente:

M[0] = 95h

M[1] = DBh

M[2] = 59hM[3] = BCh



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

i) [12,5%] Si en un momento dado los valores que hay en las señales *clear*, S1 y S2 son

$$clear = 0$$
  
 $S1 = EEh$   
 $S2 = 50h$ 

Indicad de forma numérica (en hexadecimal) cuál será el nuevo valor de la señal S2, S1 e Y en el momento en que se produzca el próximo flanco ascendente de la señal de reloj. Explicad razonadamente todo lo que habéis hecho para calcularlo.

El registro REG2 tiene un 1 en la entrada *load*, y por lo tanto se carga a cada flanco con lo que le llega por la entrada *E*, que es *S1*. Por lo tanto,

$$S2^{+}=S1=EEh$$

Lo que llega a la entrada E de REG1, y se carga en el registro a cada flanco, es la suma de REG1 más la salida de la ROM. A la entrada de direcciones de la ROM llega el bit de más peso de S2, duplicado. El bit más significativo de S2 es 0 ( $5h = 0101_{(2)}$ ). Por lo tanto,

$$S1^+ = S1 + M[0] = EEh + 95h = 83h$$

La señal Y es la suma de S1 negado más S2 más 1 (si S1 y S2 representasen números enteros codificados en complemento a 2, podríamos decir que Y = S2-S1)). Por lo tanto,

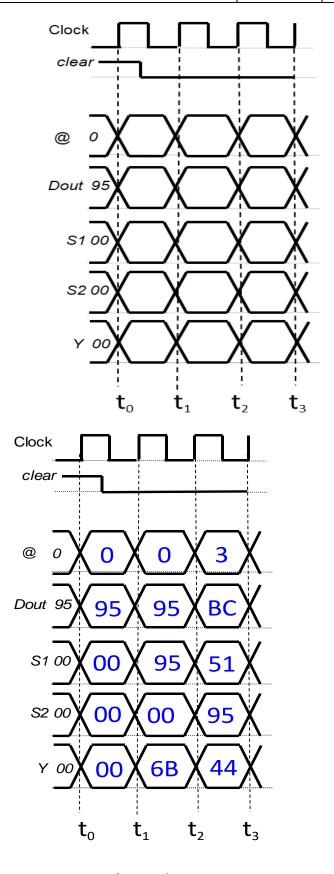
```
Y = S1' + 1 + S2-

Y = 11h + 1 + 50h = 62h
```

ii) [7,5%] Completad el siguiente cronograma. No hace falta que expliquéis cómo obtenéis los resultados.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00



Página 10 de 11



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/01/2019	12:00

#### **PROBLEMA 4 [10%]**

- a) **[5%]** La memoria de un computador contiene ... ...los datos y las instrucciones de los programas.
- b) **[5%]** ¿Qué tipo de procesador permitiría ejecutar varios programas simultáneamente? Uno con varias unidades de procesamiento o cores.