

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

Espacio para la etiqueta identificativa con el código personal del **estudiante**. Examen

### Este enunciado corresponde también a las siguientes asignaturas:

• 81.518 - Fundamentos de computadores

### Ficha técnica del examen

- Comprueba que el código y el nombre de la asignatura corresponden a la asignatura matriculada.
- Debes pegar una sola etiqueta de estudiante en el espacio correspondiente de esta hoja.
- No se puede añadir hojas adicionales, ni realizar el examen en lápiz o rotulador grueso.
  - Tiempo total: 2 horas Valor de cada pregunta: Prob. 1: 20%; Prob. 2: 35%; Prob. 3: 35%, y Prob. 4: 10%.
- En el caso de que los estudiantes puedan consultar algún material durante el examen, ¿cuáles son?: No se puede consultar ningún tipo de material.
- En el caso de poder usar calculadora, de que tipo? NINGUNA
- En el caso de que haya preguntas tipo test: ¿descuentan las respuestas erróneas? NO ¿Cuánto?

Indicaciones específicas

Razonad las respuestas en cada ejercicio. Las respuestas sin justificación no recibirán puntuación.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

### **Enunciados**

### **PROBLEMA 1 [20%]**

a) [4%] Dado el valor A = 10001010, que representa un número entero binario codificado en el formato de signo y magnitud de 8 bits, ¿qué número decimal representa?

Recordemos que, en los números en formado signo y magnitud, el bit de más peso corresponde al signo y el resto de bits corresponden a la magnitud. En el caso de *A*, el número 10001010 representa un número negativo. Para encontrar la representación del número en decimal aplicamos el TFN.

$$A = 10001010_{(2)} = -(1.2^3 + 1.2^1) = -(8 + 2) = -10_{(10)}$$

b) [8%] Dados los valores  $A = 11010001_{(2)}$  y  $B = 10001100_{(2)}$ . Si A y B representan dos números enteros que están expresados en Complemento a 2 con 8 bits, calculad A + B. ¿Se produce desbordamiento?

Vemos que el resultado **no es representable** dado que el número que obtenemos de la suma de dos números negativos es un número positivo (el transporte que se produce en el bit de más peso se ignora). Se produce, por lo tanto, un **error de desbordamiento.** 

c) [8%] Dado el formato de coma flotante siguiente:

S		Exponente		Mantisa		
11	10		7	6		0

#### Donde:

- El bit de signo, S, vale 0 para cantidades positivas y 1 para negativas.
- El exponente se representa en exceso a 8.
- Hay bit implícito.
- La mantisa está normalizada en la forma 1,X.

Representad el número –13,3125<sub>(10</sub> en este formato.

Pasamos la parte entera a binario, aplicando el método de la división entera:

$$\begin{array}{rclrcrcr}
13 & = & & 6.2 & + & & 1 \\
6 & = & & 3.2 & + & & 0 \\
3 & = & & 1.2 & + & & 1 \\
1 & = & & 0.1 & + & & 1
\end{array}$$

$$13_{(10)} = 1101_{(2)}$$



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

Para la parte fraccionaria aplicamos el método correspondiente:

$$0.3125 \cdot 2 = 0.625$$
  
 $0.625 \cdot 2 = 1.25$   
 $0.25 \cdot 2 = 0.5$   
 $0.5 \cdot 2 = 1.0$ 

Juntamos la parte entera y la fraccionaria: 1101,0101<sub>(2)</sub>

Como la mantisa es de 7 bits, el número total de bits debe ser 8 (7 de la mantisa más el bit implícito). Justamente los bits que tiene el número que hay que representar (1101,0101<sub>(2)</sub>).

Para normalizar la mantisa hay que mover la coma 3 posiciones hacia la izquierda:

$$1101,0101_{(2} = 1,1010101_{(2} \cdot 2^3)$$

Identificamos cada campo:

- **Signo**: Negativo, S=1.
- **Exponente**: 3. Hay que representarlo en exceso. Por tanto, hemos de sumarle el exceso, 3+8 = 11, que en base 2 es: 1011<sub>(2</sub>.
- Mantisa: 1,1010101<sub>(2</sub>. Como lo tenemos que representar con bit implícito eliminamos el 1 de la parte entera. Así pues, la mantisa será 1010101.

El número en el formato solicitado es:

S	Exponente	Mantisa
1	1011	1010101



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

### **PROBLEMA 2 [35%]**

a) [25%] Un sistema combinacional SLC tiene las entradas y salidas siguientes:



donde *A* y *B* son números enteros de 4 bits codificados en complemento a 2. La salida *X* también es un entero en complemento a 2, el valor del cual viene determinado por la tabla siguiente:

<b>C</b> <sub>1</sub>	C <sub>0</sub>	X
0	0	−2 · (A–B)
0	1	A · A / 8
1	0	A · 7
1	1	max(A+3, B+3)

i. [5%] ¿Cuántos bits debe tener como mínimo la salida X para que no se pueda producir nunca desbordamiento?

A y  $B \in [-8, +7]$ . Como con 4 bits el rango de representación en Ca2 es  $[-2^{n-1}, 2^{n-1}-1]$ , tenemos que:

- $-2 \cdot (A B) \in [-30, +30]$ , porque  $(A B) \in [-15, +15]$  y  $15 \cdot 2 = 30$ . Para representar este rango en Ca2 necesitamos 6 bits ([-32, +31]).
- $A \cdot A / 8 \in [0, +8]$  porque  $A \cdot A \in [0, +64]$  y 64 / 8 = 8. En cualquier caso, necesitamos 5 bits para representar este número en Ca2.
- $A \cdot 7 \in [-56, +49]$ , lo cual implica que necesitamos 7 bits ([-64, +63]) para representar este rango en Ca2.
- max(*A*+3, *B*+3) ∈ [-5, +10] porque *A*+3 y *B*+3 ∈ [-5, +10]. Lo cual implica que necesitamos 5 bits para representar este rango en Ca2.

Así pues, la salida X debe ser como mínimo de 7 bits.

ii. **[10%]** Implementad el cálculo  $A \cdot A / 8$  con una memoria ROM y las puertas lógicas que consideréis necesarias. Debéis indicar en hexadecimal el contenido de todas las posiciones de la memoria ROM.

Para hacer este circuito con una memoria ROM necesitaremos almacenar 16 valores (el resultado de todas las divisiones de un número de 4 bits al cuadrado entre 8).

La entrada de direcciones de la memoria serán los valores de A (4 bits) y el contenido de cada posición (5 bits) será el resultado de la multiplicación  $A \cdot A/8$ .

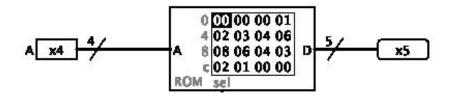


Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

La tabla siguiente muestra las 16 operaciones:

<b>a</b> <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	A-A/8	Hex
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	1	1
0	1	0	0	2	2
0	1	0	1	3	3
0	1	1	0	4	4
0	1	1	1	6	6
1	0	0	0	8	8
1	0	0	1	6	6
1	0	1	0	4	4
1	0	1	1	3	3
1	1	0	0	2	2
1	1	0	1	1	1
1	1	1	0	0	0
1	1	1	1	0	0

Y el circuito resultante es el siguiente:



iii. **[10%]** Implementad el cálculo  $-2 \cdot (A-B)$  con bloques combinacionales (excepto memoria ROM) y las puertas lógicas que consideréis necesarias.

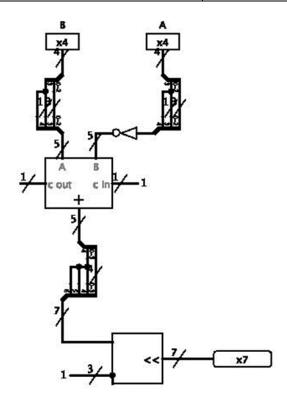
Este ejercicio puede tener múltiples respuestas correctas, nosotros os proponemos una.

La expresión  $-2 \cdot (A-B)$  es igual a  $2 \cdot (B-A)$  y, para implementar el circuito, sumamos B con el Ca2 de A (haciendo la extensión a 5 bits de los dos números para evitar desbordamiento).

Extendemos el signo del resultado a 7 bits (de nuevo para evitar desbordamiento) y, finalmente, multiplicamos por 2 con un desplazador aritmético, haciendo un desplazamiento de 1 bit a la izquierda.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00



b) [10%] Minimizad la función siguiente por Karnaugh y haced la síntesis del circuito a dos niveles:

а	b	С	d	h
0	0	0	0	0
	0	0	1	
0 0 0	0	1	0	Χ
0	0	1	1	Χ
0	1	0	0	Χ
0	1	0	1	1
0	1	1	0	0
0	1	1	1	Χ
1 1	0	0	0	Χ
1	0	0	1	1
1	0	1	0	Χ
1	0	1	1	Χ
1	1	0	0	0
1	1	0	1	1 X X X 1 0 X X X 1 X X 0 0 0 0 0 0 0 0
1	1	1	0	0
1	1	1	1	0



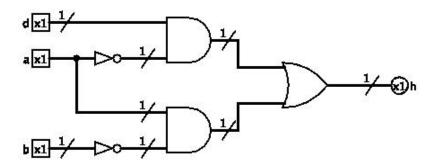
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

### El mapa de Karnaugh correspondiente es el siguiente:

ab cd	00	01	11	10
00	0	X	0	Х
01	1	1	0	1
11	Х	Х	0	Х
10	X	0	0	Х

Del cual se obtiene la expresión mínima: a·b' + a'·d

### El circuito correspondiente es:

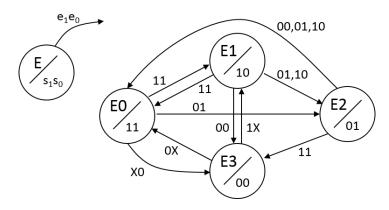




Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

### **PROBLEMA 3 [35%]**

a) [15%] Dado el grafo de estados siguiente:



i. [5%] ¿Cuántos bits de entrada debería tener un circuito que implementara este grafo? ¿Cuántos bits de salida? ¿Cuál será el número mínimo de biestables para implementarlo? Si lo implementamos usando una memoria ROM, ¿cuál será la medida (bus de direcciones, anchura de las palabras) de esta memoria?

El circuito tiene dos bits de entrada, denominados  $e_1$   $e_0$ . Los bits de salida son dos también, denominados  $s_1$   $s_0$ . Como el circuito tiene 4 estados necesitamos 2 bits para representarlos y, por lo tanto, necesitamos 2 biestables para poder almacenar estos 2 bits.

La memoria ROM que puede implementar este circuito tendría 4 bits de direccionamiento, 2 bits para el estado más dos bits para las entradas. Cada entrada de la ROM debería tener 4 bits también, 2 bits para guardar la salida y 2 bits para codificar el estado futuro.

ii. **[10%]** Asumiendo que la codificación de cada estado corresponde al número del estado, como es habitual en estos ejercicios (por ejemplo, el estado E0 se codifica con el valor 00). Indicad, en la tabla adjunta, el contenido en binario de las 6 primeras posiciones de la memoria ROM:

Dirección	Contenido
0x00	
0x01	
0x02	
0x03	
0x04	
0x05	



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

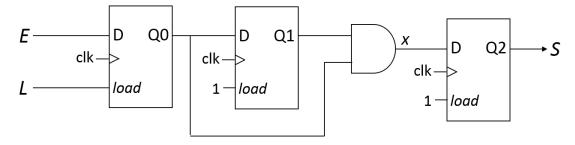
El direccionamiento de la memoria ROM viene definido por las señales *q*1 *q*0 e1 e0 especificadas en orden de mayor a menor peso. Los dos primeros bits representan el estado y los otros dos son las entradas.

Cada posición de la memoria almacena los bits q1+q0+s1 s0, especificados en orden de mayor a menor peso. Los dos primeros bits especifican el estado futuro y los otros dos son las salidas.

El contenido de las 6 primeras posiciones de la memoria ROM será:

Dirección	Contenido
0x00	11 11
0x01	10 11
0x02	11 11
0x03	01 11
0x04	11 10
0x05	10 10

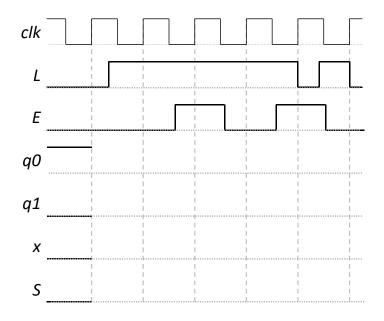
### b) [20%] Dado el circuito siguiente:





Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

Completad el cronograma siguiente:



Nota: No hace falta que expliquéis las transiciones en el cronograma. Sólo hay que rellenarlo.

Empezamos analizando la señal Q0. El biestable asociado a esta señal se carga con la entrada E si la señal de carga L=1. Esta señal no depende de ninguna otra señal y, por lo tanto, podemos hacer el cronograma de Q0 para todos los ciclos. Los instantes en que el biestable se carga son:  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ , y  $t_5$ .

El biestable asociado a la señal Q1 se carga a cada ciclo de reloj con la señal Q0. Como ya hemos calculado la señal Q0 para todo el cronograma, ahora podemos completar la señal Q1 para todo el cronograma también.

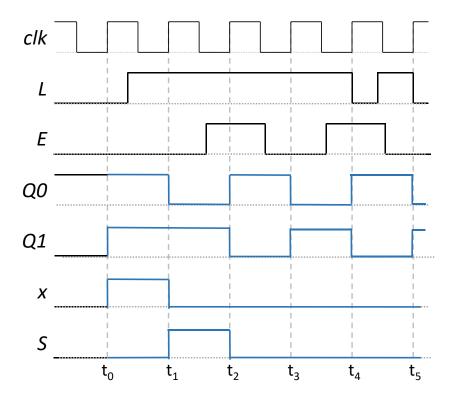
Para establecer los valores de Q2 necesitamos calcular antes la señal X. Esta señal X es la salida de una puerta AND entre los bits Q1 y Q0. Podemos, pues, completar el valor de la señal X para todo el cronograma.

Por último, pasamos a razonar el valor de Q2. El biestable asociado se carga siempre con el valor de la señal X. Por lo tanto, la salida S, que se corresponde con el valor de Q2, pasará a ser la señal X desplazada un ciclo de reloj.



Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	19/06/2019	12:00

El cronograma completo es el siguiente.



**PROBLEMA 4 [10%]** 

- a) [5%] ¿En qué consiste el cálculo de la instrucción siguiente?
   En determinar la dirección de memoria de la instrucción siguiente.
- b) [5%] ¿Qué formas básicas hay para acceder a los operandos en memoria?
   Inmediata, directa, indexada e indirecta