

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

Este enunciado también corresponde a las siguientes asignaturas:

- 81.518 - Fundamentos de computadores

Ficha técnica del examen

- No es necesario que escribas tu nombre. Una vez resuelta la prueba final, solo se aceptan documentos en formato .doc, .docx (Word) y .pdf.
 - Comprueba que el código y el nombre de la asignatura corresponden a la asignatura de la que te has matriculado.
 - Tiempo total: **2 horas** Valor de cada pregunta: **P1:20%; P2:35%; P3:35%; P4:10%**
 - ¿Se puede consultar material durante la prueba? **No** ¿Qué materiales están permitidos? **Ninguno**
 - ¿Puede utilizarse calculadora? **No** ¿De qué tipo?
 - Si hay preguntas tipo test, ¿descuentan las respuestas erróneas? ¿Cuánto?
 - Indicaciones específicas para la realización de este examen: **Razonad todas las respuestas. Las respuestas sin justificar no serán puntuadas.**
-

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

Enunciados

PROBLEMA 1 [20%]

Responded los apartados siguientes:

- a) **[5 %]** Dado el número $B = 10110101$, que representa un número binario entero codificado en signo y magnitud con 8 bits, indicad su valor en complemento a 2.

La codificación de un número decimal B a $Ca2$ es el resultado en binario de la operación $2^n - |B|$, donde $|B|$ es el valor absoluto de B , teniendo en cuenta que es un número positivo en el formato de signo y magnitud. En este caso, nos piden utilizar un formato de 8 bits (n) para representar el resultado.

$$\begin{array}{r}
 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0 \quad \leftarrow 2^8 \\
 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1 \quad \leftarrow \text{acarreo} \\
 -\ 0\ 0\ 1\ 1\ 0\ 1\ 0\ 1 \quad \leftarrow B_2 \\
 \hline
 0\ 1\ 1\ 0\ 0\ 1\ 0\ 1\ 1 \quad \leftarrow \text{resultado}
 \end{array}$$

Así pues, la codificación en $Ca2$ y 8 bits del valor B_{SM2} es **11001011**_(Ca2)

- b) **[7.5 %]** Dados los valores $C=10001010$ y $D=01001010$, que representan dos números binarios enteros expresados en formato de signo y magnitud, calculad $C+D$ utilizando el mismo formato. ¿Se produce desbordamiento? Justificad la respuesta.

Para sumar dos números binarios en formato SM2 con signos diferentes hay que restar la magnitud menor de la mayor y aplicar el signo de la mayor al resultado.

$$\begin{array}{r}
 1\ 0\ 0\ 1\ 0\ 1\ 0 \quad \leftarrow D \\
 -\ 0\ 0\ 0\ 1\ 0\ 1\ 0 \quad \leftarrow C \\
 \hline
 1\ 0\ 0\ 0\ 0\ 0\ 0
 \end{array}$$

Por lo tanto, el resultado será : **01000000**_(SM2)

No se produce desbordamiento, ya que estamos sumando números de signo diferente.

- c) **[7.5 %]** Dado el número fraccionario binario 110110110001 que codifica un valor en coma flotante según el formato de representación siguiente:

S	Exponente	Mantisa
11	10	7 6 0

Donde:

- el bit de signo S vale 0 para los números positivos, y 1 para los negativos
- método de aproximación por truncamiento
- el exponente se codifica en exceso a 8, y
- la mantisa está normalizada de la forma $1,M$ y con bit implícito.

¿A qué número decimal corresponde?

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

Los números en coma flotante toman la forma $\pm R \cdot b^e$ donde se indica el signo, R es un número fraccionario que recibe el nombre de mantisa, b es la base de la numeración y e es un número entero que recibe el nombre de exponente.

La identificación del formato de la numeración nos indica que el primer bit de la cadena de bits indica el signo. En este caso, el primer bit es un 1 y, por tanto, el número es **negativo**.

Respecto la mantisa, vemos que ocupa las 7 posiciones menos significativas de la cadena de bits. Por lo tanto, se corresponde con la cadena: 0110001. Ahora bien, el formato indica que hay bit implícito y está normalizada de la forma $1, M$. Esto implica que solo muestra la parte variable de las mantisas normalizadas y se asume la parte fija como conocida y definida en el formato de representación. En este ejercicio el número representado por la mantisa es **1,0110001₂**.

Respecto al exponente, el formato nos indica que está representado por 4 bits y además se nos indica que se ha codificado con exceso a 8. Esto implica que el valor del exponente se conseguirá a partir del resto entre el número codificado con exceso y este exceso. En este ejercicio el exponente es $1011_2 = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 11_{10}$ sabiendo que hay una codificación con exceso de 8, el exponente será igual a $11_{10} - 8 = 3_{10}$.

Ahora se puede unir el signo, el exponente y la mantisa para obtener el número representado

$$- 1,0110001_{(2)} \cdot 2^3$$

Haremos un cambio de base para obtener el valor decimal

$$\begin{aligned}
 - 1,0110001_{(2)} \cdot 2^3 &= - (1 \cdot 2^0 + 0 \cdot 2^{-1} + 1 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4} + 0 \cdot 2^{-5} + 0 \cdot 2^{-6} + 1 \cdot 2^{-7}) \cdot 2^3 \\
 &= \mathbf{-11,0625_{(10)}}
 \end{aligned}$$

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

PROBLEMA 2 [35%]

a) [10%] Minimiza la siguiente función por Karnaugh y haz la síntesis del circuito a dos niveles:

a	b	c	d	f
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	X
0	1	0	0	X
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	X
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	X

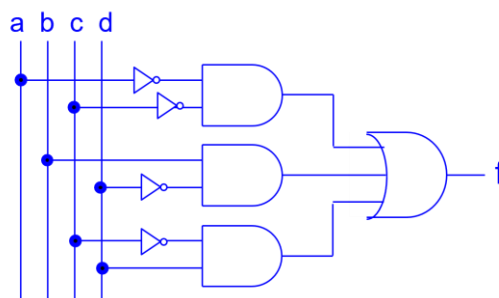
El mapa de Karnaugh para la función f es el siguiente:

ab \ cd	00	01	11	10
00	1	X	1	0
01	1	1	1	X
11	X	0	X	0
10	0	1	1	0

Y obtenemos esta expresión mínima:

$$f = a'c' + bd' + c'd$$

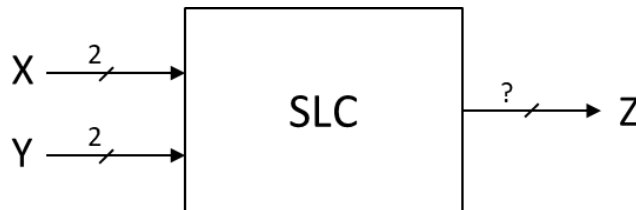
El circuito que la implementa a dos niveles con puertas lógicas es el siguiente:



Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

b) **[25%]** Un sistema combinacional SLC responde al siguiente bloque:



donde X e Y son números naturales de 2 bits. La salida Z también es un número natural.

La salida Z viene determinada por la siguiente expresión numérica:

$$Z = 2 \cdot X \cdot Y + 2 \cdot Y + 1$$

b.1) **[5%]** Indicad la dimensión de la señal de salida Z para poder representar correctamente la salida con el mínimo número de bits.

Para calcular la dimensión de la señal de salida tenemos que calcular cual puede ser el resultado máximo que se puede producir en este circuito. El resultado máximo se dará cuando $X = Y = 3$. En este caso:

$$Z = 2 \cdot 3 \cdot 3 + 2 \cdot 3 + 1 = 18 + 6 + 1 = 25$$

Para poder representar correctamente el número 25 necesitamos un mínimo de $\log_2(25)$ bits, es decir, **necesitaremos 5 bits**.

b.2) **[20%]** Realizad el circuito SLC utilizando los bloques y las puertas lógicas explicados en el temario, con la restricción de que no se pueden usar memorias ROM.

Tened en cuenta cómo hacemos las multiplicaciones manualmente las personas. Es decir, para multiplicar dos números naturales de 2 bits $(a_1a_0) \cdot (b_1b_0)$ se hace:

$$\begin{array}{r}
 \begin{array}{cc} & X \\ \hline & a_1 & a_0 \\ & b_1 & b_0 \end{array} \\
 \begin{array}{r} a_1 \cdot b_0 \\ a_0 \cdot b_0 \\ + \quad a_1 \cdot b_1 \\ \hline p_3 \quad p_2 \quad p_1 \quad p_0 \end{array}
 \end{array}$$

Se valorará que todos los buses internos del circuito, así como la salida, tengan definidos el número de bits correctos para que no se produzca nunca desbordamiento en los cálculos realizados.

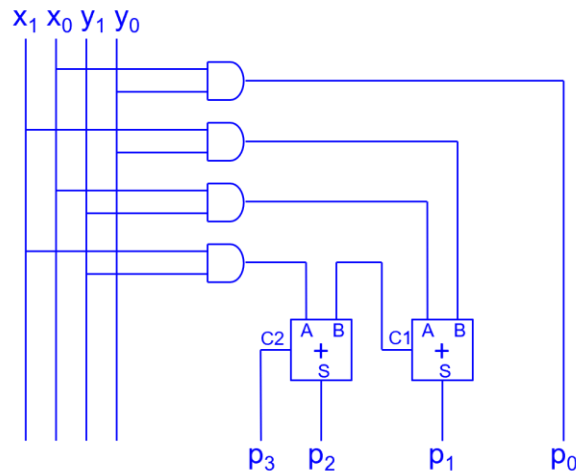
Para hacer la multiplicación del término $X \cdot Y$ analizamos cada uno de los dígitos p_3 , p_2 , p_1 y p_0 de la operación:

- $p_0 = x_0 \cdot y_0$
- $p_1 = x_1 \cdot y_0 + x_0 \cdot y_1$ □ puede generar acarreo: c_1
- $p_2 = x_1 \cdot y_1 + c_1$ □ puede generar acarreo: c_2
- $p_3 = c_2$

Por lo tanto, el circuito que implementa la multiplicación $X \cdot Y$ es el siguiente:

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

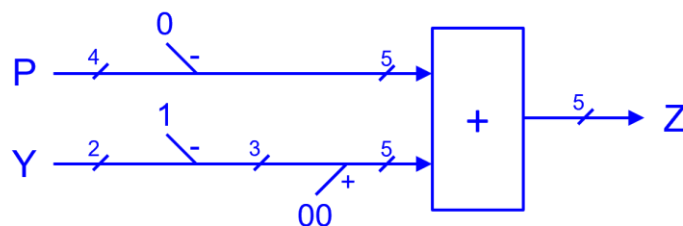


Denominamos P (cuatro bits) al resultado de multiplicar $X \cdot Y$. Para multiplicar P por 2 desplazamos un bit a la izquierda (o bien añadimos un cero como bit de menor peso), de forma que el resultado tendrá 5 bits.

Similarmente, para multiplicar Y (dos bits) por 2 desplazamos un bit a la izquierda (o bien añadimos un cero como bit de menor peso), de forma que el resultado tendrá tres bits. En este caso, podemos realizar también el incremento $+1$ añadiendo como bit de menor peso un 1, en lugar de un 0. Así pues, realizamos la operación $2 \cdot Y + 1$ simplemente añadiendo un 1 como bit de menor peso.

Finalmente, para sumar los términos $2 \cdot X \cdot Y$ (cinco bits) con $2 \cdot Y + 1$ (tres bits), primero tenemos que igualar la medida de los dos operandos añadiendo dos ceros como bits de mayor peso al término $2 \cdot Y + 1$. Entonces se puede hacer la operación con un sumador de cinco bits. Sabemos que el resultado cabe en cinco bits, así que el acarreo se desprecia, en cualquier caso.

El circuito resultante es el siguiente:

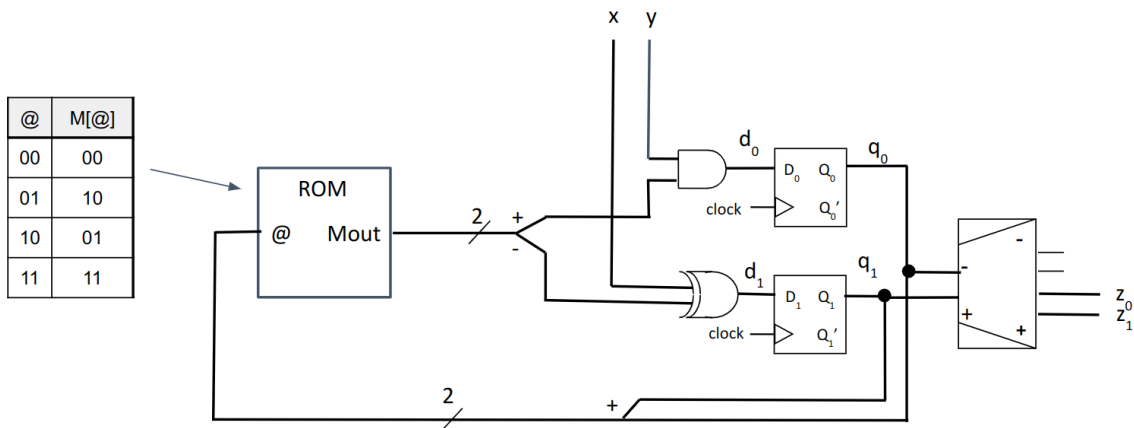


Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

PROBLEMA 3 [35%]

a) [15 %] Dado el circuito siguiente:



i) [5%] Escribid la expresión algebraicas para d_1 y d_0 en función de las señales x , y y $Mout$.

El circuito se puede describir con las siguientes expresiones algebraicas que usamos para obtener los valores de la tabla:

$$d_1 = x \text{ XOR } Mout_0$$

$$d_0 = y \text{ Mout}_1$$

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

ii) **[10%]** Rellenad la tabla siguiente. No hace falta que justifiquéis la respuesta.

q_1	q_0	x	y	d_1	d_0	z_1	z_0
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

Para rellenar la tabla nos falta describir las expresiones de z_1 y z_0 . z_1 y z_0 se obtiene aplicando la tabla de verdad del decodificador a partir de q_1 , q_0 .

Por lo tanto, podemos rellenar los valores de d_1 , d_0 , z_1 , z_0 a partir de q_1 , q_0 , x e y , teniendo en cuenta que q_1 , q_0 determinan la dirección de la memoria ROM.

Examen 2024/25-1

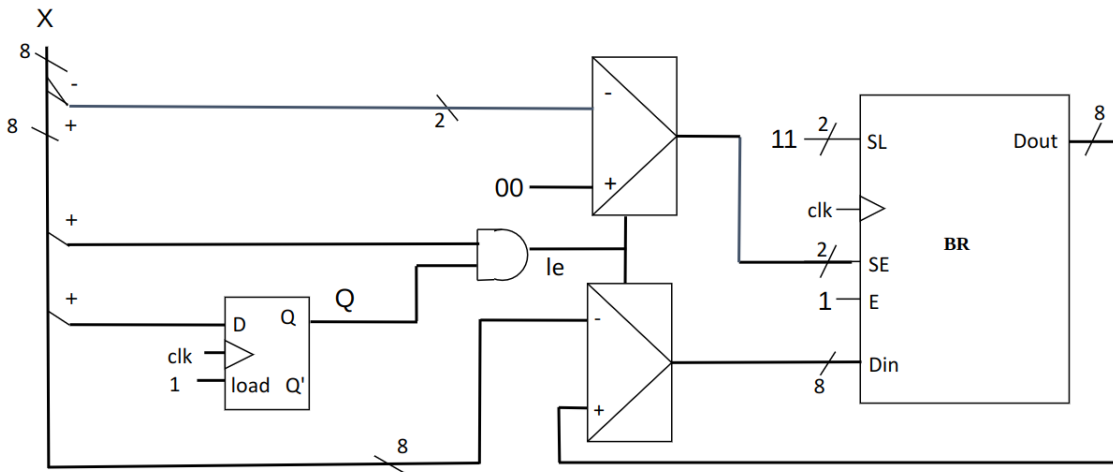
Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

q ₁	q ₀	x	y	d ₁	d ₀	z ₁	z ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	0
0	0	1	1	1	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	1	0	0
0	1	1	0	1	0	0	0
0	1	1	1	1	1	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	0	1
1	0	1	0	0	0	0	1
1	0	1	1	0	0	0	1
1	1	0	0	1	0	1	0
1	1	0	1	1	1	1	0
1	1	1	0	0	0	1	0
1	1	1	1	0	1	1	0

Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

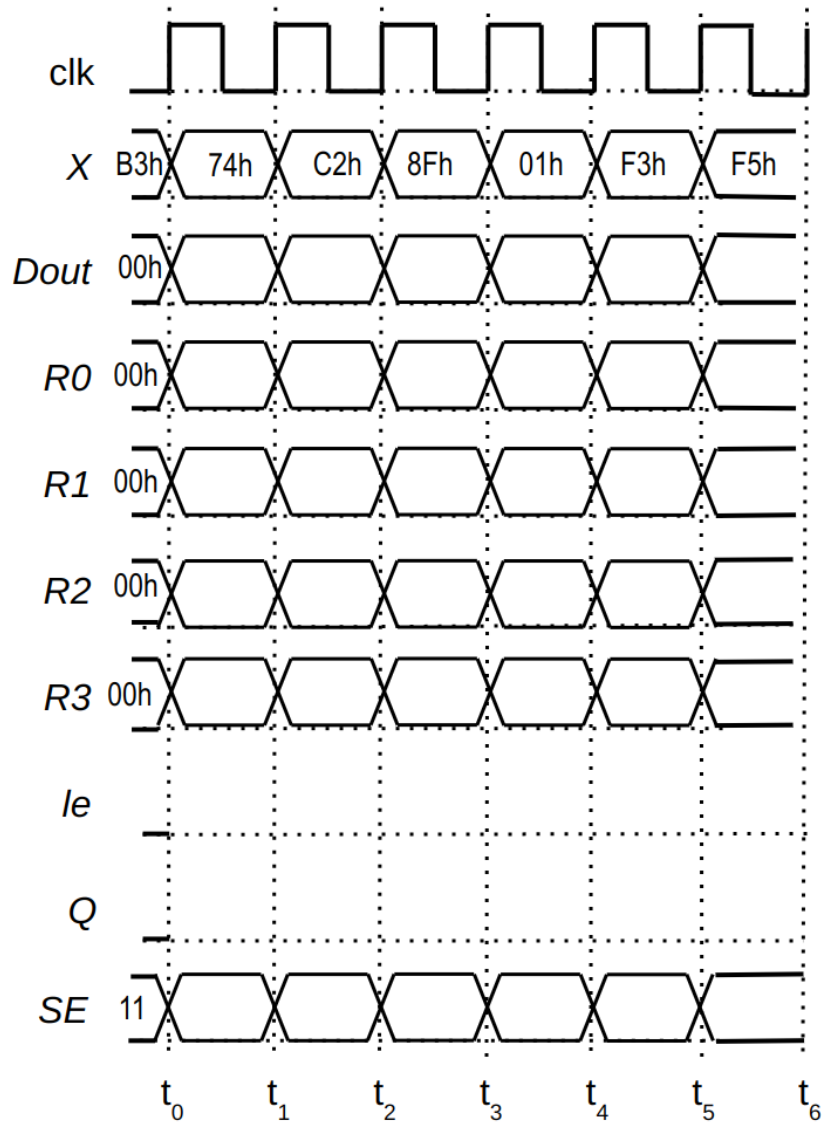
- b) **[20%]** Dado el circuito siguiente, donde BR es un banco de 4 registros que denominamos R0, R1, R2 y R3:



Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

Completad el cronograma siguiente, poniendo los valores de los registros en hexadecimal y el valor de *SE* en binario. No hace falta que justifiéis la respuesta.



Para rellenar el cronograma debemos saber primero cómo calcular cada una de las señales:

- **Biestable D/ Salida Q**: En cada flanco ascendente del reloj, se carga el valor del bit de mayor peso de entrada *X*.
- **SE**: El valor de *SE* depende de la entrada de la señal de selección *le* del multiplexor. Si *le* = 0, entonces *SE* corresponde a los bits de mayor y menor peso de la entrada *X*. En caso de *le* = 1, entonces *SE* = 00.
- **le**: La señal *le* es 1 es el producto lógico entre la señal *Q* y el bit de mayor peso de *X*.
- **SL**: El valor de *SL* siempre es 11. Por lo tanto, el valor de *Dout* en un ciclo concreto es el valor del registro *R3* en este mismo ciclo.
- **BR**: En relación con el banco de registros *BR*, observamos que *E* = 1, por tanto, la escritura siempre está habilitada. En cuanto a la escritura, se realiza en el flanco ascendente del reloj, por lo tanto, se escribe en el registro indicado por el valor de *SE*. El valor que se escribe en este registro es el valor que llega a la

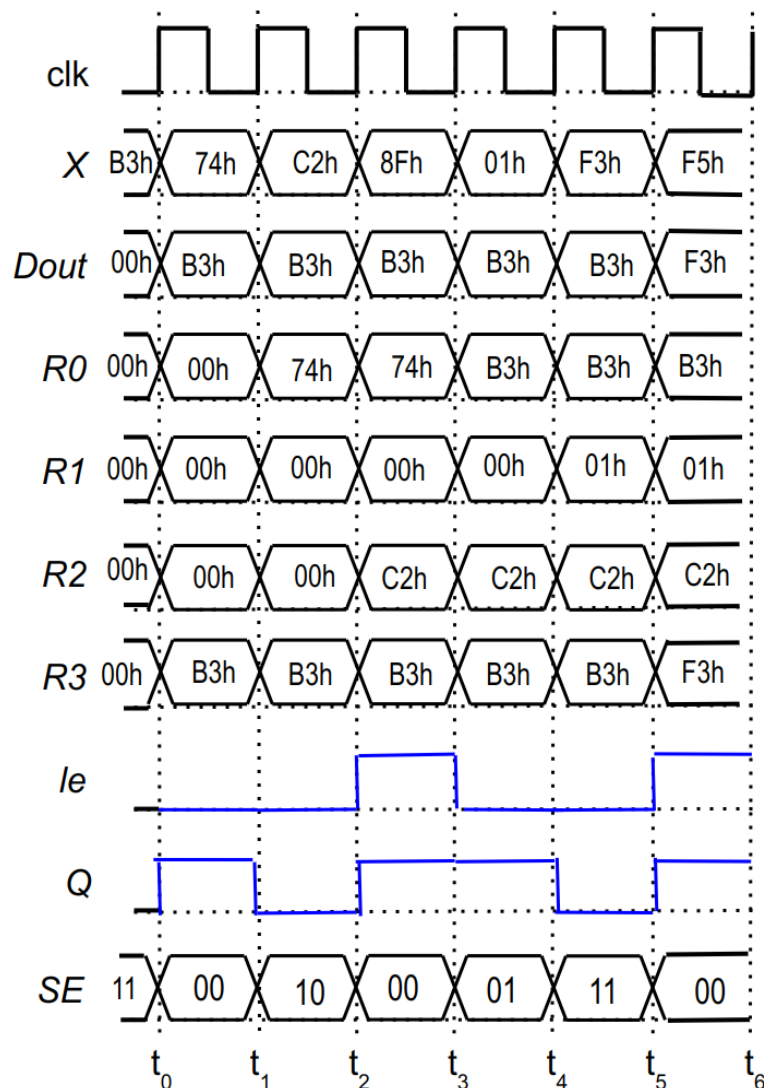
Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

entrada *Din*, que corresponde a la salida de un multiplexor en el momento del flanco ascendente. El valor de esta salida del multiplexor es *X* en caso de *le* = 0, y es *Dout* en el caso de *le* = 1.

Por ejemplo, al llegar al instante t_0 , el valor de *SE* es 11 y se escribe en *R3* el valor de *X* = B3h. El valor de los registros *R0-R2* no cambia. En el ciclo $t_0 - t_1$ el valor de *Q* = 1 ya que el bit de mayor peso de *X* = B3h en el ciclo anterior es 1. En el ciclo $t_0 - t_1$, *le* = 0 ya que el producto lógico de $Q = 1$ y el bit de mayor peso de *X* es 0.

Otro ejemplo es al llegar al instante t_3 . Dado que *le*=1 en el ciclo $t_2 - t_3$, *SE* tiene el valor 00 y *Din* el valor de *Dout* = B3h en el ciclo $t_2 - t_3$. Por lo tanto, *R0* en el ciclo $t_3 - t_4$ obtiene este valor B3h.



Examen 2024/25-1

Asignatura	Código	Fecha	Hora inicio
Fundamentos de computadores	75.562	25/1/2025	19:30

PROBLEMA 4 [10%]

a) [5%] La memoria de un computador contiene..

...los datos y las instrucciones de los programas.

b) [5%] ¿Cuál es la función de los buses en un computador?

Conectar dos o más componentes entre ellos.