75.562 **·** Fundamentos de Computadores **·** 2023-24

PEC2 - Segunda prueba de evaluación continua

Apellidos:

Nombre:

**Formato y fecha de entrega**

* Para dudas y aclaraciones sobre el enunciado debéis dirigiros al consultor responsable de vuestra aula.
* Hay que entregar la solución en un fichero PDF utilizando una de las plantillas entregadas conjuntamente con este enunciado.
* Se debe entregar a través de la aplicación de **Entrega de la Actividad** correspondiente del apartado **Contenidos** de vuestra aula.
* La fecha límite de entrega es el **9 de abril** (a las 24 horas).
* **Razonad la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.**

**Respuestas**

**Ejercicio 1 [25 %]**

Dada la siguiente expresión lógica de la función :

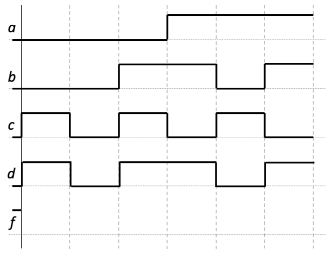
1. [10 %] Simplificad la función usando las propiedades y las leyes del álgebra de Boole.  
   (Secciones 1.2. Álgebra de Boole y 1.3.1. Expresiones algebraicas)
2. [5 %] Obtened la tabla de verdad de la función.  
   (Sección 1.2. Tablas de verdad)

**NOTA**: Tenéis disponible el ejercicio en VerilChart para verificarlo (20242\_PAC2\_1b). No hay limitación en el número de intentos.

| **a** | **b** | **c** | **d** | **f** |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

1. [10 %] Completad el siguiente cronograma:   
   (Sección 2.2.1. Retardos. Cronogramas. Niveles de puertas)

**NOTA**: Tenéis disponible el ejercicio en VerilChart para verificarlo (20242\_PAC2\_1c). No hay limitación en el número de intentos.



**Ejercicio 2 [20 %]**

Dada la siguiente tabla de verdad:

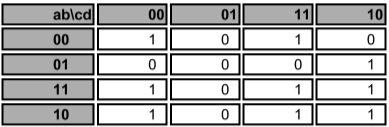


**NOTA**: Tenéis disponible el ejercicio en VerilCirc (20242\_PAC2\_2a\_circ y 20242\_PAC2\_2c) y en KeMAP (20242\_PAC2\_2a\_KM) para verificarlo. Os recomendamos hacer pruebas con KeMAP con otros ejercicios antes de hacer el de la PEC.

1. [7,5 %] Utilizando el método de Karnaugh, indicad las dos funciones mínimas posibles de la función . ¿Cuál de las dos expresiones mínimas utiliza una cantidad menor de puertas lógicas? Implementad esta última opción con puertas lógicas en dos niveles.  
   (Secciones 2.3.2. Síntesis mínima a dos niveles. Método de Karnaugh)
2. [5 %] Hemos preguntado a una herramienta de IA generativa la minimización mediante el método de Karnaugh de la función g, y nos ha dado el siguiente resultado:

(Sección 2.3.2. Síntesis mínima a dos niveles. Método de Karnaugh)

***Paso 1:*** *Organización en un mapa de Karnaugh 4x4*

******

***Paso 2:*** *Agrupaciones y obtención de la función mínima*

* ***Grupo 1****: (seleccionando la columna donde )*
* ***Grupo 2****: (seleccionando la columna donde y )*

***Resultado final:*** *Función mínima simplificada:*

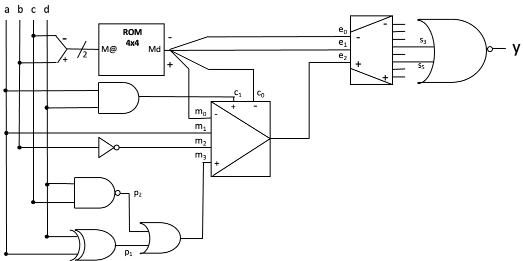
Razonad la corrección de la solución y, en caso de ser incorrecta, indicad en cada paso los errores detectados, pero no hace falta obtener la solución correcta.

1. [7,5%] Sintetizad la función con un multiplexor de 3 variables de control y el menor número de puertas lógicas.

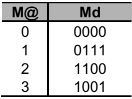
(Sección 3.1. Multiplexor. Multiplexor de buses. Demultiplexor)

**Ejercicio 3 [25 %]**

Dado el circuito lógico combinacional siguiente:



Donde el contenido de la memoria ROM es el siguiente:



Completad la tabla de verdad que especifica la salida en función de las entradas y . Calculad previamente los valores intermedios (

) indicados en el circuito y añadidos en la tabla de verdad siguiente:

(Sección 3. Bloques combinacionales)

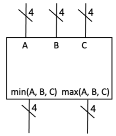
**NOTA**: Tenéis disponible el ejercicio en VerilChart para verificarlo (20242\_PAC2\_3). No hay limitación en el número de intentos.

| **a** | **b** | **c** | **d** | **p2** | **p1** | **m3** | **m2** | **m1** | **m0** | **c1** | **c0** | **e2** | **e1** | **e0** | **s5** | **s3** | **y** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

**Ejercicio 4 [30 %]**

Se desea diseñar un circuito que, dados 3 números de 4 bits en complemento a 2, muestre el menor de los tres valores de salida y el mayor de los tres valores en la salida siguiendo la siguiente estructura:

(Sección 3. Bloques combinacionales)



**NOTA**: Tenéis disponible el ejercicio en VerilCirc para verificarlo (20242\_PAC2\_4a y 20242\_PAC2\_4b). No hay límite en el número de intentos que uséis para comprobar vuestra solución.

**NOTA2**: En el caso de diseñar el circuito en VerilCirc, la herramienta no admite utilizar bloques diseñados por el usuario. Por lo tanto, en caso de reutilizar un circuito, como por ejemplo el circuito del apartado a), tendréis que copiar el circuito tantas veces como necesitéis utilizarlo.

1. [20%] Diseñad un circuito que, dados dos números y de 4 bits en complemento a 2, obtenga el menor y el mayor de los dos operandos a partir de bloques combinacionales (excepto ROMs) y las puertas que consideréis necesarias. Llamad a las salidas del circuito como para y para .
2. [10%] Utilizando el circuito del apartado a), bloques combinacionales (excepto ROMs) y las puertas que consideréis necesarias, diseñad el circuito y . Llamad a las salidas del circuito como y respectivamente.