

## Laboratório

### Testbench Combinacional

#### Objeto do Estudo:

1. Circuitos Lógicos Combinacionais;
2. Decodificador;
3. SCANCODE;
4. ASCII;
5. VHDL;
6. Testbench;
7. Verificação Funcional.

#### Especificação:

1. Considere uma especificação de projeto de um circuito lógico decodificador, puramente combinacional, que receba uma sequência numérica codificada em scancode e a converta em uma sequência numérica no formato ASCII;
2. A entidade deste circuito lógico foi nomeada como "decoder\_scancode\_ascii";
3. A Tabela 1 apresenta os nomes, os tipos, e as características funcionais das interfaces contidas na entidade do circuito lógico "decoder\_scancode\_ascii".

Função	Porta	Sentido	Tamanho
scancode_in	Dado de Entrada	Entrada	8 Bits
ascii_out	Dado de Saída	Saída	8 Bits

Tabela 1 – Características da Entidade.

4. Considere que o bit mais significativo dos vetores de entrada e saída são os bits da esquerda;
5. Para identificação da relação entre o SCANCODE de um teclado e o respectivo caractere na tabela ASCII utilize a Figura 1.



Figura 1 – Referência do Scancode.

6. Foram considerados durante o processo de implementação somente caracteres maiúsculos e números;
7. Entradas não previstas deverão gerar na saída a sequência numérica x"FF";

### Testbench:

1. Você receberá um netlist, descrito em VHDL, que foi implementado baseado na especificação do projeto, e que deverá ser verificado.
2. O arquivo contendo este netlist foi nomeado como “decoder\_scancode\_ascii\_map.vhd”;
3. Implemente um Modelo de Referência Funcional (Golden) baseado na especificação;
4. Implemente um Testbench que realize a Verificação Funcional Automática do Circuit Under Verification (CUV) baseado na comparação com o seu Modelo de Referência Funcional (Golden);
5. A Figura 2 pode ser utilizada como referência para a sua implementação;

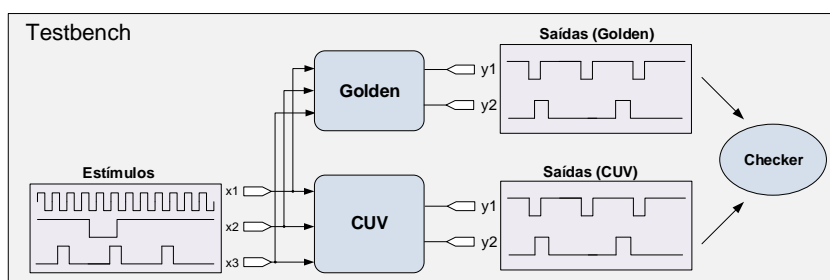


Figura 2 – Diagrama de Referência.

6. Desenvolva uma estrutura de geração de estímulos para o seu Testbench que excite ambos os modelos de forma simultânea;
7. Desenvolva uma estrutura que verifique (Checker) se os modelos CUV e Golden possuem divergências funcionais;
8. Caso sejam encontradas divergências funcionais, apresente estas em um Relatório de Verificação indicando as entradas e saídas que divergem da especificação;
9. A Tabela 2 pode ser usada como referência para o Relatório de Verificação:

Item	Descrição da Verificação	Resultado Esperado	Resultado Obtido	Status

Tabela 2 – Modelo de Relatório de Verificação.

### Critérios de Avaliação:

A avaliação desta experiência laboratorial seguirá os critérios indicados abaixo:

1. Modelo de Referência Funcional (Golden) (5%);
2. Testbench (30%);
3. Vetores de Entrada (5%);
4. Checker (10%);
5. Relatório de Verificação (50%);

Os arquivos VHDL e o Relatório de Verificação deverão ser postados na **Área Moodle** da disciplina **até 23h55min** do dia **30/08**.