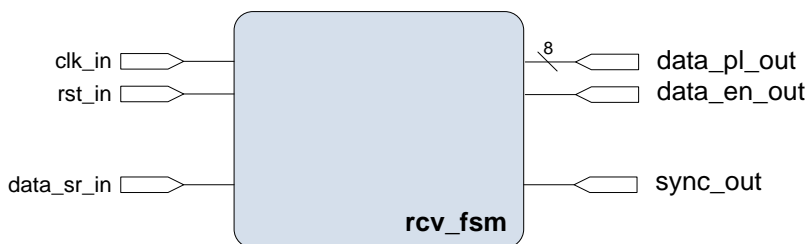


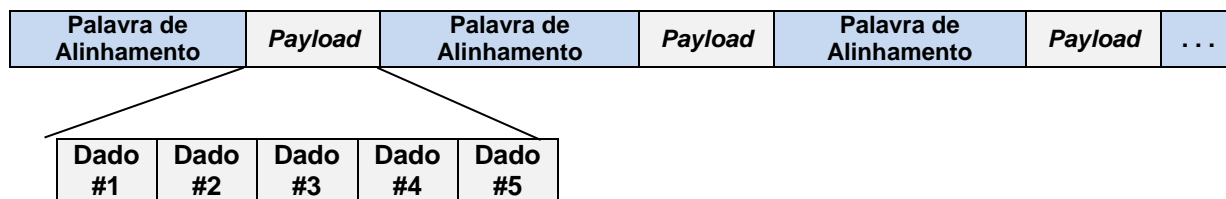
Trabalho

Receptor de Padrão

✓ Especificação:



- Desenvolva uma Máquina de Estados Finitos (FSM), em VHDL, que receba dados seriais, e os paralelize em dados de 8 bits;
- Utilize o nome “**rcv_fsm**” para a entidade deste circuito;
- O reset deste circuito deverá ser síncrono e sensível a nível lógico alto;
- Caso o circuito receba o sinal de reset, a lógica de sincronismo deverá ser reiniciada;
- A estrutura do dado serial (em nível de byte) deverá ser:



- A palavra de alinhamento para identificação do *payload* deverá ser:

Bit	7	6	5	4	3	2	1	0
Dado	1	0	1	0	0	1	0	1

Primeiro Bit a ser recebido.

- O *payload* deverá possuir 5 bytes;
- Após a identificação de 3 palavras de alinhamento (0xA5) consecutivas (na posição correta), o bit de sincronismo (*sync_out*) deverá ser colocado em nível lógico alto;
- Enquanto não houver alinhamento de dados, os dados de *payload* recebidos deverão ser descartados e o bit de sincronismo (*sync_out*) deverá ser colocado em nível lógico baixo;
- Após o estabelecimento do sincronismo, caso a palavra de alinhamento não seja identificada na posição correta e/ou o sinal de dados seja suspenso pelo transmissor, o bit de sincronismo deverá ser colocado em nível lógico baixo, e todo o processo de recepção deverá ser reiniciado;
- O dado paralelo de saída deverá possuir uma largura de 8 bits;
- A transmissão da palavra de alinhamento/dados ocorre do bit mais significativo (7) para o bit menos significativo (0). Isto é, o primeiro bit a ser recebido será o bit 7.

- O bit de saída de dado válido (*data_en_out*) deverá indicar quando a paralelização do *payload* foi concluída;
- O bit de saída de dado válido (*data_en_out*) deve permanecer em nível lógico alto ('1') somente durante um ciclo do *master clock*.

✓ **Interface**

Port Name	Direção	Tamanho	Descrição
clk_in	Input	1 bit	Master Clock (100 MHz).
rst_in	Input	1 bit	Reset Síncrono.
data_sr_in	Input	1 bit	Dado serial de entrada
data_pl_out	Output	8 bits	Dado paralelo de saída.
data_en_out	Output	1 bit	Dado válido de saída.
sync_out	Output	1 bit	Status de sincronismo de saída.

✓ **Desenvolvimento:**

1. Desenvolva a microarquitetura do circuito lógicos especificado.
2. Desenvolva, em VHDL, um circuito lógico sintetizável que atenda a especificação;
3. Desenvolva, em VHDL, um Testbench, que verifique o circuito lógico desenvolvido;

✓ **Entrega:**

A entrega dos itens anteriores deverá ser realizada, via área Moodle da disciplina, impreterivelmente **até 25/09/2018**.