

## Laboratório

### Testbench – Circuitos Sequenciais

#### Objetivos:

- Circuitos Lógicos Sequenciais;
- Linguagem de Descrição de Hardware – VHDL;
- Verificação Funcional;
- Simulação Funcional;
- Testbench;
- Geração de Estímulos;
- Assert.

#### Especificação - Circuit Under Verification (CUV):

1. O circuito lógico sequencial, cuja entidade foi denominada “reg\_bank”, foi projetado como um banco de registradores cujo pinout é apresentado na Tabela 1.

Nome	Sentido	Tipo / Tamanho
clk	In	std_logic
rst	in	std_logic
wr_en	in	std_logic
wr_address	in	std_logic_vector(3 downto 0)
wr_data	in	std_logic_vector(7 downto 0)
rd_en	in	std_logic
rd_address	in	std_logic_vector(3 downto 0)
rd_data	out	std_logic_vector(7 downto 0)

Tabela 1 – Especificação Funcional.

2. A Figura 1 apresenta o diagrama de referência da entidade do circuito.

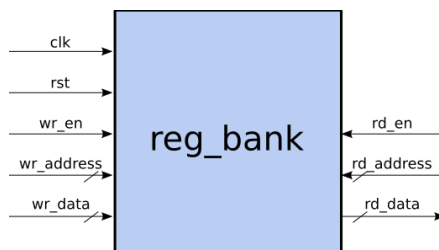


Figura 1 – Diagrama de Referência.

3. A Tabela 2 apresenta os valores iniciais de cada registrador do banco, e também seus tipos de acesso.

Endereço	Valor Inicial	Tipo
0000	x"32"	Read Only
0001	x"30"	Read Only
0010	x"31"	Read Only
0011	x"37"	Read Only
0100	x"30"	Read Only
0101	x"39"	Read Only
0110	x"06"	Read / Write
0111	x"07"	Read / Write
1000	x"08"	Read / Write
1001	x"09"	Read / Write
1010	x"0A"	Read / Write
1011	x"FF"	Read / Write
1100	x"FF"	Read / Write
1101	x"FF"	Read / Write
1110	x"FF"	Read / Write
1111	x"FF"	Read / Write

Tabela 2 – Valores e Tipos dos Registradores.

4. Considerar as seguintes especificações para o banco de registradores:
  - a. A frequência de operação do projeto deve ser de 50MHz;
  - b. O circuito é síncrono a borda de subida do sinal de clock (clk);
  - c. Os acessos de leitura possuem uma latência de um ciclo de clock;
  - d. Os valores dos dados dos registradores do tipo “Read Only” só podem ser lidos, isto é, seus valores não pode ser sobrescritos;
  - e. Os valores dos dados dos registradores do tipo “Read / Write” podem ser lidos e sobrescritos;
  - f. O pino de reset (rst) é ativo alto e síncrono ao sinal de clock (clk);
  - g. Após a inserção de um sinal de reset (rst), todos os dados dos registradores devem corresponder ao valor inicial apresentado na Tabela 2.
5. O acesso de leitura dos registradores deverá ser sensível à borda de subida do sinal de clock (clk), e ao nível lógico alto do sinal “rd\_en”, sendo o dado disponibilizado um ciclo de clock depois destes eventos.
6. O acesso de escrita dos registradores deverá ser sensível à borda de subida do sinal de clock (clk), e ao nível lógico alto do sinal “wr\_en”, sendo o dado registrado um ciclo de clock depois destes eventos.
7. O banco de registradores possui um tempo de power on reset de 100 ns, isto é, o circuito precisa de 100 ns para estar disponível para acessos após a sua energização.

### Prática - Testbench:

1. Desenvolva um Testbench que permita a verificação funcional do Circuit Under Verification (CUV) baseado na especificação apresentada neste documento;
2. Instancie, no Testbench, o Circuit Under Verification (CUV) disponibilizado;
3. Desenvolva uma estrutura de geração de estímulos para o seu Testbench que excite o Circuit Under Verification (CUV);
4. Verifique se o Circuit Under Verification (CUV) possui divergências funcionais da especificação através de uma inspeção visual;
5. Desenvolva uma estrutura de checagem através do atributo "assert";
6. Caso sejam encontradas divergências, apresente estas divergências em um Relatório de Verificação indicando os testes realizados, as entradas inseridas e as eventuais inconsistências funcionais;
7. A Tabela 3 pode ser usada como referência para o Relatório de Verificação:

Item	Descrição da Verificação	Resultado Esperado	Resultado Obtido	Status

Tabela 3 – Modelo de Relatório de Verificação.

### Critérios de Avaliação:

A Avaliação desta experiência seguirá os critérios indicados abaixo:

#### a) Testbench (50%):

- Instanciação CUV;
- Estruturas de Geração de Estímulos;
- Estrutura de Checagem / Assert;

#### b) Relatório (50%):

- Relatório de Verificação;
- Identificação de Erros;

Os arquivos VHDL e o Relatório de Verificação deverão ser postados na **Área Moodle** da disciplina **até 23h55min** do dia **30/08**.