PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL

FACULDADE DE ENGENHARIA / FACULDADE DE INFORMÁTICA

CURSO DE ENGENHARIA DE COMPUTAÇÃO

DISCIPLINA: Projetos de Sistemas Integrados II

Profa. Dra. Letícia Maria Bolzani Pöhls

Etapa T1\_1: (**VALIDAÇÃO**: Simulação Funcional)

Realizar simulação com o objetivo de validar funcionalmente o design. Abaixo segue a lista dos arquivos/documentação que devem ser gerados/entregues durante esta Etapa:

* Script para simulação (*compile\_rtl.do*)
* Dados relacionados à *Code Coverage*
* File .vcd (*Value Change Dump*) gerado
* Relatório descritivo contemplando análise das Tarefas abaixo descritas

*Tarefa A\_T1\_1: Implemente modificações no testbench a fim de maximizar 1 métrica de sua escolha. Caso a modificação impacte nas demais métricas, analise e comente o impacto. O relatório deve conter uma explicação da estratégia adotada.*

*Tarefa B\_T1\_1: Implemente um algoritmo em C ou C++ que leia o arquivo .vcd, indique o número de sinais que compõem cada módulo funcional do design, calcule a frequência de clock do design e calcule o número de transições que cada sinal que compõe o design realiza (switching activity). A saída deve mostrar de forma estruturada o nome do bloco funcional seguido de seus sinais, os valores calculados pelo algoritmo, bem como o sinal com maior switching activity (desconsidere o clock) e o com menor switching activity (desconsidere o reset).*

Etapa T1\_2: (**FRONT-END**: Síntese RTL ou Comportamental)

Abaixo segue a lista dos arquivos/documentação que devem ser gerados/entregues durante esta Etapa:

* Relatório descritivo (documento word com a descrição detalhada do trabalho)
* Script detalhado criado para a Síntese RTL com todos os commandos comentados (*script\_rtl.tcl*)
* Arquivo de variáveis (*settings\_rtl.tcl*)
* Arquivo SDC (*constraints\_pre\_rtl.sdc*)
* Arquivo MMMC (*configuration\_pre\_rtl\_mmmc.tcl*)
* *Netlist* pós síntese comportamental (*design\_pos\_rtl.v*)
* Arquivo .sdc pós síntese comportamental (*constraints\_pos\_rtl.sdc*)
* Arquivo .sdf pós síntese comportamental (*timing\_pos\_rtl.sdf*)
* Arquivos para síntese física
* Relatórios gerados pela ferramenta de *power*, *timing* e *area*. Os resultados desses relatO resultado desses ntados pelo grupo Etapa:rados/entregues: órios devem ser comentados pelo grupo

*Tarefa A\_T1\_2: Identifique o número de Registros de Clock Gating introduzidos na versão low power do design, bem como descreva como a técnica funciona.*

*Tarefa B\_T1\_2: Analise e gere gráficos que comparem os resultados obtidos nos relatórios de timing, power e área para cada uma das versões sintetizadas (7 versões).*

**Durante a etapa de síntese comportamental, devem ser gerados resultados considerando bibliotecas referentes aos três corners (*worst, nominal, best*) e a síntese deve ser feita aplicando pelo menos dois diferentes esforços de síntese comportamental. Além disso, deve também ser realizada uma síntese orientada à *low power* que utilize o maior esforço de síntese e a biblioteca nominal.**

**A escolha da frequência de *clock* deve ser feita com base na análise do *slack time* pós-síntese RTL. Assim, o design deve ser sintetizado com a maior frequência de *clock* possível.**