

Nome: Henrique Misael Machado

RA: 99660

Nome: Leonardo Henrique de Oliveira

RA: 98403

Projeto: ULA de 1 bit

O projeto de ULA de 1 bit (cujo circuito está exposto na imagem 1) tem como função realizar operações aritméticas e lógicas com duas variáveis de entrada (A e B) de 1 bit

Compondo a ULA, temos quatro partes que merecem destaque. A primeira delas, destacada na imagem da ULA pela cor **vermelha**, é o somador/subtrator. Este conjunto de operações lógicas recebe três entradas: A, B e C_{in} , que serão utilizadas para realizar a operação de soma e subtração. A operação é realizada pelas portas lógicas XOR, basicamente, resultando na saída (que é comum às duas operações). Este conjunto de portas também resulta em C_{out} , e este sim difere entre as operações; ambos são realizados (de soma e de subtração), e é definido qual deles será mostrado na outra parte destacada (esta em **amarelo**).

Esta segunda parte, que foi separada apenas para fins de visualização, mas faz parte do subtrator, compõe a parte final da unidade de aritmética da ULA. Através da recepção dos dois possíveis resultados de Carry-Out, duas portas lógicas AND definem se a saída (saída desta parte, que se refere ao Carry-Out, e não à saída final da ULA em si) a ser mostrada será a referente à operação de subtração ou soma. Para esta definição é utilizada uma terceira variável, F_0 , que combinará numa das portas AND, e seu complemento a outra.

Outra parte destacada na imagem — em **verde** — é a unidade de lógica, que realiza as operações lógicas cabíveis: AND, NAND, OR, NOR, XOR e XNOR. Estas operações serão todas realizadas, recebendo as variáveis A e B e retornando ao sistema 6 (seis) saídas, cada uma, referente a uma das operações.

A última parte destacada — em **azul** — é o multiplexador, que recebe 8 (oito) variáveis de possível resultado (cada uma destas entradas é o resultado de uma das oito operações que o projeto realiza). Outras três entradas de controle são utilizadas para definir, através de um conjunto de portas lógicas, qual das operações será mostrada na saída. A operação que será mostrada na saída é definida de acordo com a tabela 1.

Resumo da funcionalidade da ULA:

A operação 0 realiza a soma entre as variáveis A e B, utilizando como Carry-In a variável C_{in} , e resultando no Carry-Out C_{out} . O resultado da soma é mostrado na saída S. A operação 1 realiza a subtração das variáveis A e B, utilizando como Carry-In a variável C_{in} , e resultando no Carry-Out C_{out} . A diferença entre as variáveis envolvidas é mostrado na saída S. As outras operações (2 à 7) realizam as respectivas operações lógicas, de acordo com a tabela 2.

Exemplo:

Como exemplo, realizaremos uma operação XNOR com as variáveis A=1 e B=0. Para escolher a operação XNOR entraremos com o comando, de três bits, 111 (sete). Este comando é feito nas variáveis F. Vale lembrar que todas as operações serão realizadas, independente do comando inserido nas entradas de controle; estas apenas servem para definir qual resultado será mostrado ao final, na saída S.

Ao inserirmos, as variáveis A e B são alocadas para a unidade lógica, que realizará a operação e enviará a entrada para o multiplexador. Este, através do conjunto de entradas, carregará todas as entradas de apenas uma das portas AND que o compõe: a última, que está recebendo todos os fios sem nenhuma operação NOT (ou seja, quando todas as entradas de controle estão em ALTO, esta é realizada).

O resultado (saída) para esta simulação é 0, uma vez que a operação XNOR espera duas variáveis iguais (ambas em BAIXO, ou ambas em ALTO), e demos duas entradas diferentes para serem operadas. O circuito realizando esta operação pode ser conferido na imagem 2.

Anexos

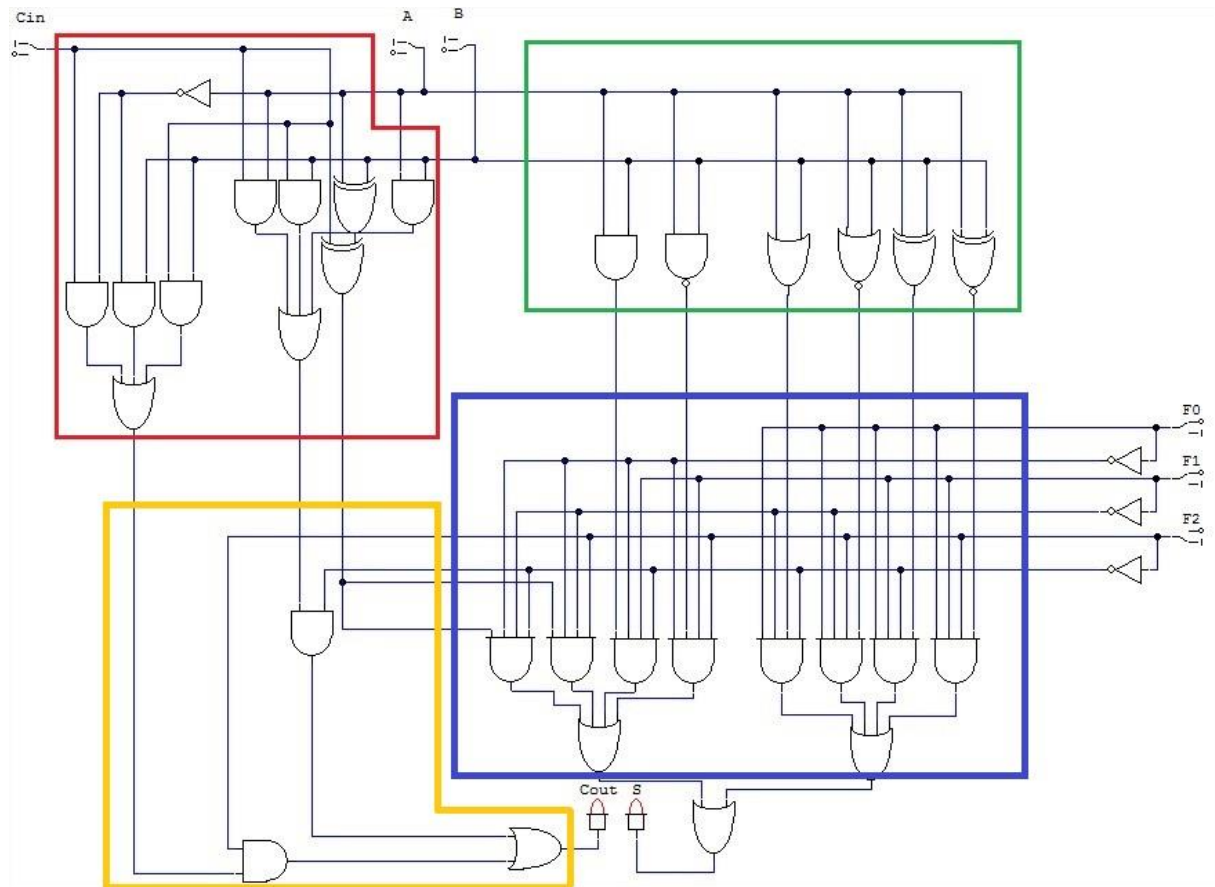


Imagem 1

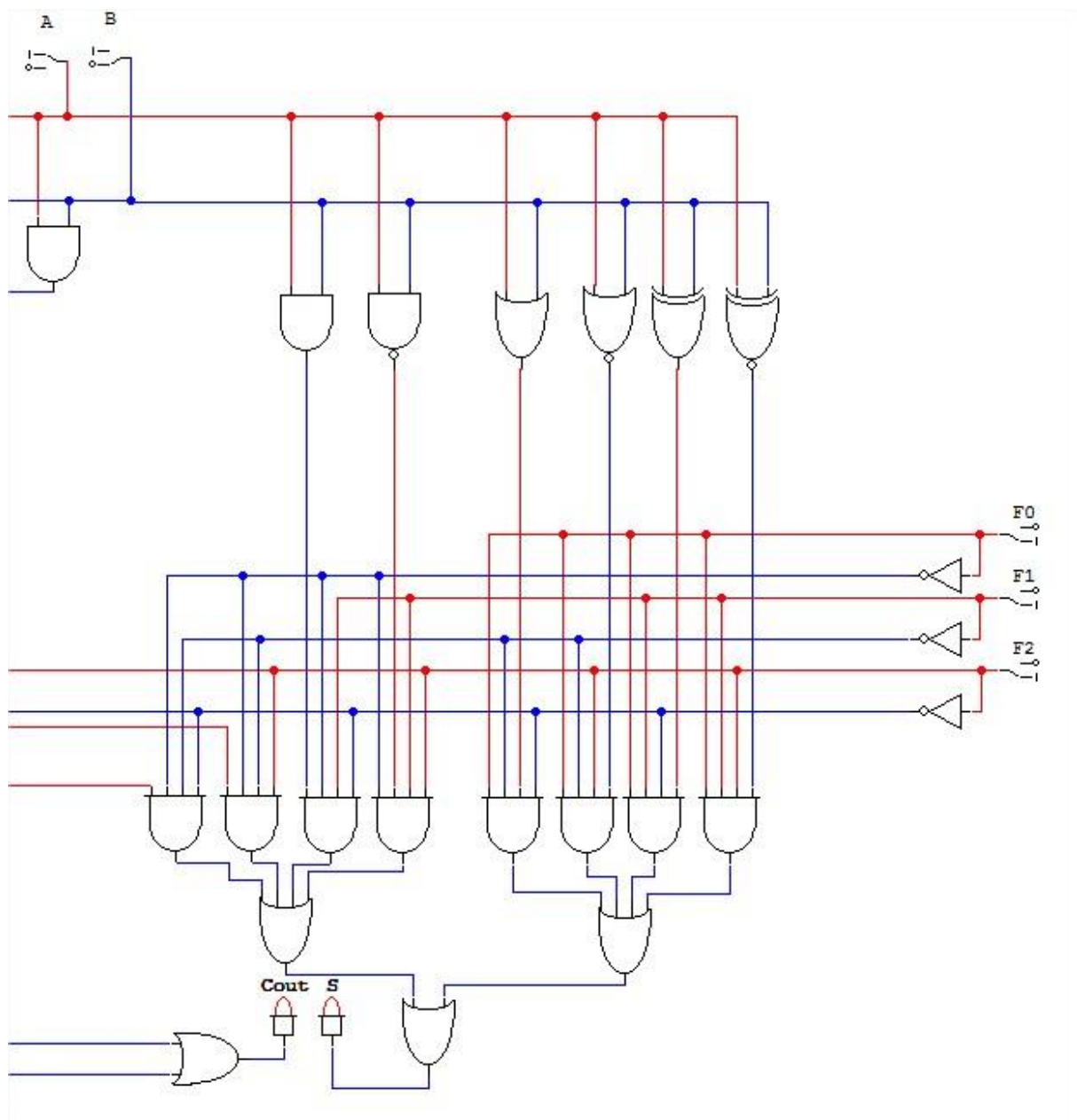


Imagem 2 (Os fios vermelhos carregam valor 1, e os azuis carregam valor 0).

Tabela 1				
F_0	F_1	F_2	Operação Realizada	
0	0	0		0
0	0	1		1
0	1	0		2
0	1	1		3
1	0	0		4
1	0	1		5
1	1	0		6
1	1	1		7

Tabela 2	
	Operação Lógica
2	AND
3	NAND
4	OR
5	NOR
6	XOR
7	XNOR

Referências

HARRIS, DAVID MONEY; HARRIS, SARAH L. DIGITAL DESIGN AND COMPUTER ARCHITECTURE FROM GATES TO PROCESSORS. EDITORA ELSEVIER ISE, 1^a EDIÇÃO, 2007.