**Projeto 2 - Lab. de Sistemas Digitais**

***Alunos:*** *Henrique Vieira Lima - 15459372*

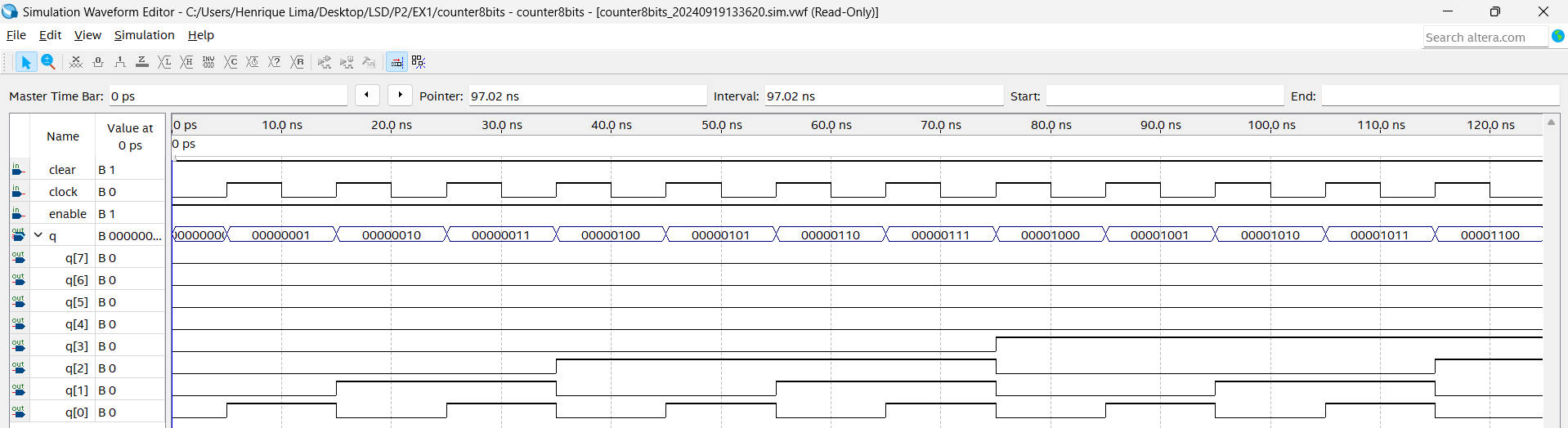
*Beatriz Alves dos Santos - 15588630*

**PARTE 1**

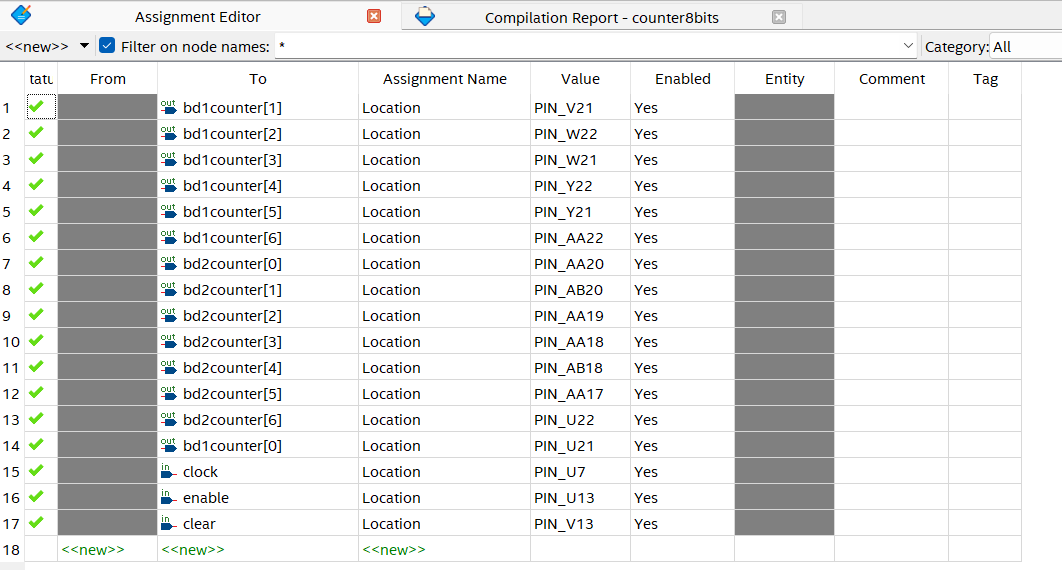
**1.1 Quantos elementos lógicos são usados para implementar o circuito?**

15 contando com as portas and, se for apenas os flip flops então são 8.

**1.2 Simulação**



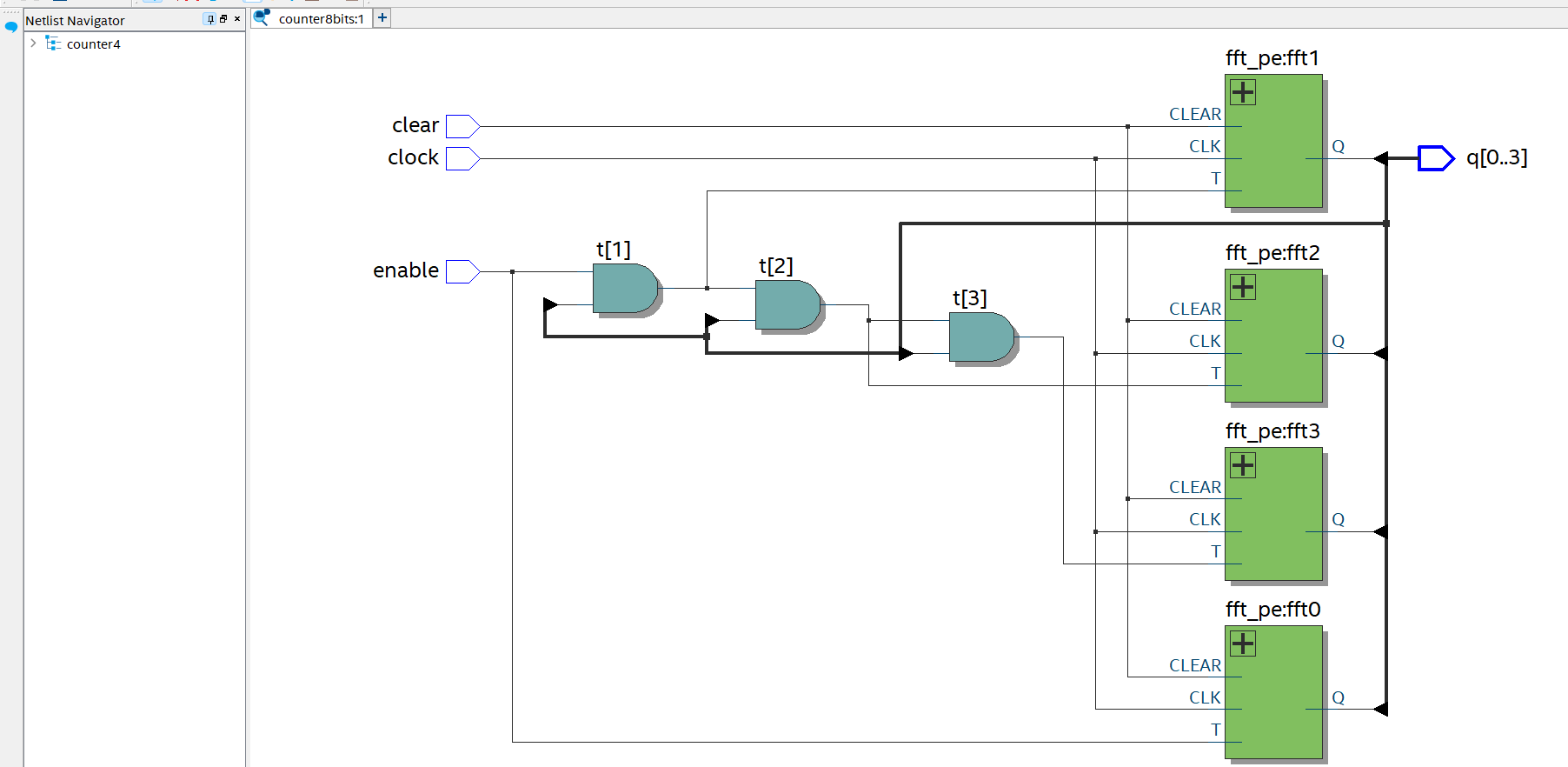
**1.3 Assignments**



**1.4 Teste na placa**

**1.5 Diferença entre o RTL Viewer de um contador 4 bits e da Figura 1.**

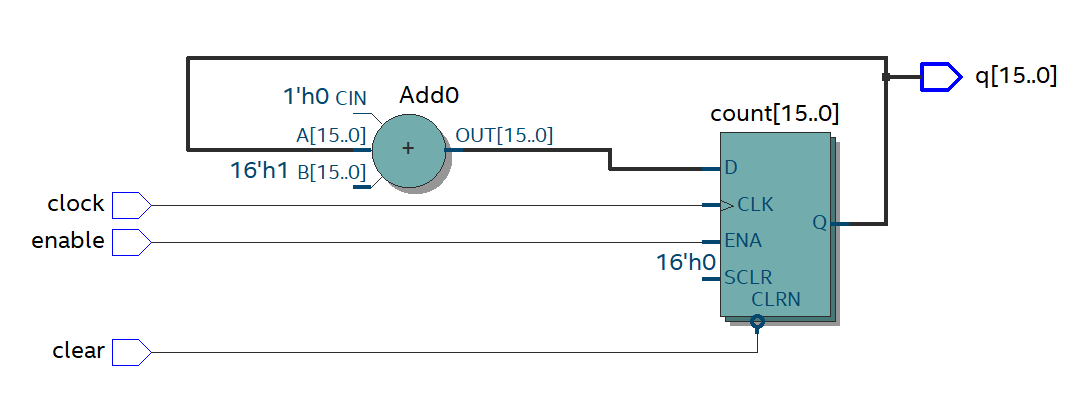
A princípio, nenhuma. As ligações são as mesmas do esquemático, apenas dispostas em lugares diferentes.



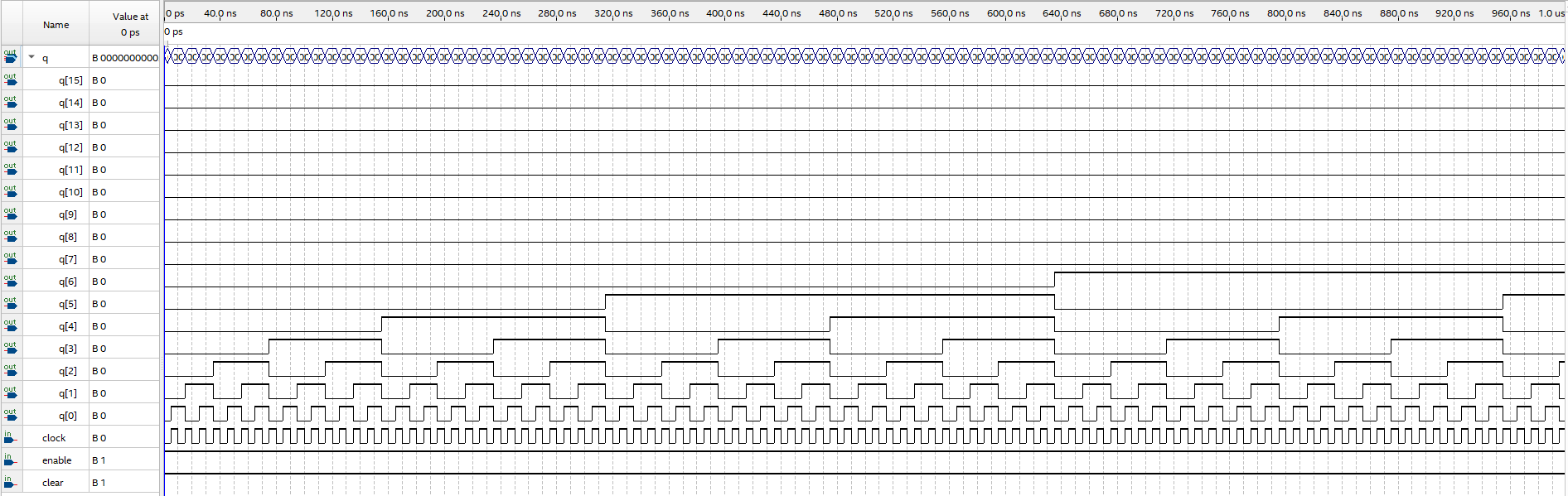
**PARTE 2**

**2.1 RTL Viewer**

Utiliza 2 LEs, a cada momento quando o “enable” está ativado e quando o “clk” está em borda de subida ele manda um pulso que soma 1 ao que já está salvo no vetor de saída Q. Difere da lógica do primeiro que utilizava flip-flops para a atualização dos bits do vetor de saída.

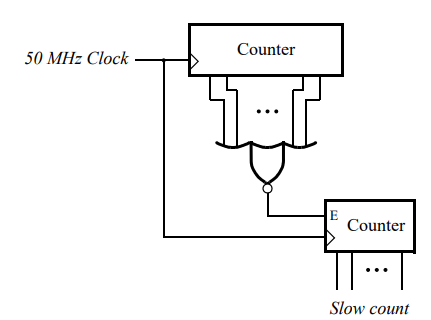


**2.2 Simulação**

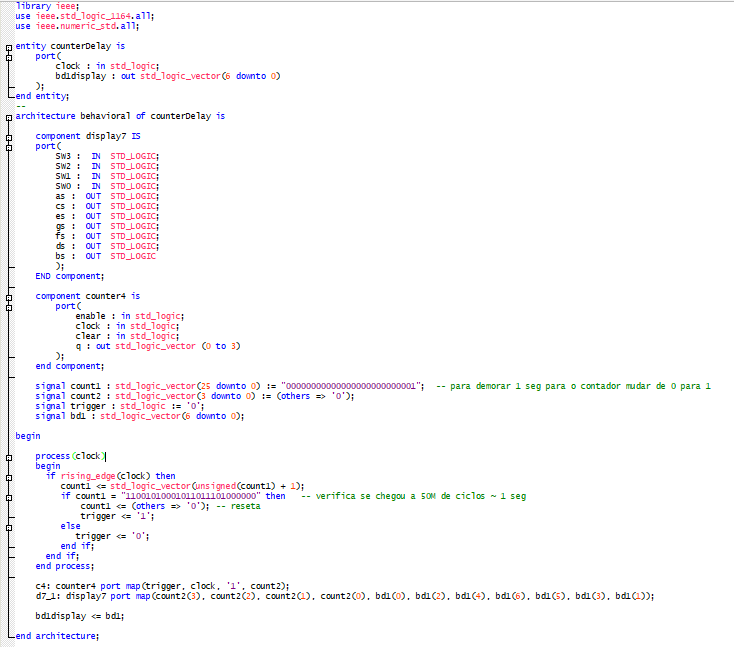


**PARTE 3**

Contador com delay de 1 segundo

****

**Código:**



**PARTE 4 E 5**

Teste na placa.