适用于 Vitis 内核流程的接口

Vitis 内核流程为已编译的内核对象 (.xo) 提供支持，以便从主机应用和赛灵思的 Xilinx Run Time (XRT) 来执行软件控制。如 Vitis 统一软件平台文档中的[内核属性](https://docs.xilinx.com/access/sources/dita/topic?resourceid=fiv1568160307462.html&Doc_Version=2022.2 English&url=ug1393-vitis-application-acceleration" \t "https://docs.amd.com/r/2022.2-%E7%AE%80%E4%BD%93%E4%B8%AD%E6%96%87/ug1399-vitis-hls/_blank) 中所述，此流程具有非常具体的接口要求，Vitis HLS 必须满足这些要求。

Vitis HLS 支持多种存储器、串流和寄存器接口范例，其中每个范例都遵循某个接口协议并使用适配器来与外部世界进行通信。

·存储器范例 (m\_axi)：内核通过存储器（如 DDR、HBM、PLRAM/BRAM/URAM）来访问数据

·串流范例 (axis)：数据从其它串流源（例如，视频处理器或其它内核）串流至内核中，也可从该内核流出。

·寄存器范例 (s\_axilite)：内核通过寄存器接口来访问数据，软件则通过寄存器读/写来访问数据。

用户通过Vitis HLS将C/C++翻译成HDL，最终映射成FPGA内部的LUT、DSP及RAM资源等

Vitis HLS

第一个工程：xc7z020clg400-1

先执行C仿真，得到初步结果

再执行C综合，可以看到C代码被综合成RTL代码后，使用的硬件资源评估、性能评估等

然后跑RTL和C的联合仿真CoSimulation（dump trace选择port可以查看波形）

“Block-level IO Handshake”端口为握手端口信号

“SW-to-HW Mapping”为输入输出数组或变量端口，端口包含地址总线、使能信号、写使能信号、数据总线等

New Solution：

<https://blog.csdn.net/weixin_44007264/article/details/122949673>

右键myloop，插入PIPELINE

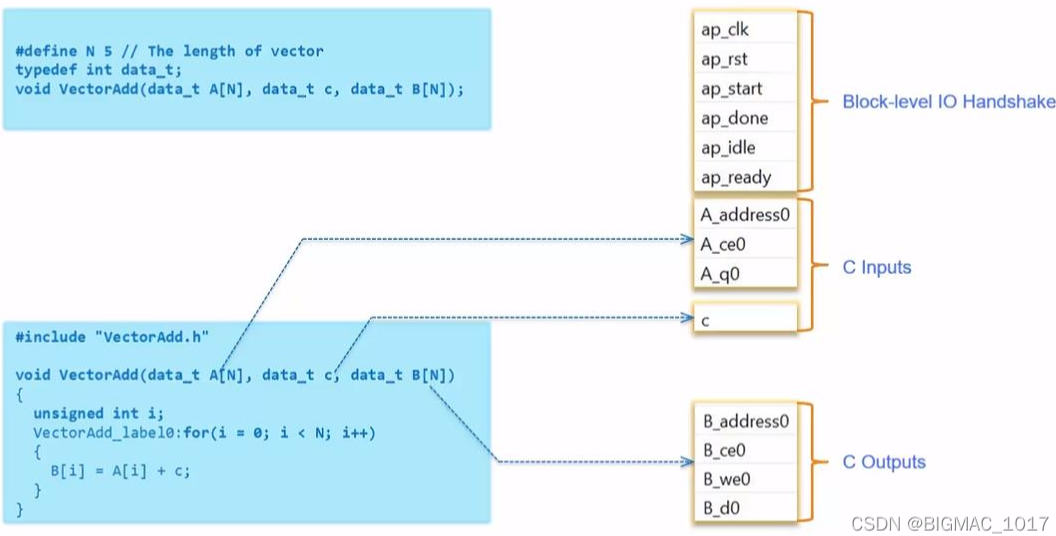
针对solution2进行综合

Project栏-Compare Reports对比两个solution的报告，Vitis HLS较新的版本中，即便没有设置directives，也会默认添加HLS PIPELINE指令，因此两个Report是相同的

对于每个C代码的For循环创建一个标签

Main正常执行返回0，错误返回1，便于判断仿真出错

C例程代码使用HLS综合后，生成的接口结构：



<https://blog.csdn.net/kzz6991/article/details/107405868>