Universidad San Carlos de Guatemala Facultad de Ingeniería Escuela de Ciencias y Sistemas Organización Computacional Sección C Ing. Fernando Paz

Tutor: Juan García Fecha: 22/02/2025



Nombre	Carnet
Cesar Rolando Hernández Palasios	202000806
Jackeline Andrea Carías Morales	202011344
Cristian Gerardo Tun Quill	202300500
Sender Oswaldo Molina Salguero	201700915
Evelyn Marisol Pumay Soy	202112395
Kevin Pozuelos Estrada	201800992

Introducción

Este proyecto consiste en la simulación de dos pantallas mediante LEDs, con el objetivo de mostrar letras de una palabra tanto en formato normal como en modo espejo. La palabra elegida para la simulación fue "LIBERTAD", formada por ocho letras, cada una representada por combinaciones de números binarios de 3 bits. Para llevar a cabo la implementación de los displays, se utilizaron componentes electrónicos como transistores NPN, resistencias y compuertas lógicas (AND, OR, NOT), además de la herramienta de simulación Proteus.

El diseño incluyó la creación de funciones booleanas específicas para cada segmento del display, las cuales fueron optimizadas mediante mapas de Karnaugh. Para el display en formato normal, se emplearon minterms para definir las funciones lógicas, mientras que para el display en modo espejo se usaron maxterms. Al final, el sistema se construyó por completo utilizando placas y protoboard, garantizando el correcto funcionamiento de los displays según los criterios establecidos.

Objetivos

General

Aplicar los conocimientos teóricos aprendidos en clase magistral y laboratorio para la construcción de circuitos combinacionales.

Específicos

- Implementar mapas de Karnaugh para simplificar funciones booleanas y optimizar el diseño de los circuitos lógicos asociados a los segmentos de los displays.
- 2. Simular y validar el comportamiento de los circuitos combinacionales en Proteus, asegurando que los displays representen correctamente los caracteres en formato normal y espejo.
- 3. Construir físicamente los circuitos lógicos utilizando transistores NPN, resistencias, y compuertas lógicas en placas y protoboard, garantizando la correcta interpretación de las señales binarias.

Contenido

- a) Funciones booleanas
 - Frontal con Mínimos (Cátodo)

Segmento A

$$(x'+z')(x+z)(y)$$

Segmento B

Segmento C

$$y(x+z')$$

Segmento D

Segmento E

1

Segmento F

Segmento G

$$(y+x)$$

Segmento Punto

• Espejo con Máximos (Anodo)

Segmento A

$$(x+y'+z')(x'+y'+z)$$

Segmento B

$$(X)(Y+Z')$$

Segmento C

$$(y')+(x'z)$$

Segmento D

$$(x'+y)(y+z')$$

Segmento E

$$(y')(x'+z)$$

Segmento F

Segmento G

Segmento Punto

b) Mapas de Karnaugh

• Frontal con mínimos

		Entradas	;				Segm	entos			
Letra	Х	Υ	Z	Α	В	С	D	E	F	G	Punto
L	0	0	0	0	0	0	1	1	1	0	0
1	0	0	1	0	0	0	0	1	1	0	0
В	0	1	0	0	0	1	1	1	1	1	0
E	0	1	1	1	0	0	1	1	1	1	0
R	1	0	0	0	0	0	0	1	0	1	0
Т	1	0	1	0	0	0	0	1	1	1	0
Α	1	1	0	1	1	1	1	1	0	1	0
D	1	1	1	0	1	1	1	1	0	1	1

A							B		
x\yz	00	01	11	10	x\yz	00	01	11	10
0	0	0	1	0	0	0	0	0	0
1	0	0	0	1	1	0	0	1	1

	С						D	,	
x\yz	00	01	11	10	x\yz	00	01	11	10
0	0	0	0	1	0	1	0	1	1
1	0	0	1	1	1	0	0	1	1

			F			I .	Е	I.	l
x\yz	00	01	11	10	x\yz	00	01	11	10
0	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1

G							
Z\xy 00 01 11 10							
0	0	1	1	1			
1	0	1	1	1			

Punto							
x\yz	00	01	11	10			
0	0	0	0	0			
1	0	0	1	0			

• Espejo con Máximos

Letra	Α	В	С	D	E	F	G	Punto
L	0	1	1	1	0	0	0	1
1	0	1	1	0	0	0	0	1
В	0	1	1	1	1	0	1	1
Е	1	1	1	1	0	0	1	1
R	0	0	1	0	0	0	1	1
Т	0	1	1	0	0	0	1	1
Α	1	0	1	1	1	1	1	1
D	0	0	1	1	1	1	1	0

	Α							
x\yz	00	01	11	10				
0	1	1	0	1				
1	1	1	1	0				

			С		
	x\yz	00	01	11	10
ĺ	0	1	1	1	1
	4	4	4	4	-

	E							
x\yz	00	01	11	10				
0	0	0	0	1				
1	0	0	1	1				

G							
Z\xy 1+1 1+0 0+0 0+1							
1	1	0	0	0			
0	1	0	0	0			

		В		
x\yz	00	01	11	10
0	0	0	0	0
1	1	0	1	1

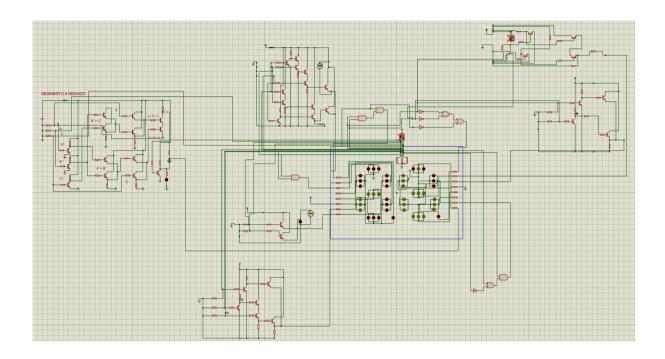
		D		
x\yz	00	01	11	10
0	1	0	1	1
1	0	0	1	1

F					
x\yz	00	01	11	10	
0	1	1	1	1	
1	1	1	0	0	

Punto				
x\yz	00	01	11	10
0	1	1	1	1
1	1	1	0	1

c) Diagramas del diseño del circuito

Circuito simulado en Proteus



d) Equipo utilizado

- Compuerta 74ls08 Compuerta 74ls32 Compuerta 74ls08
- Transistores 2n2222
- Protoboard
- Placas
- Cable UTP
- Jumpers
- Pines
- Resistencias
- Dip Switch
- Corta alambre
- Cuchilla
- Cautin
- Estaño
- Leds
- Cloruro Férrico
- Plancha de calor doméstica

e) Presupuesto

• Gastos totales: Q494.35



15/02/2025 14:54:08 002		48-001-	
CORPORACIÓN R&CH, S.A. Teléfono: +502 2476786 / +502 3849 5899	30 / +502 4	19177168	
Usuario: Alejandro Gar	rcia		
TIcket de entrega, r	no es una f	actura.	
NTE123AP transistor NPN Si AF/RF Amp 0.6A (2N2222)	45.000	38.25	Q
RX-10K/14 resistencia 10K ohm 1/4 watt	20.000	12.00	Q
RX-1K/14 resistecia 1k ohm 1/4 watt	40.000	24.00	Q
PB-WB-104 proto board 2 galletas solderless	1.000	160.00	Q
PB-MB102 proto board 1 galleta transparente	1.000	52.00	Q
SW-DIP4 Switch DIP 4 posiciones	1.000	3.80	Q
Subtotal: IVA por Pagar		258.97 31.08	
Total:	290	0.05	Q
POS BAC (QTQ)		290.05	Q
Cambio:		0.00	Q
Gracias por su compr	a, vuelva	oronto.	

45/02/2025 14:53:39 Pedido 02748-001-0024

CORPORACIÓN R&CH, S.A. Teléfono: +502 24767800 / +502 49177168 / +502 3849 5899 Usuario: Alejandro Garcia

Ticket de entrega, no es una factura.

NTE123AP transistor NPN Si AF/RF Amp	13.000	11.05 Q	
0.6A (2N2222) RX-1K/14 resistecia 1k ohm 1/4 watt	23.000	13.80 Q	
RX-10K/14 resistencia 10K ohm	4.000	2.40 Q	
1/4 watt SW-DIP4 Switch DIP 4 posiciones	1.000	3.80 Q	
PB-MB102 proto board 1 galleta transparente	1.000	52.00 Q	
HM-3242 corta alambre en diagonal, diámetro de corte 0.8mm a 1.6mm azul	1.000	22.00 Q	
LD-5RD LED 5mm rojo difuso	3.000	3.00 Q	
Subtotal: IVA por Pagar		96.47 Q 11.58 Q	
Total:	10	8.05 Q	
POS BAC (QTQ)		108.05 Q	
Cambio:		0.00 Q	

Aporte individual de cada integrante

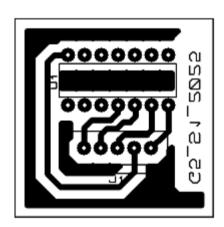
Carné	Nombre	Aporte
202000806	Cesar Rolando Hernández Palasios	Q82.392
202011344	Jackeline Andrea Carías Morales	Q82.392
202300500	Cristian Gerardo Tun Quill	Q82.392
201700915	Sender Oswaldo Molina Salguero	Q82.392
201800992	Kevin Pozuelos Estrada	Q82.392
202112395	Evelyn Marisol Pumay Soy	Q82.392

Conclusiones

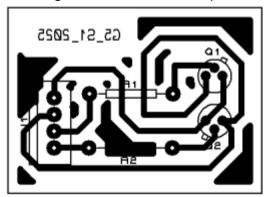
- 1. La implementación de mapas de Karnaugh para simplificar funciones booleanas es un método eficiente para la realización de circuitos, ya que permite reducir el número de puertas requeridas, además de optimizarlas.
- 2. Simular y validar circuitos en Proteus es un paso fundamental para el resguardo de componentes electrónicos, con ello se evitan errores y ayuda a reducir costos permitiendo visualizar el comportamiento lógico del circuito para que todo funcione correctamente antes de ensamblarlo físicamente.

Anexos

a) Diagramas de los circuitos impresos

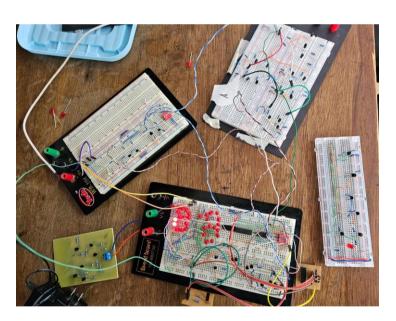


Segmento B, Fuente Propia.



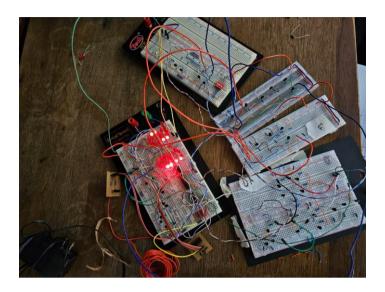
Segmento G, Fuente propia.

b) Fotografías de los circuitos físicos



Unión de circuitos realizados, elaboración propia.

Circuitos en funcionamiento, elaboración propia.



c) Enlace al video grupal de los circuitos físicos

 $\frac{https://drive.google.com/file/d/1xC7DLCGU9fY5sn2jPi_tGz21IPRpzh5H/view?}{usp=drivesdk}$