

Evolución en la organización del caché



Materia:

Diseño de lenguajes

Alumno:

Kevin Alexis Suárez Esquivel

Docente:

Jorge J. Pedrozo Romero

Licenciatura en desarrollo de
Software



CACHÉ JERARQUICO

- En sistemas modernos, el caché suele organizarse en múltiples niveles jerárquicos (L1, L2, L3, etc.).
- Los niveles más bajos (L1) suelen ser más pequeños y rápidos, mientras que los niveles superiores (L2, L3) son más grandes pero más lentos.
- Esta jerarquía permite aprovechar la velocidad de acceso rápida de los niveles inferiores y la capacidad de almacenamiento más grande de los niveles superiores.

Tabla 4.4 Evolución de la caché Intel

Problema	Solución	Procesador en el que aparece la función por primera vez
Memoria externa más lenta que el bus del sistema.	Añade caché externa utilizando tecnología de memoria más rápida.	386
El aumento de la velocidad del procesador hace que el bus externo se convierta en un cuello de botella para el acceso a la caché.	Mueve la caché externa al chip, funcionando a la misma velocidad que el procesador.	486
La caché interna es bastante pequeña, debido al espacio limitado en el chip.	Añade caché L2 externa con tecnología más rápida que la memoria principal.	486
Se produce contención cuando tanto el Prefetcher de Instrucciones como la Unidad de Ejecución requieren simultáneamente acceso a la caché. En ese caso, el Prefetcher se detiene mientras se produce el acceso a los datos de la Unidad de Ejecución.	Cree cachés de datos e instrucciones separadas.	Pentium
El aumento de la velocidad del procesador hace que el bus externo se convierta en un cuello de botella para el acceso a la caché L2.	Crea un bus posterior independiente que funciona a mayor velocidad que el bus externo principal (frontal). El BSB está dedicado a la caché L2.	Pentium Pro
	Trasladar la caché L2 al chip del procesador.	Pentium II
Algunas aplicaciones trabajan con bases de datos masivas y deben tener acceso rápido a grandes cantidades de datos. Las cachés en chip son demasiado pequeñas.	Añadir caché L3 externa.	Pentium III
	Traslado de la caché L3 al chip.	Pentium 4

Organización del microprocesador Pentium 4

- Unidad de Ejecución : Esta unidad se encarga de ejecutar las instrucciones. Puede contener múltiples unidades funcionales, como unidades aritmético-lógicas
- Memoria Caché: El Pentium 4 tiene varios niveles de caché, incluyendo caché de instrucciones y caché de datos, que almacenan temporalmente datos e instrucciones frecuentemente utilizadas para acelerar el acceso a la memoria.
- Bus del Sistema: Es el canal de comunicación que conecta todos los componentes del sistema

Organización del microprocesador Pentium 4

- Unidad de Punto Flotante (FPU): Es una unidad especializada que se utiliza para realizar operaciones aritméticas con números de punto flotante , como multiplicación, división y otras operaciones más complejas.
- Decodificador de Instrucciones: Este componente se encarga de interpretar las instrucciones de programa y prepararlas para su ejecución por parte de la unidad de ejecución.

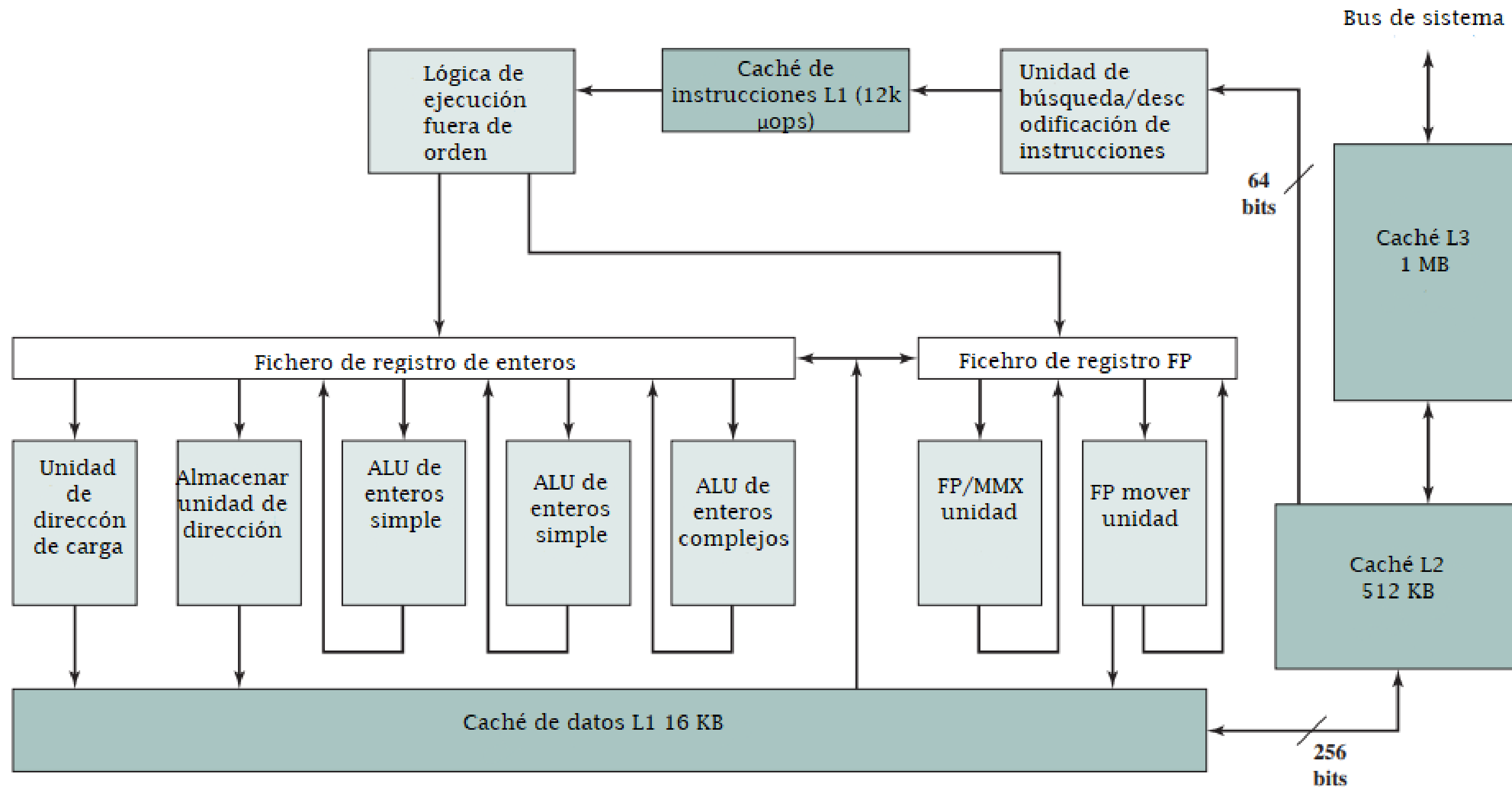


Figure 4.18 Diagrama de bloques del pentium 4

¿Por qué el caché de instrucciones del Pentium 4 se coloca entre el decodificador lógico de instrucciones y el núcleo de ejecución?

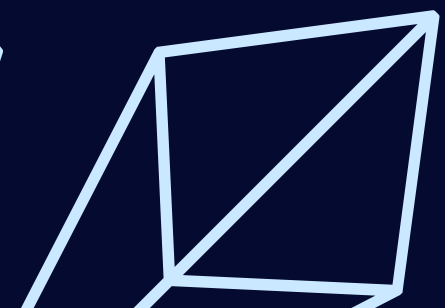
- Reducción de la latencia de acceso a instrucciones:
Al ubicar el caché de instrucciones cerca del decodificador lógico, se reduce la latencia de acceso a las instrucciones.
- Mejora del rendimiento: Almacenar las instrucciones más utilizadas en el caché de instrucciones permite que el procesador acceda a ellas de manera más rápida.

¿Por qué las instrucciones-máquina son difíciles de decodificar?



Existen varias razones como lo pueden ser:

1. Diversidad de formatos
2. Longitud variable
3. Muchas instrucciones diferentes
4. Modos de direccionamiento complicados





GRACIAS