数字系统设计课程设计报告

--基于FPGA的游戏设计

学 校: 中山大学

院 系: 数据科学与计算机学院

专 业: 软件工程（移动信息工程）

年 级: 15级

指导老师: 李国桢，保研翔

|  |  |  |
| --- | --- | --- |
| **学号** | **姓名** | **分工** |
| 15352457 | 朱裕章 |  |
| 15352218 | 林燕娜 |  |
| 15352383 | 杨鑫 |  |
| 15352458 | 庄博伟 |  |

二零一六年十二月二十四日

摘要

本次课程设计采用了 Xilinx 公司的 Basys3 系列的 XC7A35T-ICPG236C FPGA 来计算运行贪吃蛇游戏并驱动VGA显示游戏过程，实现方式为采用 verilog HDL　语言编写，主要涉及组合逻辑电路、时序逻辑电路（状态机）、数字模块、VGA显示等相关知识。本次课程设计的系统电路设计主要采用模块化的思想实现。

关键字：FPGA 贪吃蛇 Verilog HDL VGA 状态机

Abstract

This course is designed to calculate and run the game of the Snake and to drive the VGA to display the game, which is based on XC7A35T-ICPG236C FPGA from Xilinx, Basys3. This course is designed using Verilog HDL language It mainly involves combinational logic circuit, sequential logic circuit Machine, digital module, VGA display and other related knowledge. The curriculum design of the system circuit design use a modular idea to achieve.

Keywords: FPGA Snake Game Verilog HDL VGA sequential logic circuit Machine

目录

**摘要与Abstract**Ⅰ

1. **设计背景4**

# 2

1．设计背景

在布置课程设计的时候，李国桢老师说明了课程设计的评分标准为：课程设计涵括本学期内容越广为优秀，并且小组人数（上限为4人）越多课程设计也应越有难度。在综合考虑课程内容、课程难度、知识拓展和兴趣挑战，本小组在课程设计选题讨论会上一致决定课程设计内容为编写一个小游戏并且用VGA显示作为知识拓展。考虑到实现难度以及 Verilog HDL 实现可能性，本小组最终决定利用 Verilog HDL 语言编写实现经典小游戏贪吃蛇。

时钟分频模块：

利用了触发器、寄存器，以时钟的一个上升沿作为触发条件，用寄存器记录时钟上升沿的次数。当时钟上升沿次数达到100M次，拉高记录秒的信号电平，输出一个一秒时间的高电平，否则拉低该信号电平。该模块中将100MHz时钟频率划分了50MHz、25MHz、119Hz、4Hz，分别主要用作系统主时钟频率、显示带宽（800\*521\*60）、数码管扫描、控制贪吃蛇的运动速度。

按键消抖模块：

原理：在单片机时代，对于按键我们可以选择硬件消抖和软件消抖，软件消抖是采用if语句和延时语句多次检测按键处电平的变化，浪费资源而且还有一定概率出错。硬件消抖的原理就是在按键旁边焊上一个电容。这样当按键变化时，传输到CPU的信号不会马上发生电平变化，而是伴随一个充电的过程。也就是说当按键电平真正变化时，按键已经经过了抖动阶段，当电容容值选取合理时，就能达到比较完美的消抖效果。在使用 FPGA 时，我们使用的是硬件描述语言，完成的是数字电路的设计。只要用数字电路来取代这个简单的电容，也就能实现硬件防抖的效果。  
 实现：利用寄存器模拟电容充电和放电的过程，当按键寄存器还没达到设定数值并且按钮处于高电平状态，“电容”充电，否则“电容”放电；如果寄存器的值达到一定的数值，就输出一个代表按钮被按下的高电平信号，否则输出低电平信号。

