**使用AD5791的波形发生器**

更新日期：2022.9.28

对应程序名：API\_0924

# 功能简介

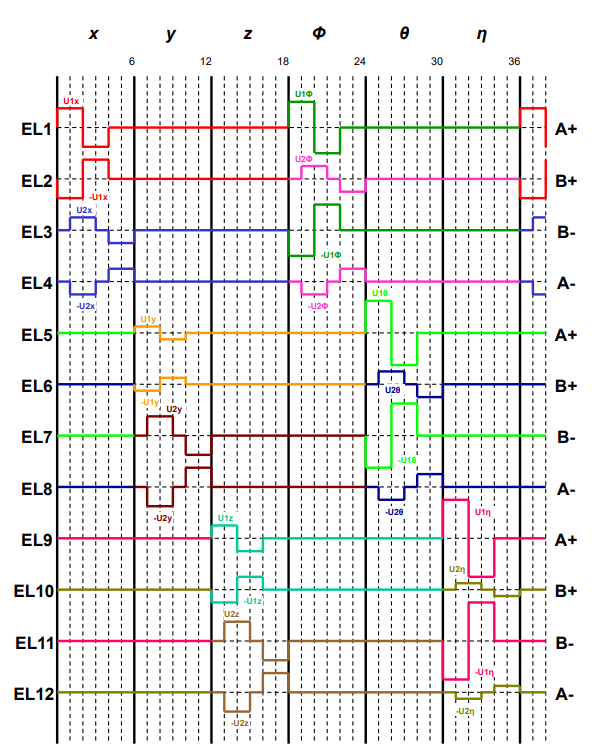
本程序使用FPGA驱动AD5791数模转换器输出幅值、相位、频率可调的正弦波与分时控制所需波形。其中输出波形的频率、相位、幅值在代码中设定，输出波形类型使用FPGA开发板上的按键进行切换。

# 使用方法

* 1. 按下表连接FPGA开发板AV7K300与AD5791对应端口

|  |  |  |  |
| --- | --- | --- | --- |
| FPGA | AD5791 | FPGA | AD5791 |
| A21（J33\_3） | LDAC | H22（J33\_15） | SCLK |
| A22（J33\_7） | CLR | K20（J33\_19） | SDIN |
| E21（J33\_11） | RESET | G20（J33\_23） | SYNC |

* 1. 按下开发板按键key1切换AD5791输出状态。输出状态共三种：初始化DAC、输出正弦波形、输出分时控制所需波形，三种输出状态按顺序循环改变。当输出状态为分时控制所需波形时可通过按下开发板按键key2切换输出的分时控制波形，按下图中的EL1-EL12循环切换输出波形。



# 程序设计

## 3.1程序总体结构

程序采用模块化设计，包括主程序、正弦信号发生程序、分时信号发生程序、AD5791驱动程序、按键消抖程序几个部分。各模块（程序）名称如下表所示：

|  |  |  |  |
| --- | --- | --- | --- |
| 程序名称 | 程序功能 | 程序名称 | 程序功能 |
| API | 主程序 | DDS | 正弦信号发生 |
| DDS\_pulsed | 分时信号发生 | Driver | AD5791驱动 |
| ax\_debounce | 按键消抖 |  |  |

程序间调用关系如下图所示

文本

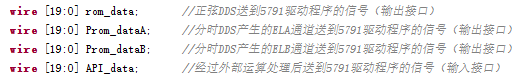
描述已自动生成

## 3.2主程序

**主程序功能有以下几点：**

**整合各子程序提供数据的输入输出接口**

主程序提供的输出接口为正弦信号发生程序、分时信号发生程序生成的波形数据。输入接口为送到AD5791驱动程序中的处理后的20位波形数据，各接口如下图所示



**生成各程序所需时钟**

为便于时钟的管理，各程序所需时钟均由主程序提供。具体操作步骤为：

1. 将FPGA硬件生成的差分时钟转化为PLL可用的单端时钟

文本, 信件

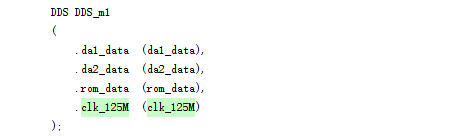
描述已自动生成

1. 生成并编辑PLL IP核，PLL设置详细过程见附录A-1
2. 将PLL IP核例化到程序中

文本, 信件

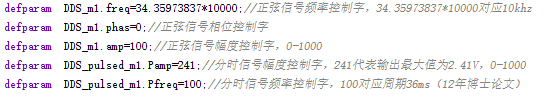
描述已自动生成

1. 在各子程序例化时添加对应时钟信号例化



**修改所需波形参数**

波形发生程序的参数通过设定对应的参数值实现，在子模块中使用parameter语句定义参数常量并赋初值，在主程序中使用defparam语句修改参数值。已设计的参数包括正弦波形的频率、相位、幅值，以及分时信号的频率、幅值。具体信号如下图所示。



## 3.3正弦信号发生程序

正弦信号发生程序的作用为产生20位的正弦信号，主要结构分为ROM与相位累加器两部分

**ROM**

使用IP核制作，其中包含1024深度的20位.coe格式波形数据查找表，在程序中例化如下图所示，ROM详细设置过程见附录A-2

背景图案

低可信度描述已自动生成

**相位累加器**

该部分是DDS结构的核心，用于控制生成波形的频率与相位。为了直观地体现相位累加器的工作过程，用相位圆来表示正弦波全周期的相位，假定查询表的位数是 4，则可以把相位圆 16 等分如下图，相位圆上一段弧度对应一个信号幅值，如此往复便可使相位与幅值一一对应生成完整信号。

图示

描述已自动生成

相位累加器所用到的信号描述如下表所示

|  |  |  |  |
| --- | --- | --- | --- |
| 信号名 | 作用 | 信号名 | 作用 |
| Fword | 频率控制字 | Pword | 相位控制字 |
| r\_Fword | 参与运算的reg型频率控制字 | r\_Pword | 参与运算的reg型相位控制字 |
| Fcnt | 相位累加器计数变量 | rom\_addr | 波形查找表地址 |

具体代码如下图所示。相位累加器工作过程分为两步：

1. 在主程序中设定的幅值控制字、相位控制字传递到正弦波形发生程序后，在125Mhz时钟驱动下赋值给可以参与运算的寄存器型变量r\_Fword与r\_Pword

图片包含 背景图案

描述已自动生成

1. 在125Mhz时钟驱动下频率控制字r\_Fword累加到累加计数变量Fcnt上，由于波形查找表存储深度为10bit所以将Fcnt的前10位截取出来并与相位控制字r\_Pword（地址偏移量）相加作为波形查找地址

文本

中度可信度描述已自动生成

## 3.4分时控制波形发生程序

分时控制波形发生程序用于产生分时信号所需的波形数据。主要结构分为查找表生成、相位累加器、波形切换三部分。因为分时控制波形的具体幅值尚不明确所以正弦信号发生程序相比波形数据查找表没有使用ROM IP核生成而是在Verilog代码中直接定义。相位累加器也使用与查找表匹配的较为简单的写法。

**相位累加器**

代码如下图所示，根据12年博士论文分时控制所需波形周期均为36ms，所以使用10Mhz的较低频率时钟驱动相位累加器。当累加计数变量ACC计数超出设定时将其置零，使波形数据从头开始寻址，实现波形的周期发生。PFword是控制生成波形频率的参数。

图片包含 背景图案

描述已自动生成

**查找表**

代码如下图所示，因为所需波形较为简单，可以类似方波信号处理，所以直接在累加计数变量ACC值的变化的幅值改变点处对通道的输出值定义。严格来说这并不是制作一个查找表，而是根据所需波形对输出进行即时地改变，但为了与正弦信号发生程序对应也称其为查找表

表格

描述已自动生成

**波形切换**

由于DAC暂时只做到单通道输出且目前仅出于测试阶段，使用并未设置分时控制的12个通道同时输出，为了方便测试，设计了使用按键在同一输出通道切换不同通道应输出波形的功能。具体代码如下图所示，波形切换分为两个步骤：

1. 当按键判断按下信号PFC11为真（1）时，按键计数变量PFCC1加1，当PFCC1加满为12后，再次检测到按键按下后PFCC1置零，实现12个不同通道波形的循环切换。

文本, 信件

描述已自动生成

1. 在125Mhz时钟的驱动下检测PFCC1变量的值，并根据其值的不同将对应的不同通道波形送到输出通道。

表格

低可信度描述已自动生成

为了按键切换的实际使用，还在分时控制波形发生程序中例化了按键消抖模块，用于产生判断按键按下信号PFC11

文本, 信件

描述已自动生成

## 3.5 AD5791驱动程序

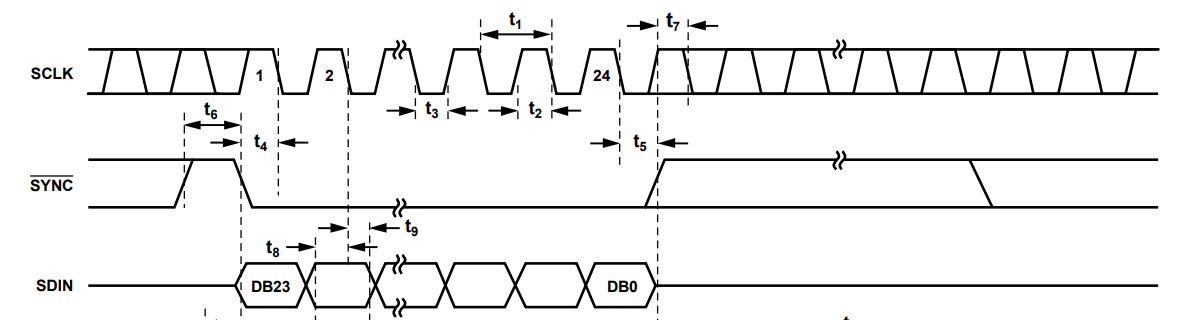
**程序分为驱动与寄存器设置两部分。**

**驱动设计**

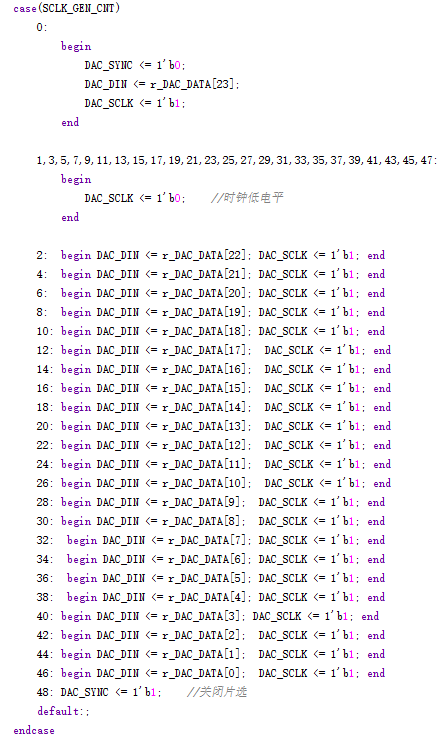
设计驱动程序首先要查阅芯片手册 ，明确需要的信号与通信方式。对于AD5791，需要设置的信号及其作用如下表

|  |  |  |  |
| --- | --- | --- | --- |
| 信号 | 描述 | 信号 | 描述 |
| LDAC | DAC输出更新 | SCLK | 时钟 |
| CLR | 清零 | SDIN | 串行输入 |
| RESET | 复位 | SYNC | 帧同步 |

AD5791使用SPI进行串行数据传输，在FPGA中设计时序状态机进行模拟SPI，在三线制SPI接口中，需要设置的信号为SYNC、SCLK、SDIN。根据下图的信号间时序关系可列出对于的状态机代码



状态机代码如下图所示，在信号SCLK\_GEN\_CNT的驱动下，完成不同状态的转换以及AD5791驱动时钟SCLK信号的产生



为了控制FPGA向DAC传输数据的启停，定义了下表所示的变量

|  |  |
| --- | --- |
| 名称 | 作用 |
| en | 转换使能信号：当复位或转换完成时置零，关闭DAC转换；当转换开始时置1，开启DAC转换 |
| trans\_done | 转换完成信号：当状态机完成一个循环时置1，表示完成一个数据传输 |
| Set\_Done | 完成标信号：当trans\_done有效时置1 |
| Start | 转换开始信号：数据发生变化时置1 |

**寄存器设置**

完成基本的SPI接口状态机编写后，需要根据AD5791技术文档完成寄存器设置的相关内容。根据文档，数据传入后会储存在输入移位寄存器中，之后根据输入移位寄存器的20-22位的寄存器地址将0-19位的数据送到对应的寄存器中。

本程序未设置清零信号且使用FPGA直接控制DAC，所以使用的片内寄存器只有两个：控制寄存器与DAC寄存器。使用AD5791时需要先向控制寄存器中写入各控制字的值，完成DAC初始化设置。各控制字功能如下图所示，程序中设定数值为24'h200012

图形用户界面, 应用程序, 表格

描述已自动生成

当完成向控制寄存器写入初始化数据后可通过按下开发板按键key1将输入移位寄存器输出的目标从控制寄存器改为DAC寄存器开始输出波形。此时若再按下key1会改变输出的波形，目前设置了两个输出波形状态，每个状态内可以通过修改代码改变输出波形的类别（正弦、分时、直流）。以第一次按下key1为例，代码如下图所示，FCC1为按键次数技术变量，当Start置1（开始转换信号有效）时，对正弦发生子程序生成的信号进行幅值调整后加上移位输入寄存器高4位的地址控制字给到SDIN管脚的输入变量r\_DAC\_DATA完成一次转换

文本, 信件

描述已自动生成

当一次转换完成后根据变量r\_DAC\_DATA的值是否发生变化判断是否需要开始下一次转换，具体代码如下图所示

图形用户界面, 文本, 应用程序

描述已自动生成

# 可改进的部分

* 1. 本程序仅作为DDS与AD5791联合调试的功能验证使用，目标为尽快将链路调通，并未根据具体目标波形需求进行调整，所以波形频率、相位、幅值的具体数值还需要根据实际要求调整。输出通道目前只有一个，后续可根据需求添加。
  2. 由于Verilog代码不支持小数，所以幅值调整存在一定的舍入误差，暂时没想到较好的解决方法，有待后续改进。此外，幅值调整功能的加入使输出波形产生了一些毛刺，具体原因尚不明确。

# 附录

## A-1 PLL IP核设置

参数按图中设置，其余默认即可

图形用户界面, 文本, 应用程序

描述已自动生成

表格

描述已自动生成

## A-2 ROM IP核设置

参数按图中设置，其余默认即可

图形用户界面, 文本, 应用程序, 电子邮件

描述已自动生成

图形用户界面, 文本, 应用程序

描述已自动生成

图形用户界面, 文本, 应用程序

描述已自动生成

## B RTL图

图示, 示意图

描述已自动生成