



《数字电路与微机系统》——《数字电路》部分

第五章 触发器

王志

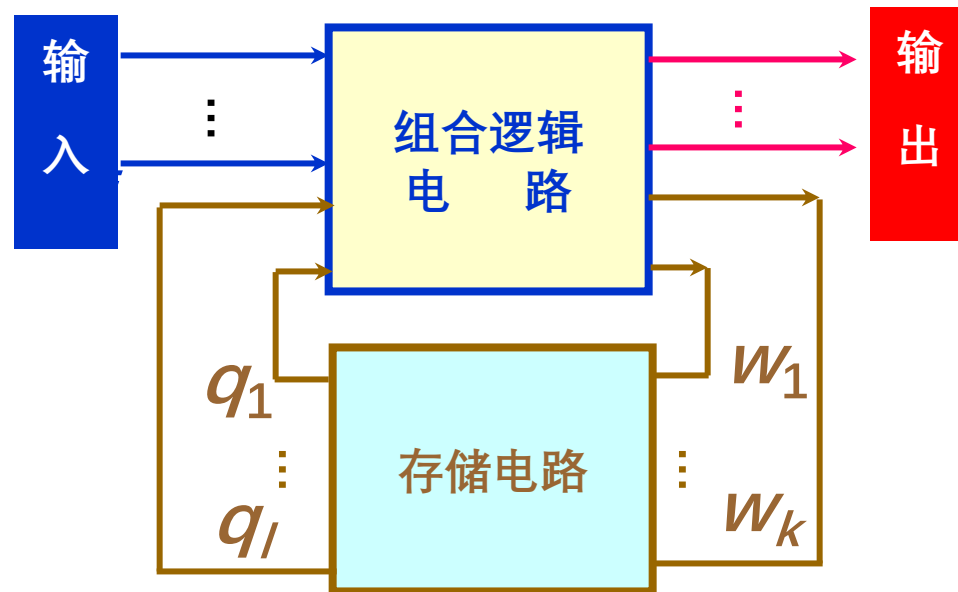
南京大学



一、时序电路的特点

1. 逻辑功能特点

任何时刻电路的输出，不仅和当前时刻的输入信号有关，而且还取决于电路原来的状态。



2. 电路组成特点

(1) 与时间因素 (CP) 有关，时刻的划分由CP的沿决定

(2) 含有记忆性的元件(触发器)。

1. 组合电路： 电路的输出只与电路的当前输入有关，
与电路的前一时刻的状态无关。

2. 时序电路：

电路在某一给定时刻的输出 { 取决于该时刻电路的输入
还取决于前一时刻电路的状态

“时刻”
由CP决定

时序电路： 组合电路 + 触发器

电路的状态与时间顺序有关

由触发器保存

一、基本要求

1. 有两个稳定的状态(0、1)，以表示存储内容；
2. 能够接收、保存和输出信号。

二、现态和次态

1. 现态： Q^n 触发器接收触发信号之前的状态。
2. 次态： Q^{n+1} 触发器接收触发信号之后的状态。

三、分类

1. 按电路结构和工作特点：基本、同步、边沿。
2. 按逻辑功能分： RS 、 JK 、 D 和 $T(T')$ 。
3. 按器件分： TTL 和 $CMOS$ ，分立和集成。

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

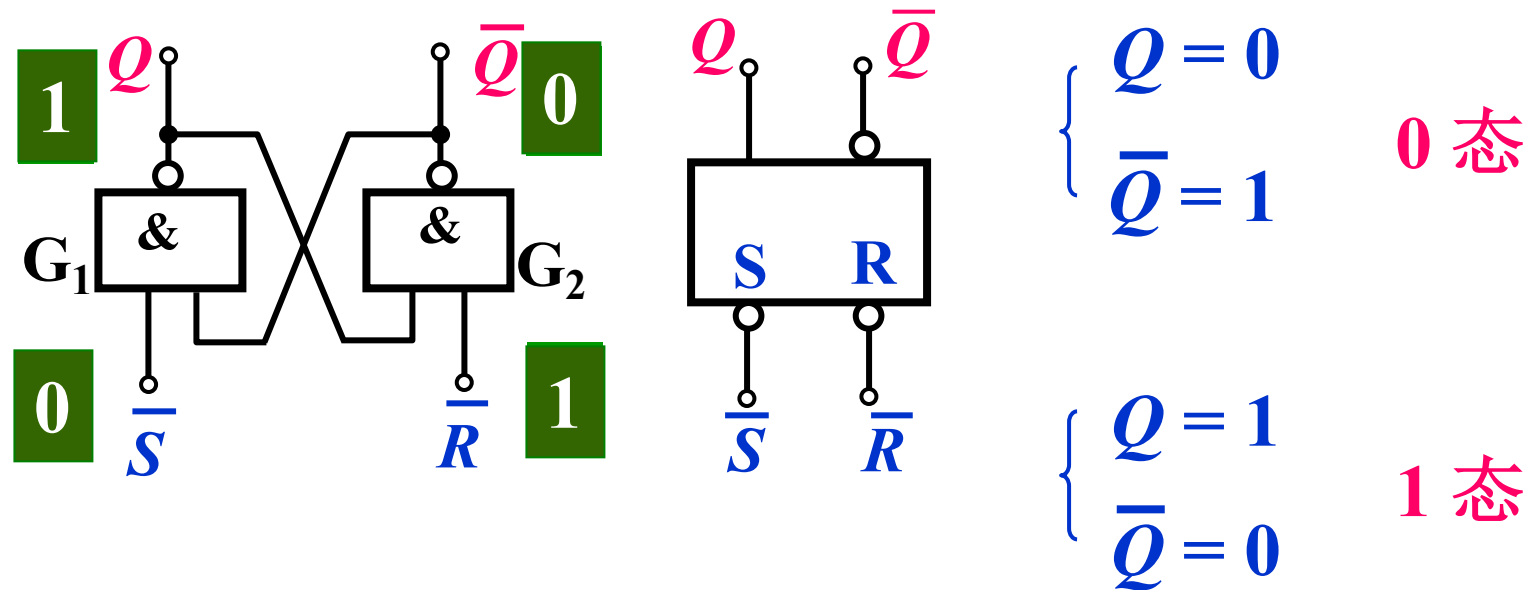
四. 触发器的电气特性

1. 静态特性
2. 动态特性

1.1 用与非门组成的基本触发器

双稳态，正反馈-触发翻转，保持。

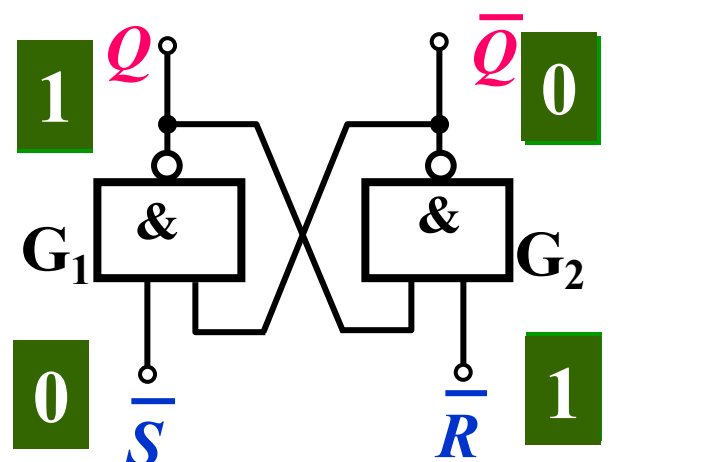
一、电路及符号



R: RESET 复位
S: SET 置位

1.1 用与非门组成的基本触发器

二、工作原理



$$Q = \overline{\overline{S} \overline{Q}}$$

$$\overline{Q} = \overline{\overline{R} \overline{Q}}$$

$\overline{S} = \overline{R} = 1 \left\{ \begin{array}{l} Q = Q \\ \overline{Q} = \overline{Q} \end{array} \right.$ “保持”

$\overline{S} = 1, \overline{R} = 0 \left\{ \begin{array}{l} Q = 0 \\ \overline{Q} = 1 \end{array} \right.$ 0 态

“置 0”或 “复位” (Reset)

$\overline{S} = 0, \overline{R} = 1 \left\{ \begin{array}{l} Q = 1 \\ \overline{Q} = 0 \end{array} \right.$ 1 态

“置 1”或 “置位” (Set)

$\overline{S} = \overline{R} = 0$ Q 和 \overline{Q} 均为 U_H

\overline{R} 先撤1: \rightarrow 1 态

\overline{S} 先撤1: \rightarrow 0 态

信号如果同时撤消: 状态不定 (随机)

1.1 用与非门组成的基本触发器

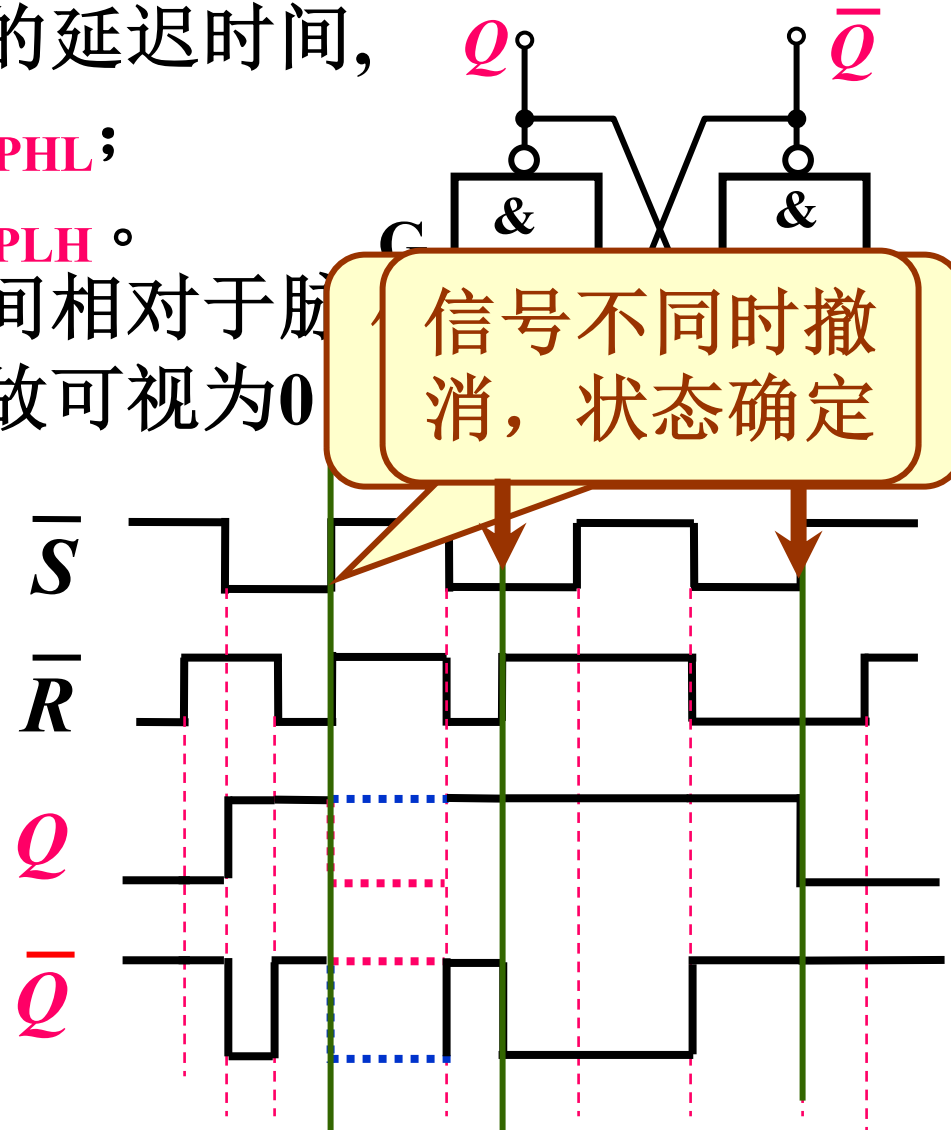
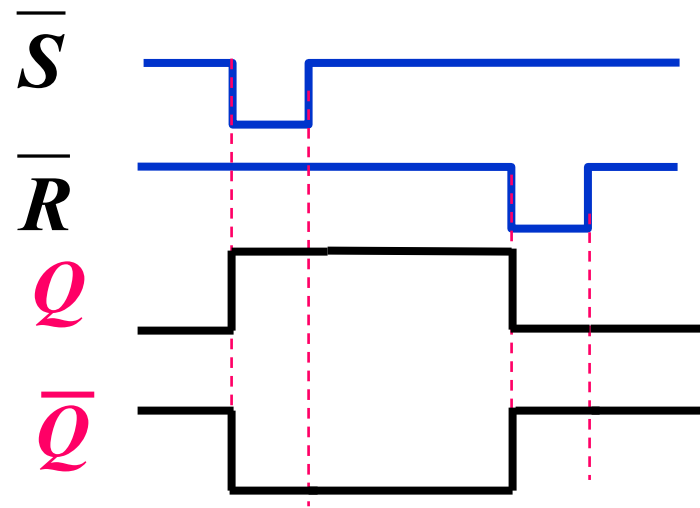
简化波形图

状态翻转过程需要一定的延迟时间，
如 $1 \rightarrow 0$ ，延迟时间为 t_{PHL} ；

$0 \rightarrow 1$ ，延迟时间为 t_{PLH} 。

由于实际中翻转延迟时间相对于脉冲的宽度和周期很小，故可视为0

设触发器初始状态为0：



三、现态、次态、特性表和特性方程

1. 现态和次态

现态 Q^n ：触发器接收触发信号之前的状态。

次态 Q^{n+1} ：触发器接收触发信号之后的新状态。

2. 特性表和特性方程

特性表

R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	不用
1	1	1	不用

简化特性表

R	S	Q^{n+1}
0	0	Q^n 保持
0	1	1 置 1
1	0	0 置 0
1	1	不用 不允许

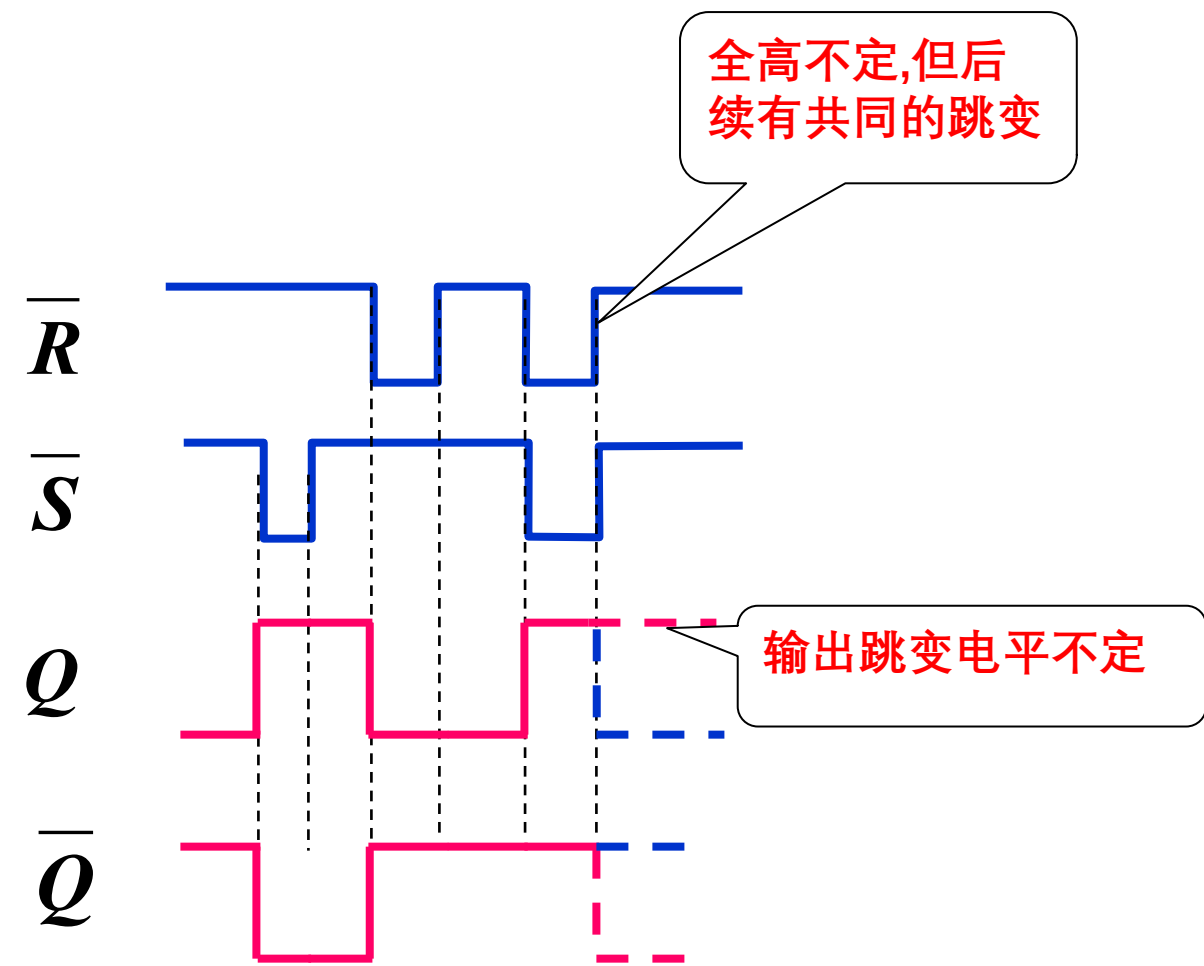
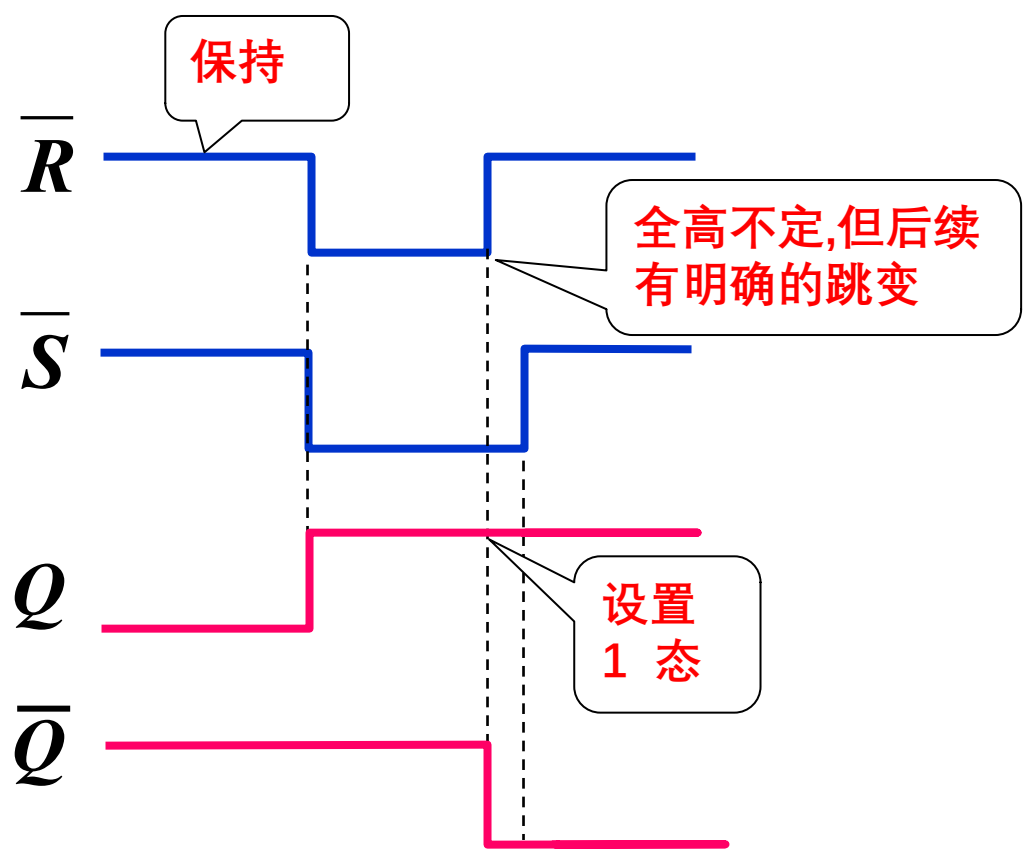
Q^{n+1} RS		00	01	11	10
Q^n	0	0	1	×	0
	1	1	1	×	0

特性方程

$$\begin{cases} Q^{n+1} = S + R\overline{Q}^n \\ RS = 0 \quad \text{约束条件} \end{cases}$$

1.1 用与非门组成的基本触发器

[例]



一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

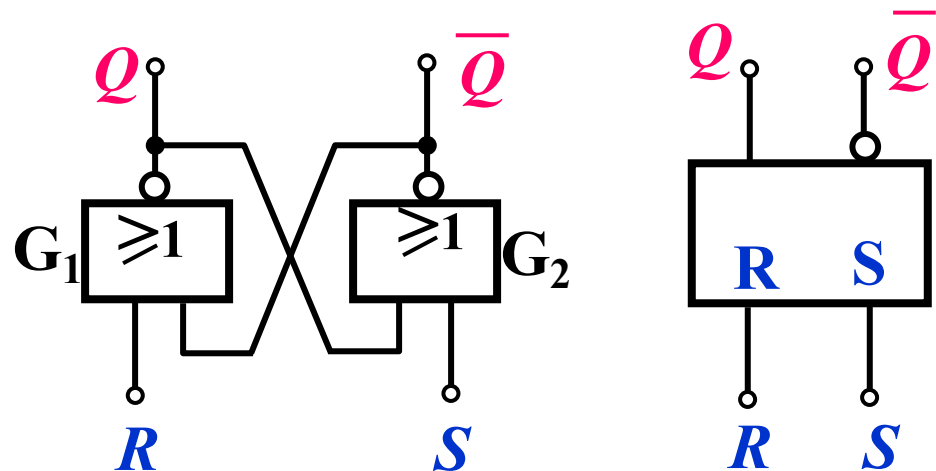
1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

1. 静态特性
2. 动态特性

1.2 用或非门组成的基本触发器

一、电路及符号



二、工作原理

$$R = S = 0$$

$$Q^{n+1} = Q^n, \overline{Q^{n+1}} = \overline{Q^n}$$

“保持”

$$R = 0, S = 1$$

$$Q^{n+1} = 1, \overline{Q^{n+1}} = 0$$

“置 1”

$$R = 1, S = 0$$

$$Q^{n+1} = 0, \overline{Q^{n+1}} = 1$$

“置 0”

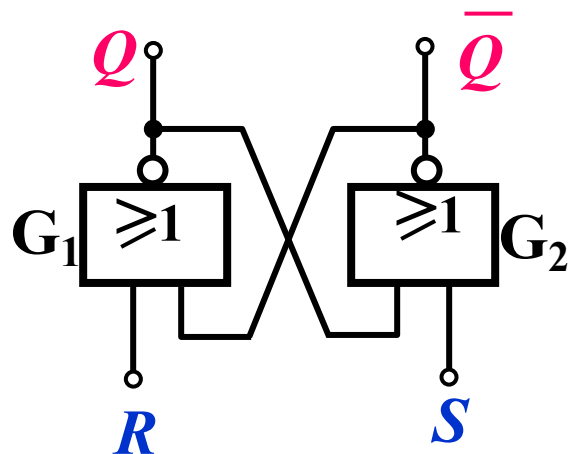
$$R = S = 1$$

$$Q^{n+1} = \overline{Q^{n+1}} = 0$$

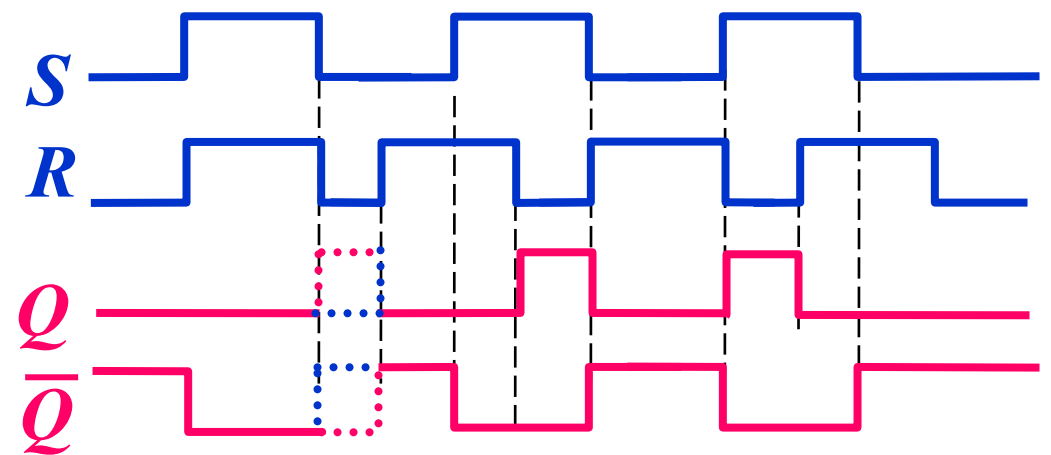
“不允许”

若高电平同时撤消，则状态不定。

1.2 用或非门组成的基本触发器



波形图



三、特性表和特性方程

$R \quad S$		Q^{n+1}	
0	0	Q^n	保持
0	1	1	置 1
1	0	0	置 0
1	1	不用	不许

$$\left\{ \begin{array}{l} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \text{ 约束条件} \end{array} \right.$$

四、基本 RS 触发器主要特点

- 1. 优点：** 结构简单，具有置 0、置 1、保持功能。
- 2. 问题：** 输入电平直接控制输出状态，使用不便，抗干扰能力差； R 、 S 之间有约束。

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

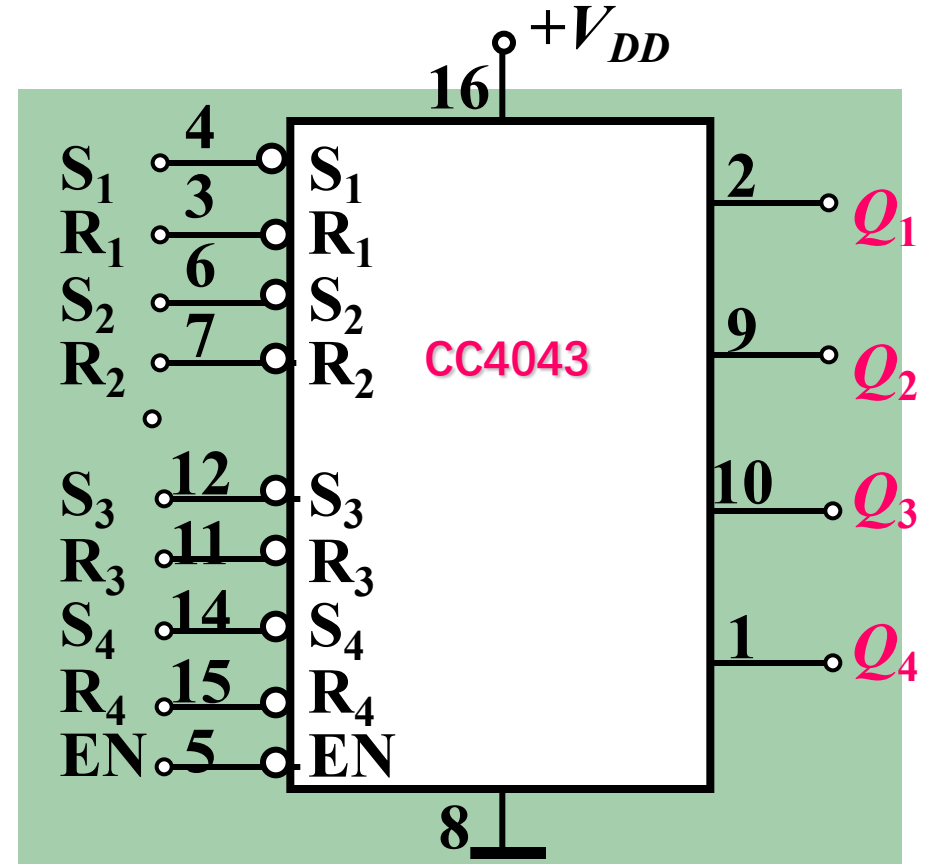
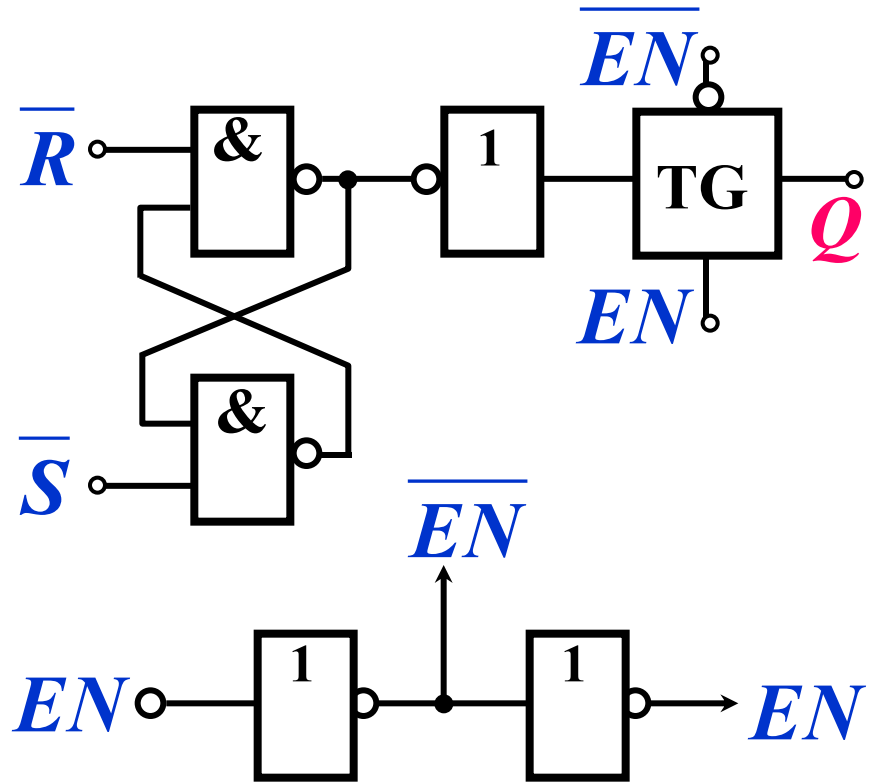
四. 触发器的电气特性

1. 静态特性
2. 动态特性

1.3 集成基本触发器

一、CMOS 集成基本触发器

1. 由与非门组成：CC4044



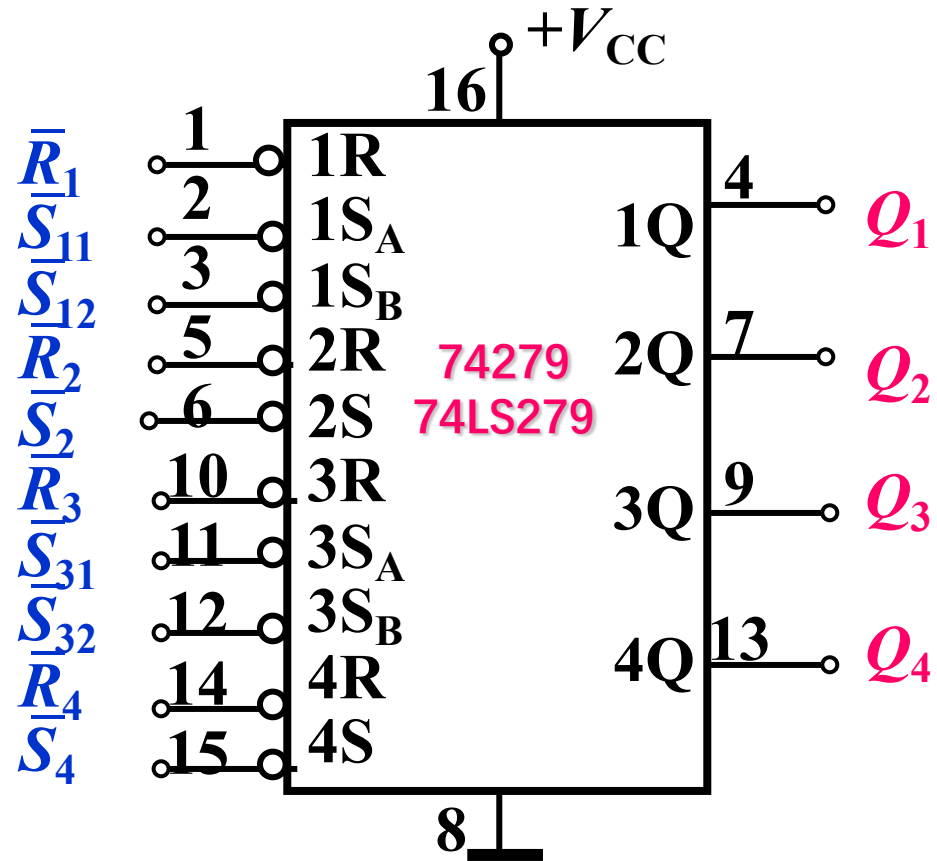
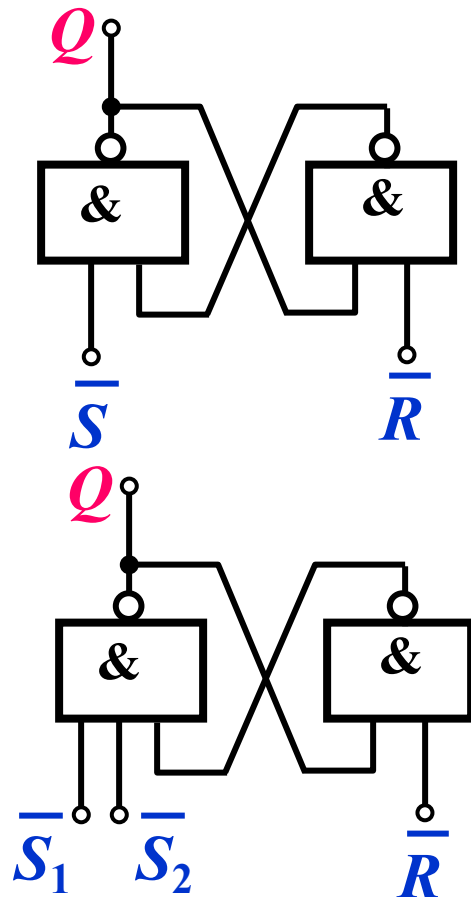
内含 4 个基本 RS 触发器

2. 由或非门组成：CC4043 (略)

1.3 集成基本触发器

二、TTL 集成基本触发器

74279、74LS279



内含 4 个基本 RS 触发器

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

1. 静态特性
2. 动态特性

2.1 同步RS触发器

基本 RS 触发器： S — 直接置位端；
 R — 直接复位端。
(不受 CP 控制)

直接置位、复位触发器：电路的抗干扰能力差，
也不便于多个触发器同时工作

同步触发器：触发器的工作状态不仅受输入端 (R 、 S)
控制，而且还受时钟脉冲(CP) 的控制。

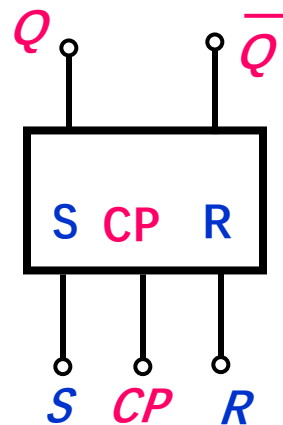
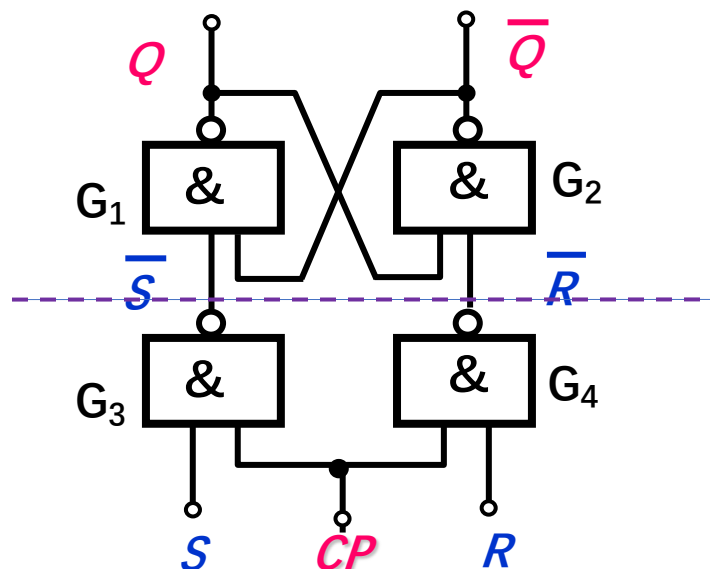
CP (Clock Pulse): 等周期、等幅的脉冲串。

同步触发器： $\left\{ \begin{array}{l} \text{同步 } RS \text{ 触发器} \\ \text{同步 } D \text{ 触发器} \end{array} \right.$

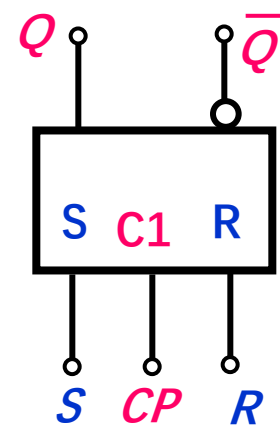
2.1 同步RS触发器

一、电路组成及工作原理

1. 电路及逻辑符号



曾用符号



国标符号

2. 工作原理

当 $CP = 0$ $\bar{S} = \bar{R} = 1$ $Q^{n+1} = Q^n$ 强制FF进入保持

当 $CP = 1$ $\overline{S \cdot CP} = \overline{S \cdot 1} = \bar{S}$ $\overline{R \cdot CP} = \overline{R \cdot 1} = \bar{R}$

与基本 RS 触发器功能相同, 开放FF.

2.1 同步RS触发器

特性表:

CP	R	S	Q^n	Q^{n+1}	注
0	×	×	×	Q^n	保持
1	0	0	0	0	保持
1	0	0	1	1	
1	0	1	0	1	置1
1	0	1	1	1	
1	1	0	0	0	置0
1	1	0	1	0	
1	1	1	0	不用	不许
1	1	1	1	不用	

Q^{n+1} 与 R 、 S 和 Q^n 的真值表, 又称为状态转换表.
对次态卡诺图化简, 可得出锁存器次态 Q^{n+1} 的逻辑表达式, 也称为次态方程或特征方程

特性方程:

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \quad \text{约束条件} \end{cases}$$

$CP = 1$ 期间有效

二、主要特点

1. 时钟电平控制

$CP = 1$ 期间接受输入信号;

$CP = 0$ 期间输出保持不变。

- 多个触发器可以在同一个时钟脉冲控制下同步工作, 使用方便
- 抗干扰能力有所增强

2. RS 之间有约束

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

1. 静态特性
2. 动态特性

2.2 同步D触发器

一、电路组成及工作原理

$$S = D, R = \overline{D} \quad (CP = 1 \text{ 期间有效})$$

$$\begin{aligned} Q^{n+1} &= S + \overline{R}Q^n \\ &= D + DQ^n = D \end{aligned}$$

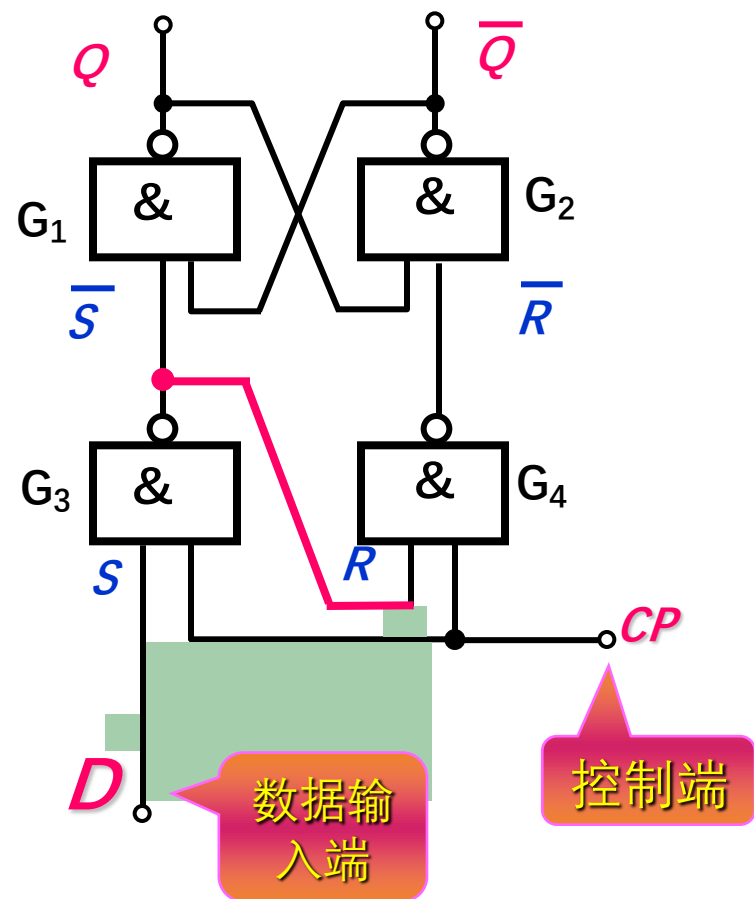
简化电路：省掉反相器。

二、主要特点

1. 时钟电平控制，无约束问题；

2. $CP = 1$ 时跟随 ($Q^{n+1} = D$)
(同步触发器的“空翻”现象)

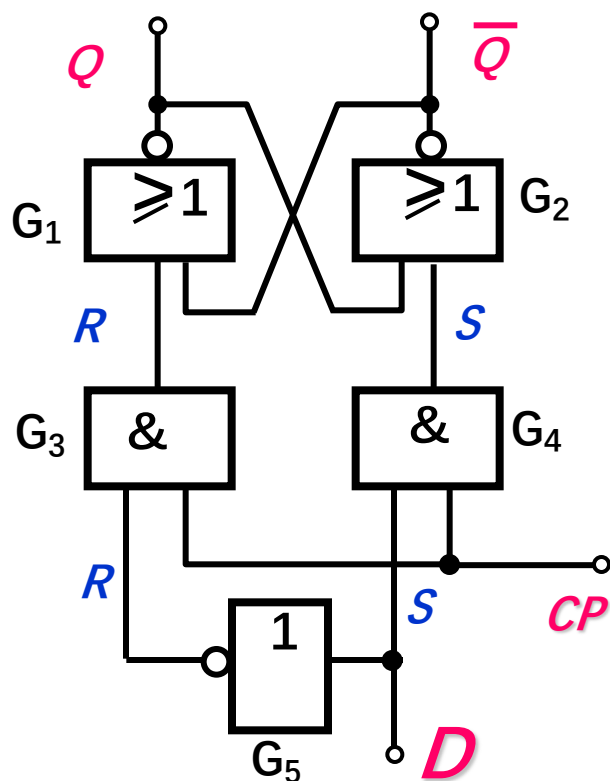
CP 下降沿到来时锁存 ($Q^{n+1} = Q^n$)
(锁存的是 CP 下降沿瞬间 D 的值)



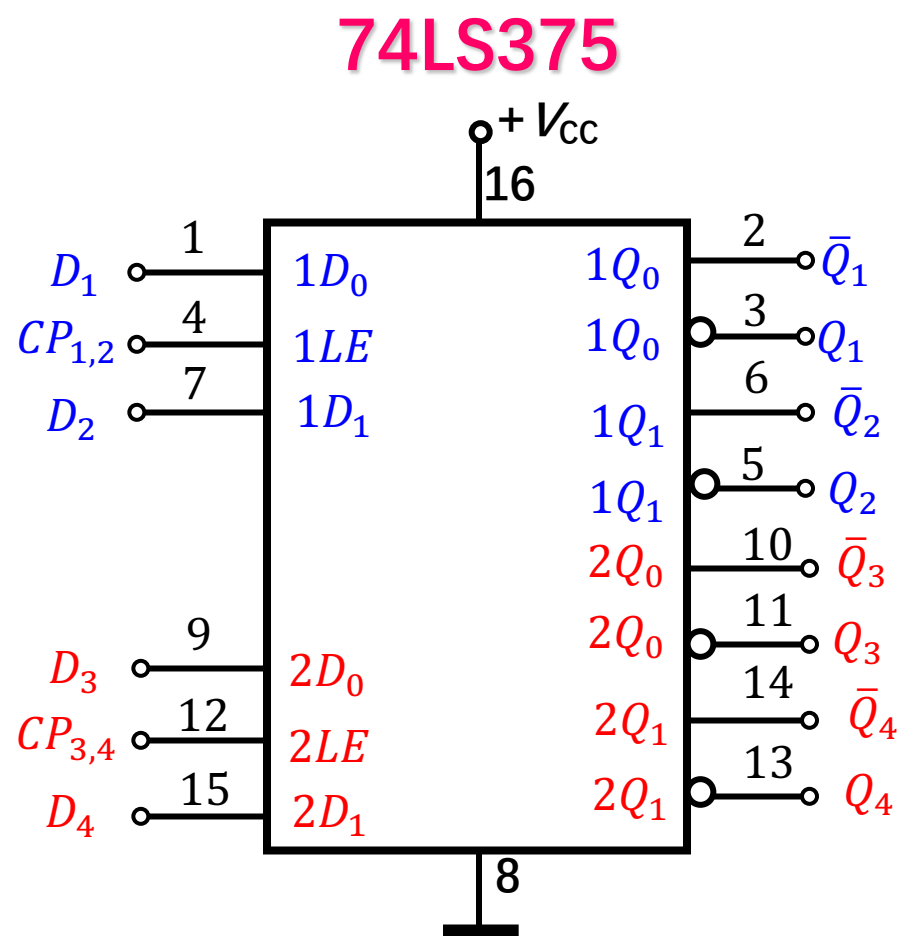
2.2 同步D触发器

三、集成同步 D 触发器

1. TTL 74LS375



$$Q^{n+1} = S + \overline{R}Q^n = D + DQ^n = D$$



4位D-触发锁存器

2. CMOS: CC4042, 利用传输门实现控制

CC4042为时钟控制，锁存D型触发器，逻辑单元相当于主-从型D型触发器中的其中一级触发器，因此数据从D端送到输出端Q只要一个电平就可以了。

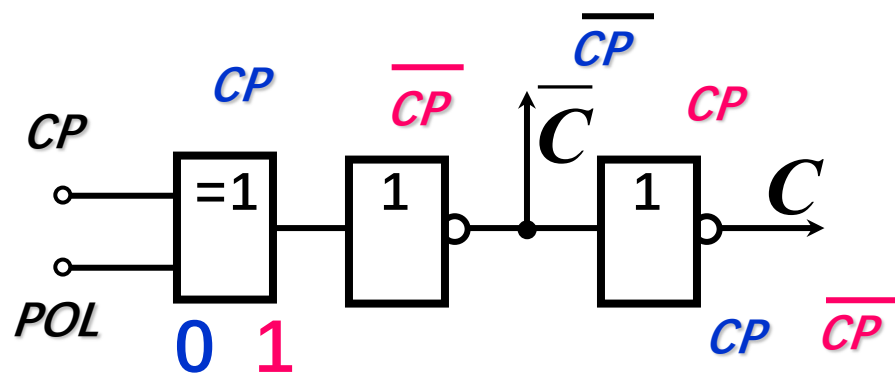
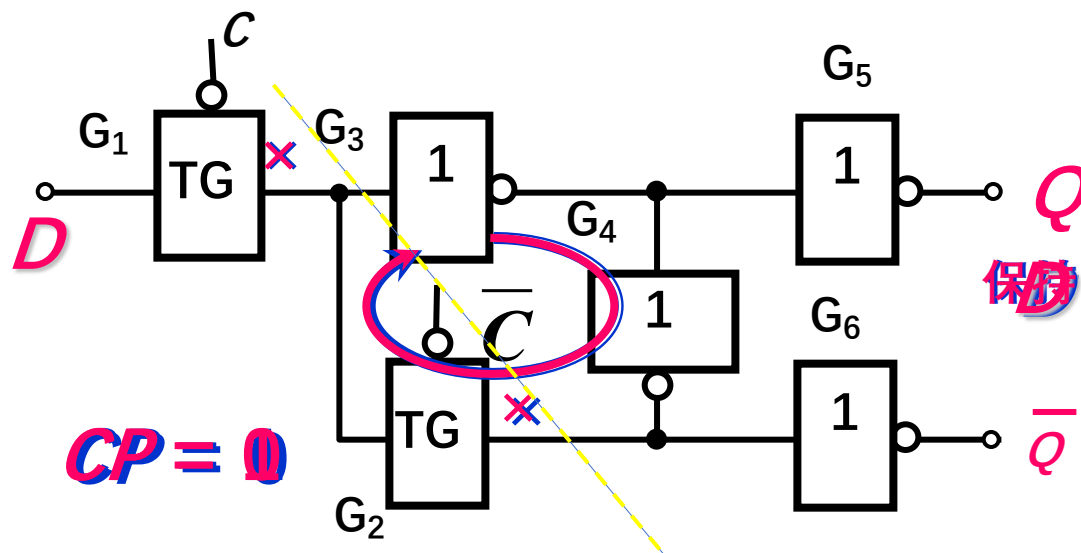
当锁存器内部时钟为“L”低电平时传送数据，为“H”高电平时锁存数据。

对于一个完整的四D锁存器，锁存器的时钟端CP和极性控制端POL经异或门后作为锁存器的内部时钟，因此，存入数据的条件发生在时钟CP和极性POL同相时，异相时位锁存。

2.2 同步D触发器

2. CMOS: CC4042, 利用传输门实现控制

CP通过控制C，来完成TG的控制，实现触发、保持。

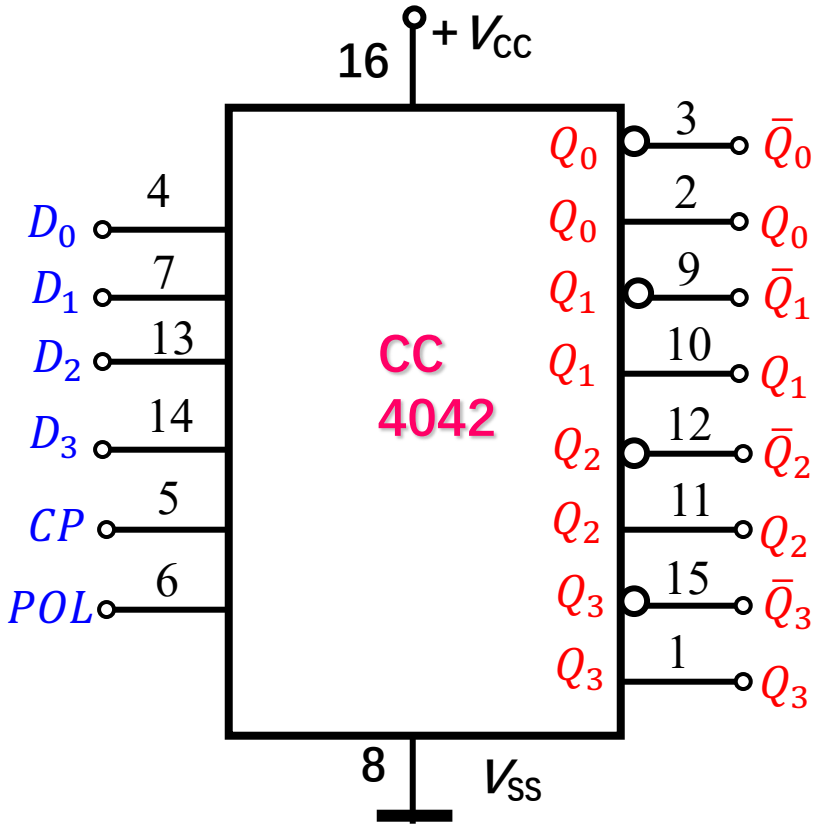


当 $POL=1$
 CP 下降沿锁存信号

当 $POL=0$
 CP 上升沿锁存信号

通过异或门, $pol=1$, cp 反码传输, $Pol=0$, cp 原码传输

2.2 同步D触发器



特性表

<i>D</i>	<i>CP</i>	<i>POL</i>	<i>Qⁿ</i>	<i>Qⁿ⁺¹</i>	注
×	0	1	0	0	保持
×	0	1	1	1	
0	1	1	×	0	接收
1	1	1	×	1	
0	0	0	×	0	接收
1	0	0	×	1	
×	1	0	0	0	保持
×	1	0	1	1	

真值表

<i>D</i>	<i>CP</i>	<i>POL</i>	<i>Q</i>	注
<i>D</i>	0	0	<i>D</i>	接 收
<i>D</i>	↑	0	锁存	<i>CP</i> 上升沿锁存
<i>D</i>	1	1	<i>D</i>	接 收
<i>D</i>	↓	1	锁存	<i>CP</i> 下降沿锁存

2. 同步触发器

电平触发方式的动作特点

只有当 C_p 变为有效电平时，触发器才能接受输入信号，并按照输入信号将触发器的输出置成相应的状态。

在 $C_p=1$ 的全部时间里 S 和 R 的变化都将引起触发器输出端状态的变化。

如果 $C_p=1$ 期间内输入信号多次发生变化，

则触发器的状态也会发生多次翻转，

这降低了电路的抗干扰能力。

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

1. 静态特性
2. 动态特性

3. 边沿触发器

时钟控制触发器的触发方式及存在问题

时钟控制触发器在 $CP=1$ 期间，输入信号都能影响锁存器的输出状态，这种触发方式称为电平触发方式。

这种触发器在一个 CP 脉冲期间，只要输入信号发生多次变化，触发器就有可能发生多次翻转，降低了触发器的可靠性。

3. 边沿触发器

电平触发方式的动作特点

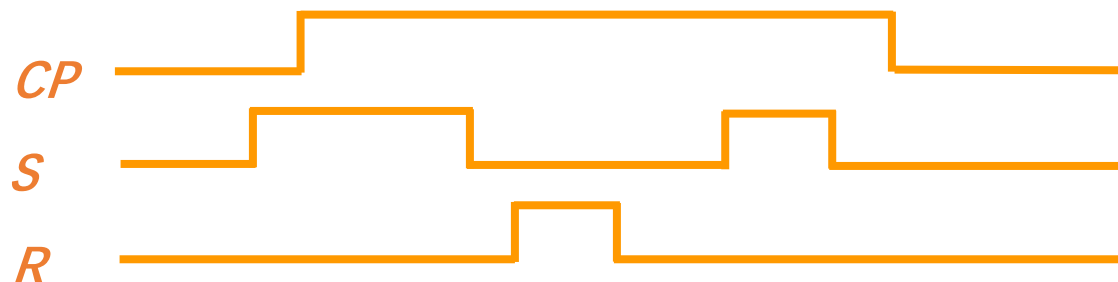
只有当 CP 变为有效电平时，触发器才能接受输入信号，并按照输入信号将触发器的输出置成相应的状态。

在 $CP=1$ 的全部时间里 S 和 R 的变化都将引起触发器输出端状态的变化。

如果 $CP=1$ 期间内输入信号多次发生变化，
则触发器的状态也会发生多次翻转，
这降低了电路的抗干扰能力。

3. 边沿触发器

[例]在时钟控制 RS 触发器中，若已知 CP 、 R 、 S 的波形，试画出 Q 端的波形（假设触发器的初始状态为0）。



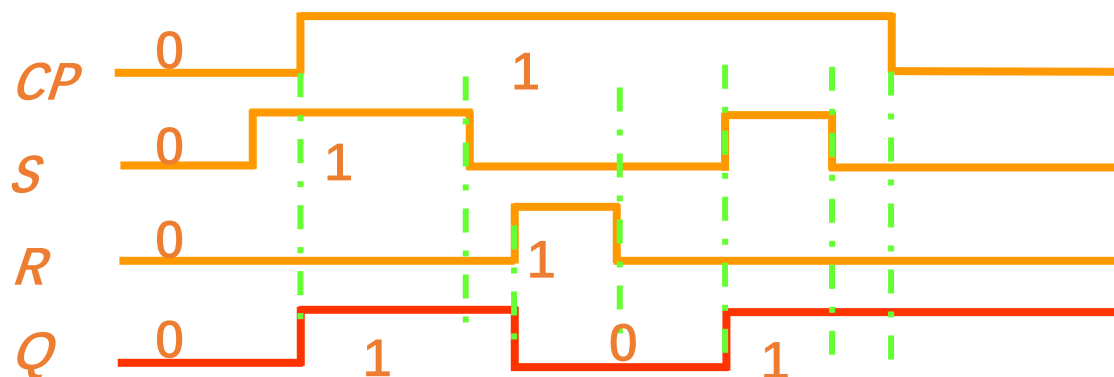
[解] 由时钟控制 RS 触发器的逻辑功能知：

$CP=0$ 时，触发器保持原状 $Q = 0$ ；

$CP=1$ 时，触发器的状态由 R 和 S 决定。

3. 边沿触发器

Q 端的波形



由图可见，在一个 CP 脉冲期间，触发器发生三次翻转。

在数字电路中，为保证电路稳定可靠地工作，一般要求存储单元电路在一个 CP 脉冲周期内只能动作一次。

人们在钟控 RS 触发器的基础上设计出了各种触发器。它们的状态只在时钟脉冲上升沿或下降沿发生变化，从而保证了触发器的状态在一个时钟周期内只变化一次。

3. 边沿触发器

为了提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于 CP 信号的下沿（或上升沿）到达时刻输入信号的状态。而在此之前和之后输入状态的变化对触发器的次态没有影响。

为实现这一设想，人们相继研制成了各种边沿触发的触发器电路。

目前已用于数字集成电路产品中的边沿触发器电路有用两个电平触发 D 触发器构成的边沿触发器、维持阻塞触发器、利用门电路传输延迟时间的边沿触发器等几种较为常见的电路结构形式。

3. 边沿触发器

我们把存储单元电路按照触发方式的电路结构的不同细分为：**锁存器(LATCH)** 和 **触发器(FF)**。

锁存器可分为：基本锁存器、时钟控制锁存器。

触发器的分类:

1) 根据控制方式不同，即信号的输入方式以及触发器状态随输入信号变化的规律不同，触发器可分为主从触发器和边沿触发器。

2) 根据逻辑功能的不同，触发器又可分为 *D* 触发器、*JK* 触发器、*T* 触发器和 *RS* 触发器等几种类型。

2. 同步触发器

锁存器

锁存器 (latch) --- 对脉冲电平敏感，在时钟脉冲的电平作用下改变状态

锁存器是电平触发的存储单元，数据存储的动作取决于输入时钟（或者使能）信号的电平值，仅当锁存器处于使能状态时，输出才会随着数据输入发生变化。

锁存器不同于触发器，它在不锁存数据时，输出端的信号随输入信号变化，就像信号通过一个缓冲器一样；一旦锁存信号起锁存作用，则数据被锁住，输入信号不起作用。锁存器也称为透明锁存器，指的是不锁存时输出对于输入是透明的。

锁存器的缺点：容易产生毛刺, 时序分析较困难

3. 边沿触发器

锁存器与触发器的区别为：

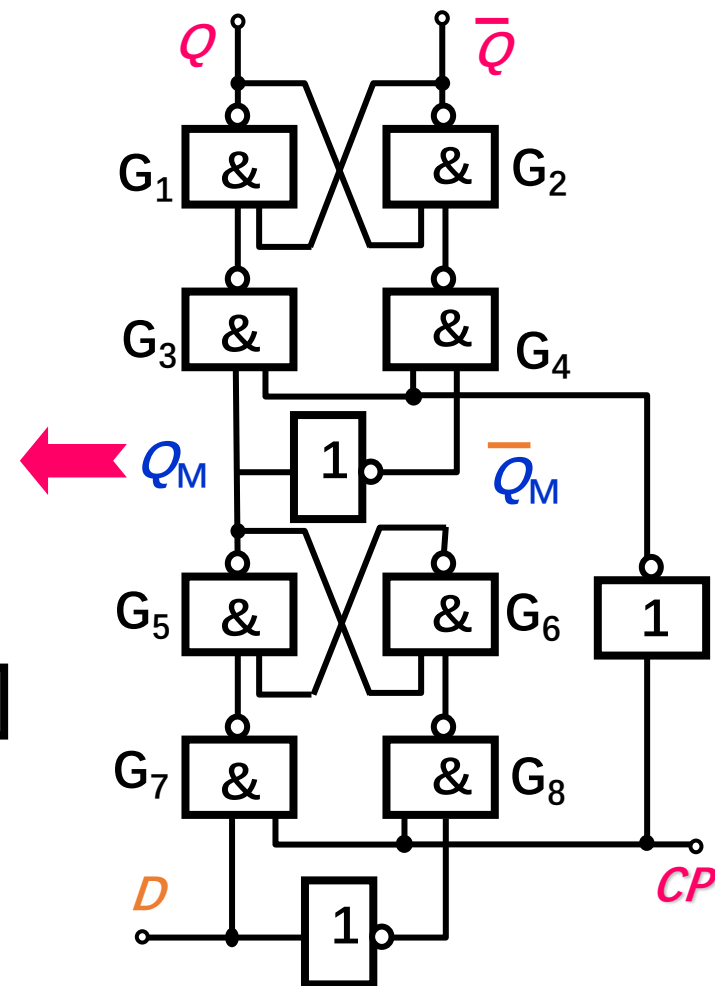
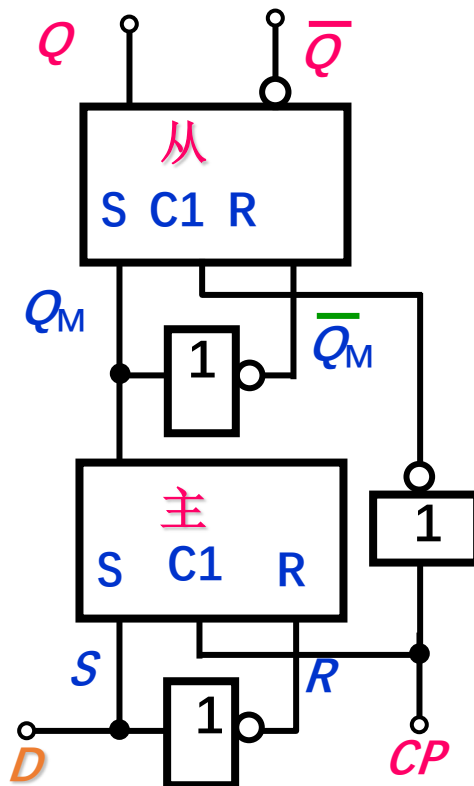
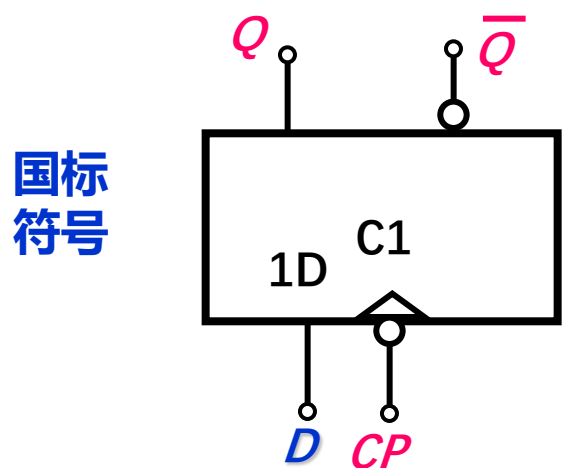
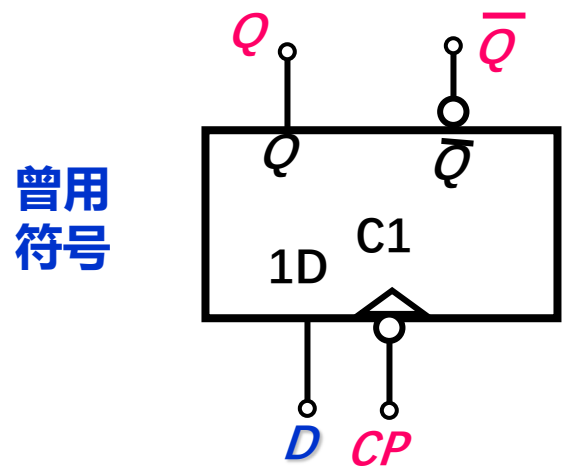
锁存器是利用电平控制数据的输入，它包括不带控制信号的锁存器（其输入电平直接影响输出）和带控制信号的锁存器（仅当控制信号输入有效时，其输入电平才影响输出）。

触发器则是利用脉冲边沿控制数据的输入。

3.1 边沿D触发器

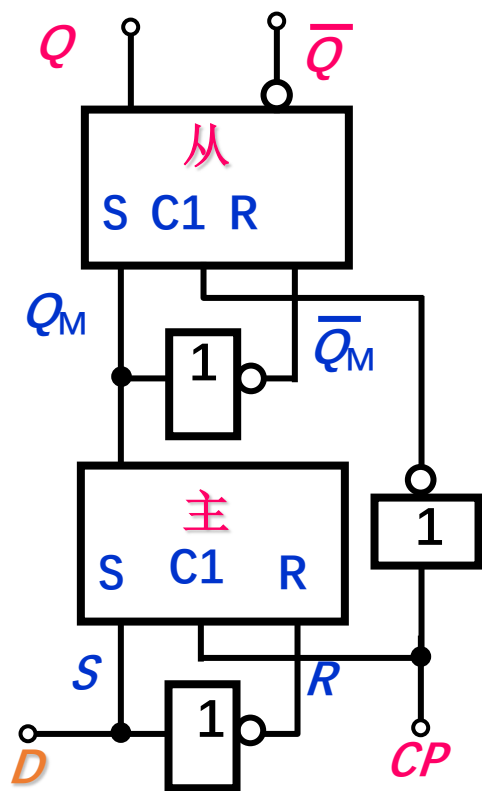
一、电路组成及工作原理

1. 电路组成及逻辑符号



3.1 边沿D触发器

2. 工作原理



(1)接收信号:

$$CP = 1$$

主触发器接收输入信号

$Q_M^{n+1} = D$ 主触发器跟随 D 变化

(2) 输出信号:

$$CP = 0$$

主触发器保持不变；

从触发器由 CP 到来之前的

Q_M^n 确定。

即: $Q^{n+1} = D$ 下降沿时刻有效

先有时钟沿到来，后有Q的状态转换。

3.1 边沿D触发器

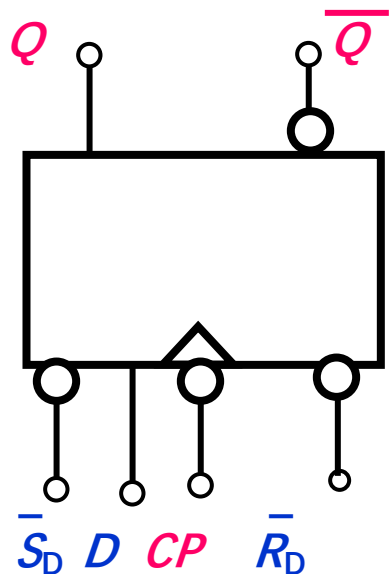
3. 异步输入端的作用

D — 同步输入端

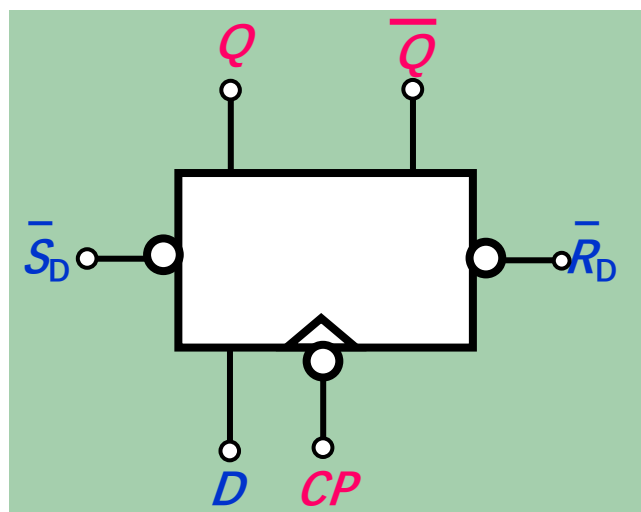
受时钟 CP 同步控制

\bar{R}_D, \bar{S}_D — 异步输入端

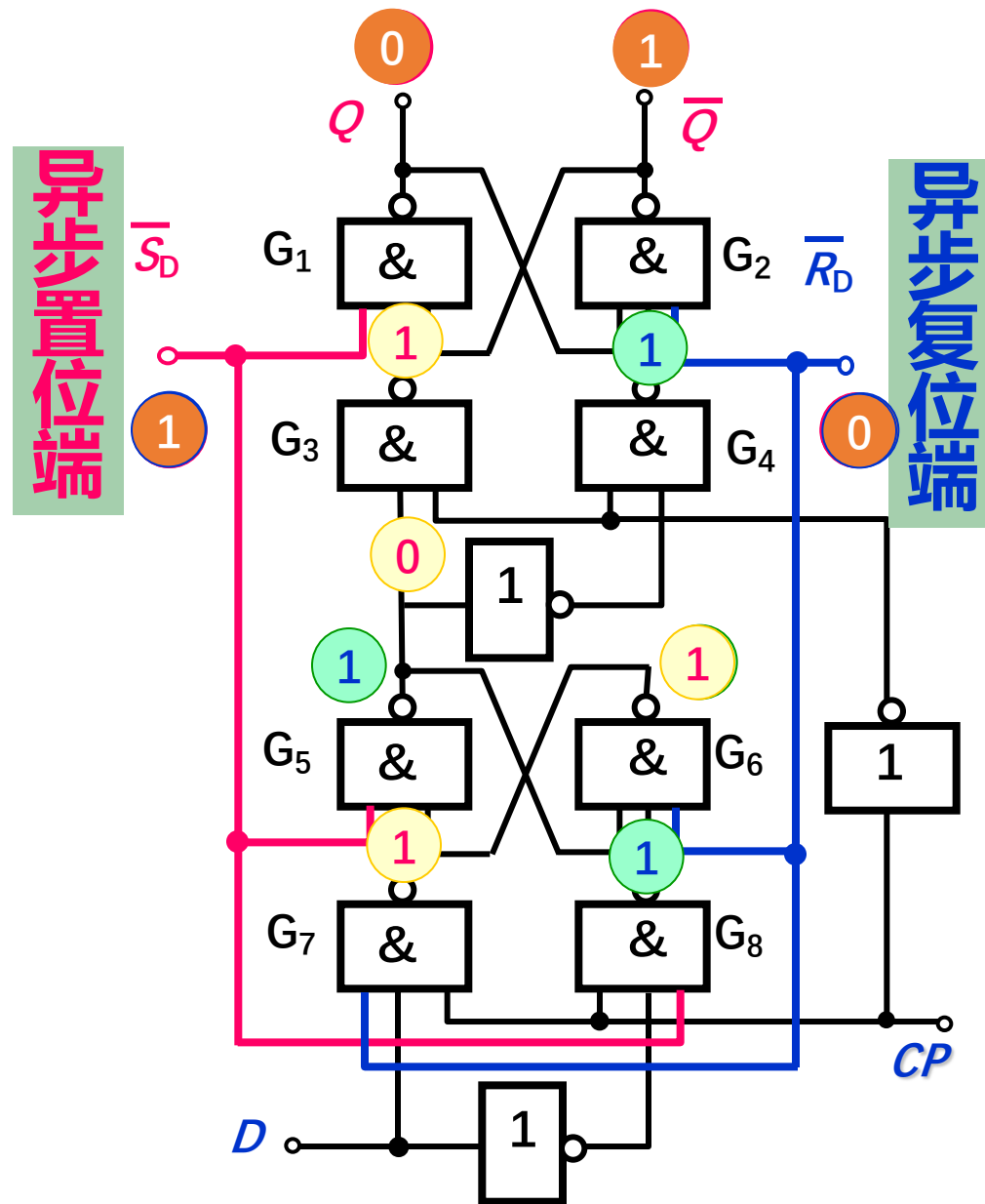
不受时钟 CP 控制



国标符号

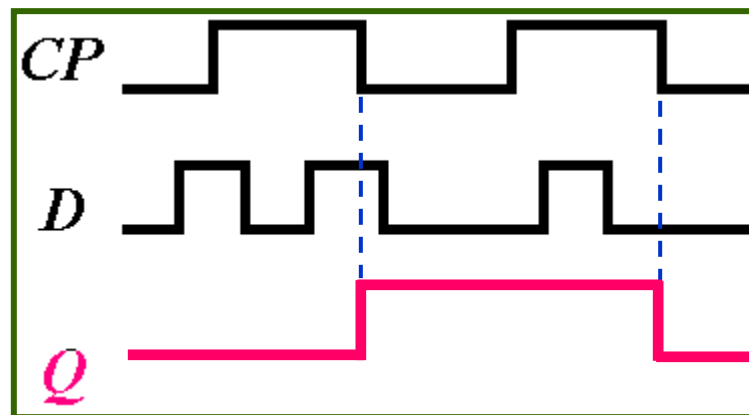
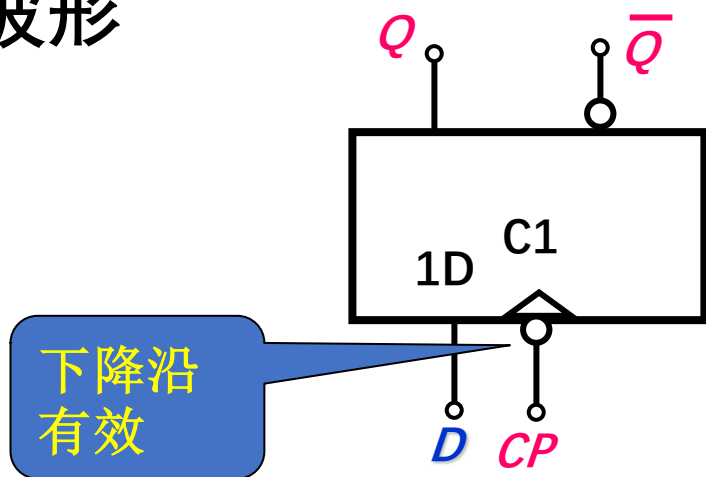


曾用符号

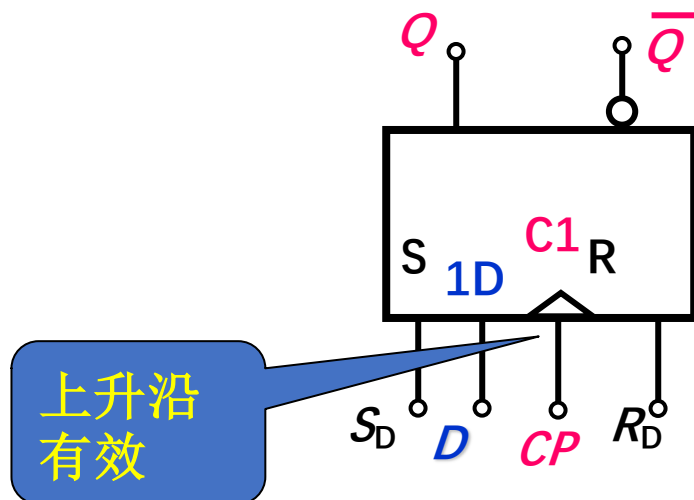


3.1 边沿D触发器

4. 波形



触发器的初始 0 状态可利用**异步复位端**接低电平实现



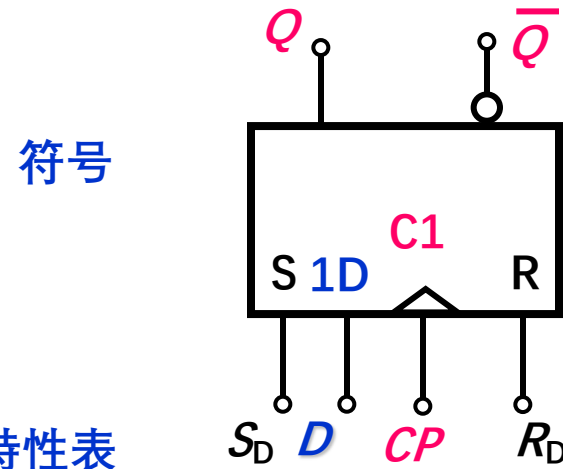
异步输入端就是预置触发器初始状态，或者在工作过程中强行置位和复位触发器用的

3.1 边沿D触发器

二、集成边沿D触发器

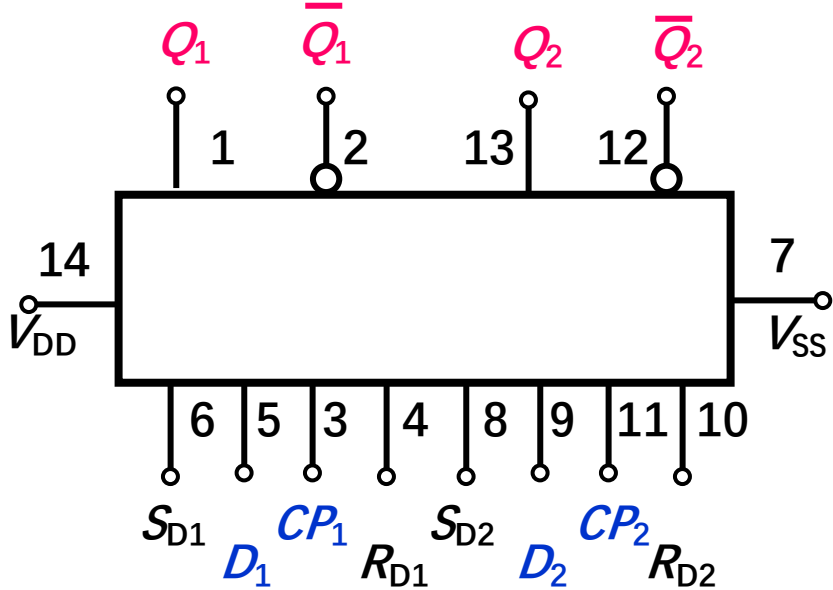
1. CMOS 边沿 D 触发器

CC4013 (双 D 触发器)



特性表

CP	D	R _D	S _D	Q ⁿ⁺¹	注
↑	0	0	0	0	同步跟随置0
↑	1	0	0	1	同步跟随置1
↓	x	0	0	Q ⁿ	保持(↓无效)
x	x	0	1	1	异步置1
x	x	1	0	0	异步置0
x	x	1	1	不用	不允许

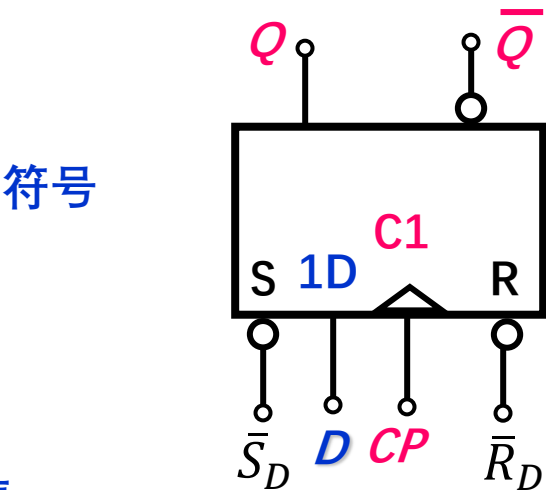


CP 上升沿触发

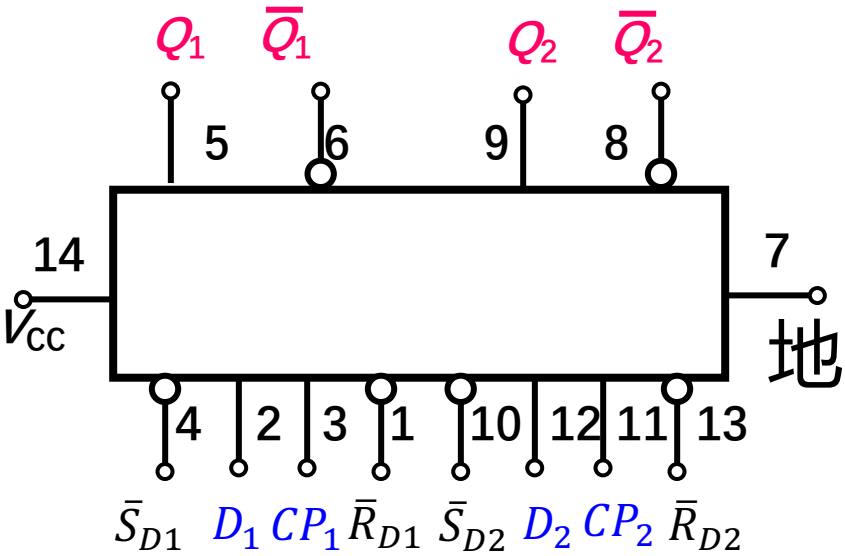
R_D, S_D的作用是给Q预置，然后利用R_D=0, S_D=0,将预置保持

3.1 边沿D触发器

2. TTL 边沿 D 触发器 7474 (双 D 触发器)



引出端
功能



特性表

CP	D	\bar{R}_D	\bar{S}_D	Q^{n+1}	注
\uparrow	0	1	1	0	同步置0
\uparrow	1	1	1	1	同步置1
\downarrow	\times	1	1	Q^n	保持(\downarrow 无效)
\times	\times	0	1	0	异步置0
\times	\times	1	0	1	异步置1
\times	\times	1	1	不用	不允许

- ### 3. 主要特点
- ① CP 的上升沿(正边沿)或下降沿(负边沿)触发;
 - ② 抗干扰能力极强;
 - ③ 有置 1、置 0 功能。

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

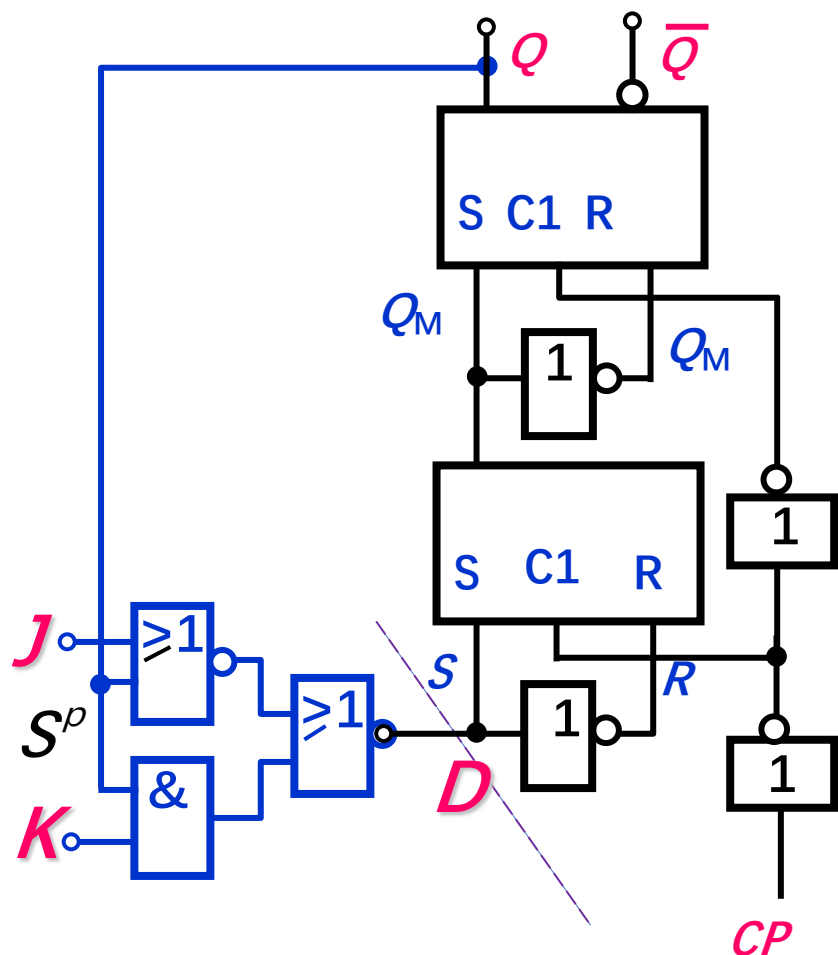
四. 触发器的电气特性

1. 静态特性
2. 动态特性

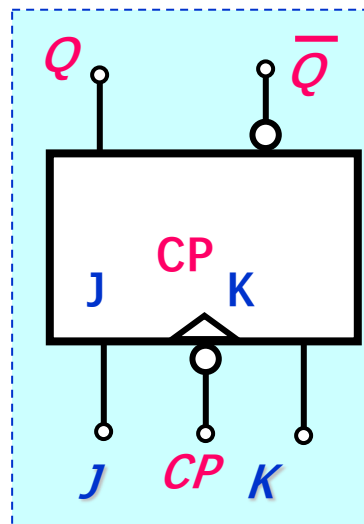
3.2 边沿JK触发器

4.3.2 边沿 JK 触发器

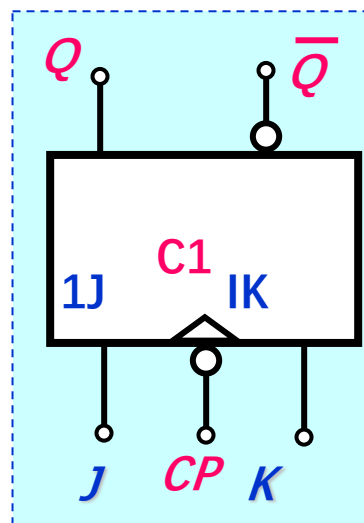
一、电路组成及符号



曾用符号



国标符号



二、工作原理

$$\begin{aligned} Q^{n+1} &= D \\ &= \overline{J + Q^n + KQ^n} \\ &= (J + Q^n)(\bar{K} + \bar{Q}^n) \end{aligned}$$

冗余项 $J\bar{Q}^n + \bar{K}Q^n$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

CP 上升沿有效

3.2 边沿JK触发器

特性表

J	K	Q^n	R_D	S_D	CP	Q^{n+1}	注
0	0	0	0	0	↑	0	保持
0	0	1	0	0	↑	1	
0	1	0	0	0	↑	0	同步置0
0	1	1	0	0	↑	0	
1	0	0	0	0	↑	1	同步置1
1	0	1	0	0	↑	1	
1	1	0	0	0	↑	1	翻转
1	1	1	0	0	↑	0	
×	×	0	0	0	↓	0	不变
×	×	1	0	0	↓	1	
×	×	×	0	1	×	1	异步置1 异步置0 不允许
×	×	×	1	0	×	0	
×	×	×	1	1	×	不用	

J, K
的作用，
动态
同步
置零，
置一。

3.2 边沿JK触发器

2. TTL 边沿 JK 触发器 74LS112 (双 JK 触发器)

- CP 下降沿触发
- 异步复位端 \overline{R}_D 、异步置位端 \overline{S}_D 均为低电平有效

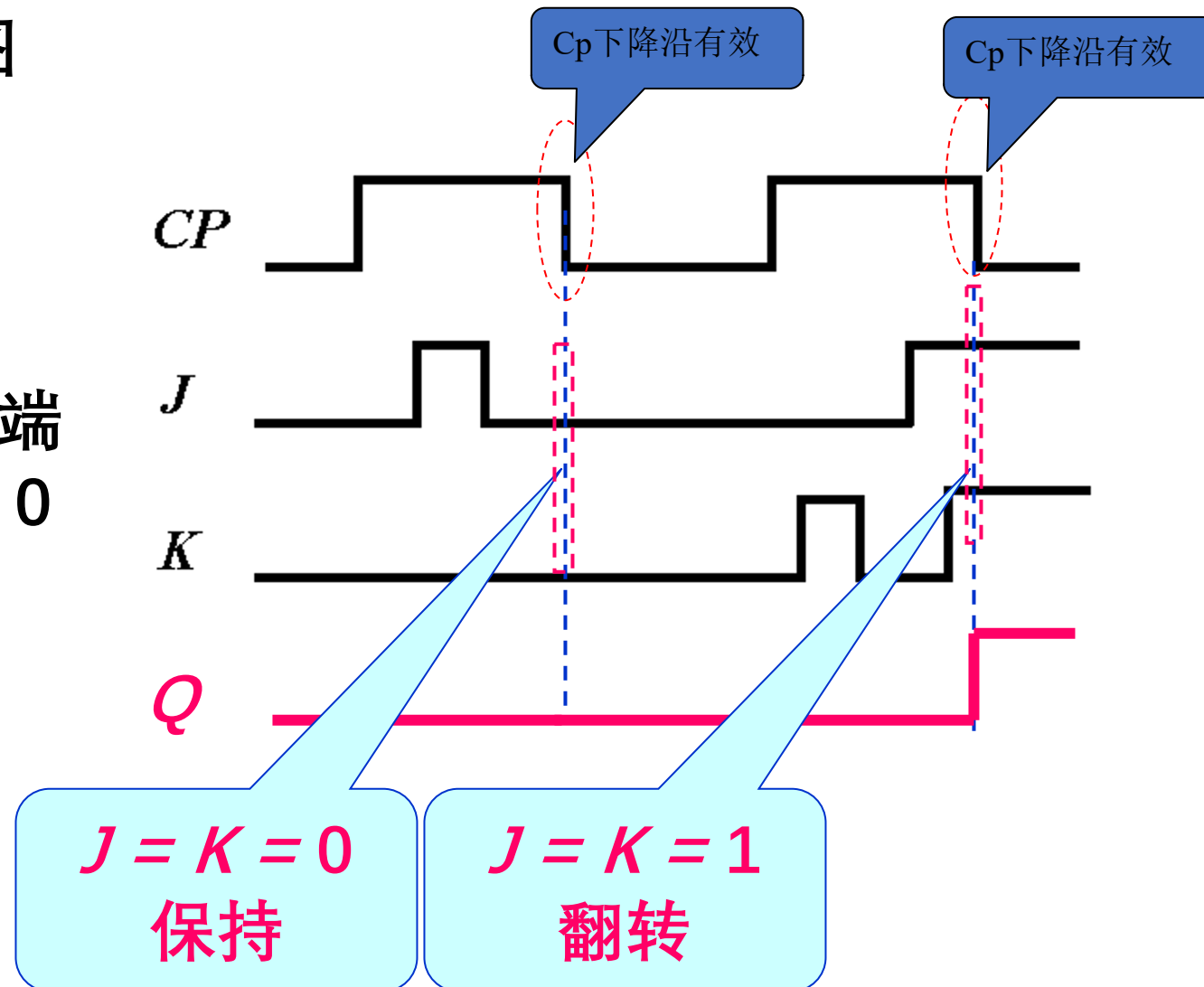
3. 主要特点

- ① CP 的上升沿或下降沿触发；
- ② 抗干扰能力极强，工作速度很高，在触发沿瞬间，按 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 的规定更新状态；
- ③ 功能齐全(保持、置 1、置 0、翻转)，使用方便。

3.2 边沿JK触发器

4. 波形图

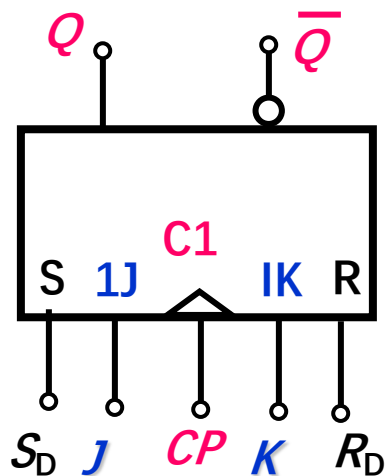
设输出端
初态为 0



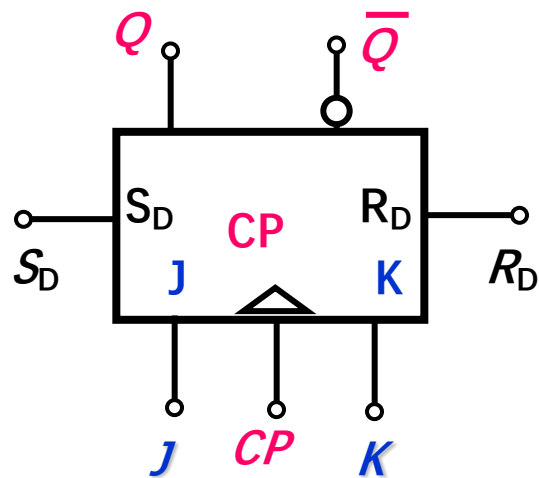
3.2 边沿JK触发器

4. CMOS 边沿 JK 触发器

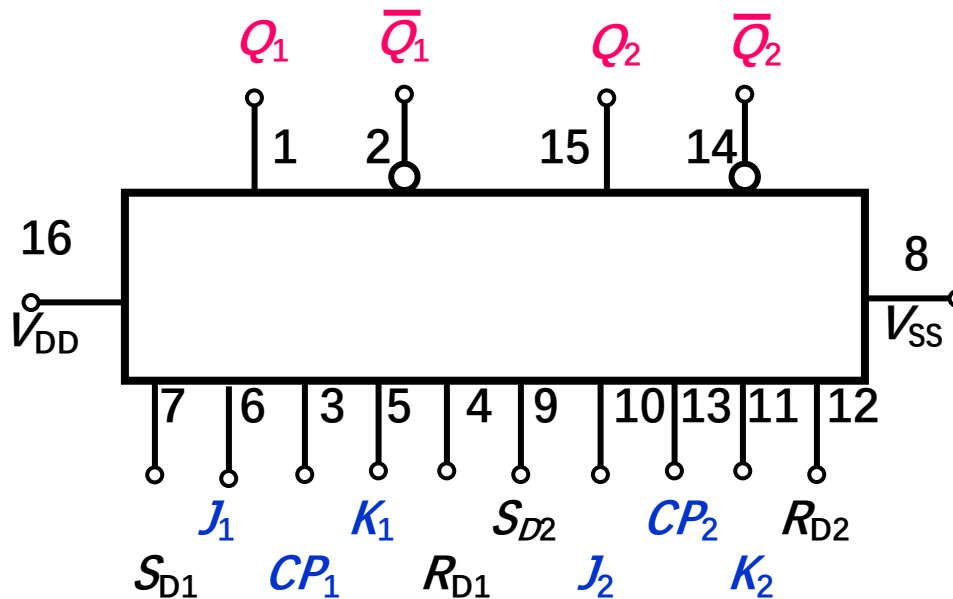
国标符号



曾用符号



CC4027



引出端功能

CP 上升沿 时刻有效

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

1. 静态特性
2. 动态特性

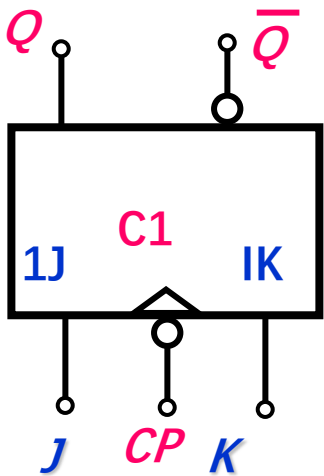
3.3 边沿触发器功能分类、功能表示方法及转换

一、边沿触发器功能分类

1. JK型触发器

定义 在CP作用下，J、K取值不同时，具有保持、置0、置1、翻转功能的电路，都叫做JK型时钟触发器。

符号



特性表

J	K	Q^{n+1}	功能
0	0	Q^n	保持
0	1	0	置0
1	0	1	置1
1	1	\overline{Q}^n	翻转

特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

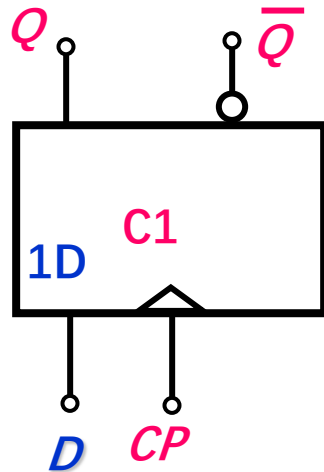
CP下降沿 时刻有效

3.3 边沿触发器功能分类、功能表示方法及转换

2. D 型触发器

定义 在 CP 沿的作用下， D 取值不同时，具有置0、置1功能的电路，都叫做 D 型时钟触发器。

符号



特性表

D	Q^{n+1}	功能
0	0	置 0
1	1	置 1

特性方程

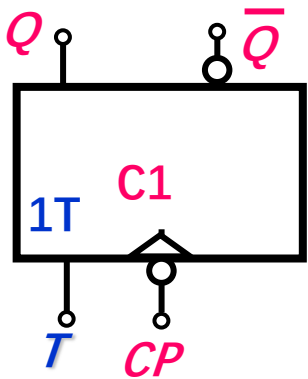
$$Q^{n+1} = D$$

CP 上升沿 时刻有效

3.3 边沿触发器功能分类、功能表示方法及转换

3. *T*型触发器 $J=K=T$ 后

在*CP*作用下，当*T* = 0时保持状态不变，*T* = 1 时状态翻转的电路，叫*T*型时钟触发器。



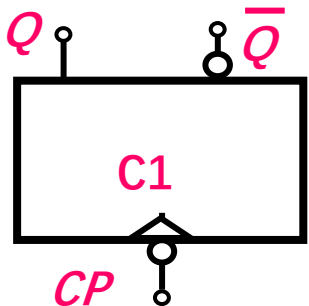
<i>T</i>	Q^{n+1}	功能
0	Q^n	保持
1	$\overline{Q^n}$	翻转

$$\begin{aligned} Q^{n+1} &= T\overline{Q^n} + \overline{T}Q^n \\ &= T \oplus Q^n \end{aligned}$$

CP 下降沿时刻有效

4. *T'*型触发器 在 *T* = 1后 $Q^{n+1} = 1\overline{Q^n} + 0Q^n = \overline{Q^n}$

每来一个*CP*，就翻转一次电平，这个电路叫*T'*型时钟触发器。



Q^n	Q^{n+1}	功能
0	1	翻转
1	0	

$$Q^{n+1} = \overline{Q^n}$$

CP 下降沿时刻有效

3.3 边沿触发器功能分类、功能表示方法及转换

二、边沿触发器逻辑功能表示方法

特性表、卡诺图、特性方程、状态图和时序图。

1. 特性表、卡诺图、特性方程

(1) 特性表(真值表)

D	Q^{n+1}	功能
0	0	置 0
1	1	置 1

J	K	Q^n	Q^{n+1}	功能
0	0	0	Q^n	保持
0	0	1		
0	1	0	0	置 0
0	1	1		
1	0	0	1	置 1
1	0	1		
1	1	0	$\overline{Q^n}$	翻转
1	1	1		

3.3 边沿触发器功能分类、功能表示方法及转换

(2) 卡诺图

***D* 触发器：** 单变量的函数，其卡诺图无意义。

***JK* 触发器：** $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

Q^{n+1}		JK			
Q^n		00	01	11	10
	0	0	0	1	1
1	1	0	0	1	1

把次态和现态当作不同的逻辑变量

(3) 特性方程

***D* 触发器：** $Q^{n+1} = D$

***JK* 触发器：** $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

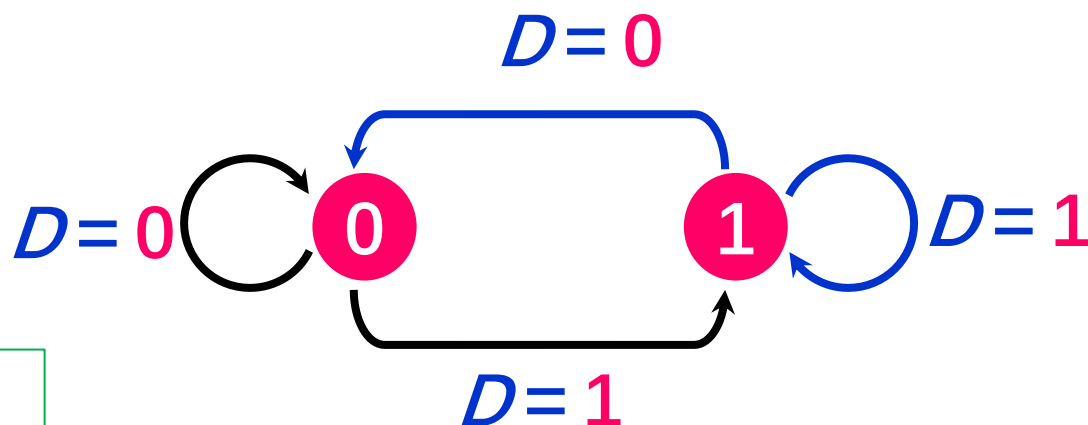
3.3 边沿触发器功能分类、功能表示方法及转换

2. 状态图和时序图

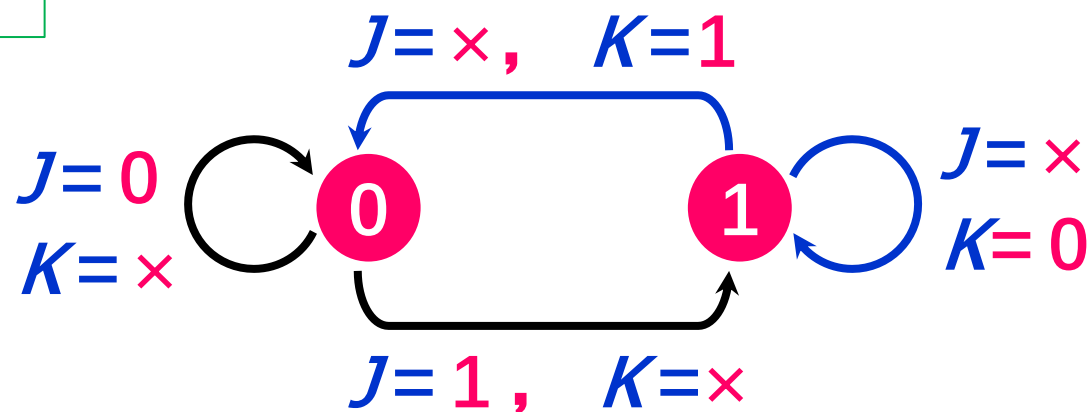
(1) 状态图

D 触发器:

起始点: 现态
终端点: 次态



JK 触发器:

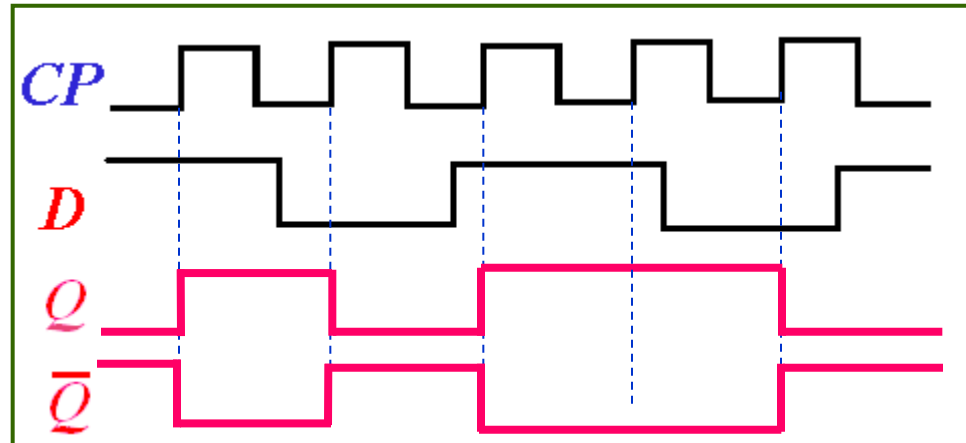


3.3 边沿触发器功能分类、功能表示方法及转换

特点：表述了 CP 对输入和触发器状态在时间上的对应关系和控制或触发作用。

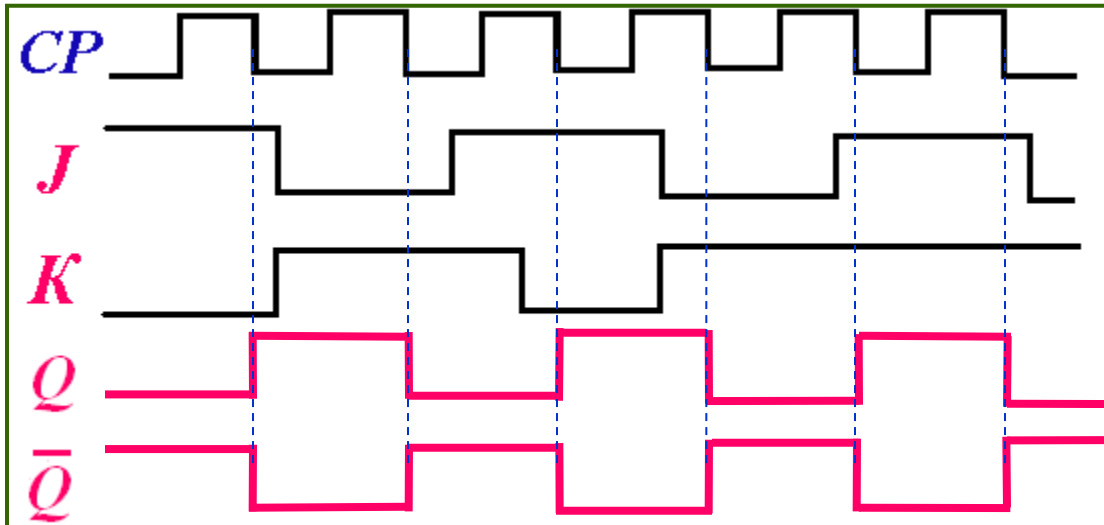
每个cp周期只有1个上升沿，1个下降沿

D 触发器：



CP 上升沿触发

JK 触发器：



CP 下降沿触发

(2) 时序图

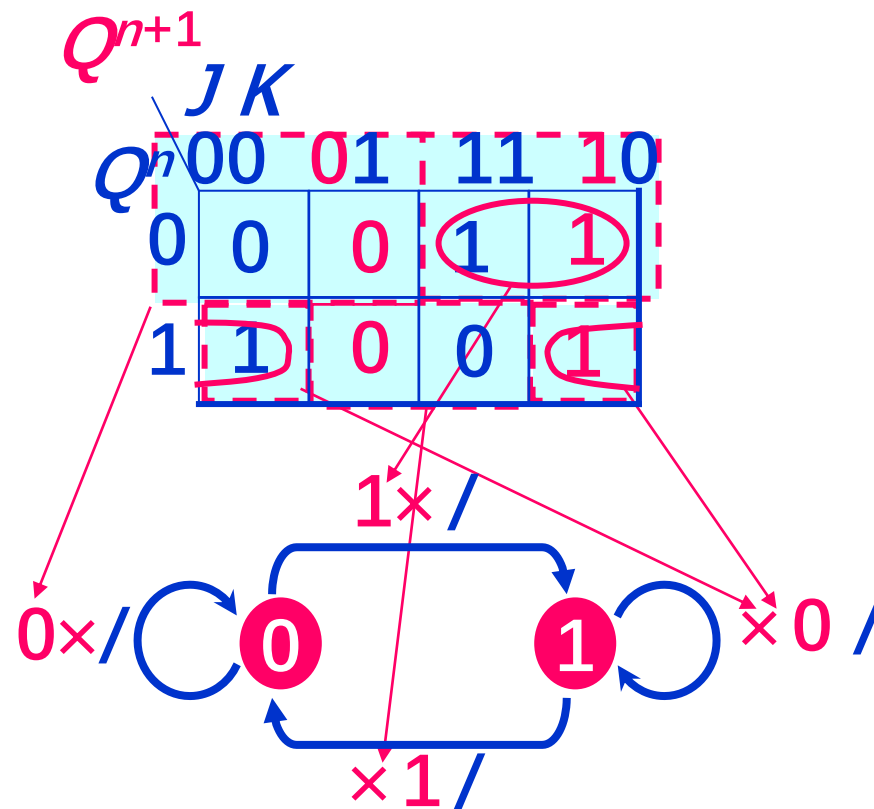
3.3 边沿触发器功能分类、功能表示方法及转换

三、边沿触发器逻辑功能表示方法间的转换

1. 特性表 → 卡诺图、特性方程、状态图和时序图

(1) 特性表 → 卡诺图、状态图

J	K	Q^{n+1}	功能
0	0	Q^n	保持
0	1	0	置0
1	0	1	置1
1	1	$\overline{Q^n}$	翻转



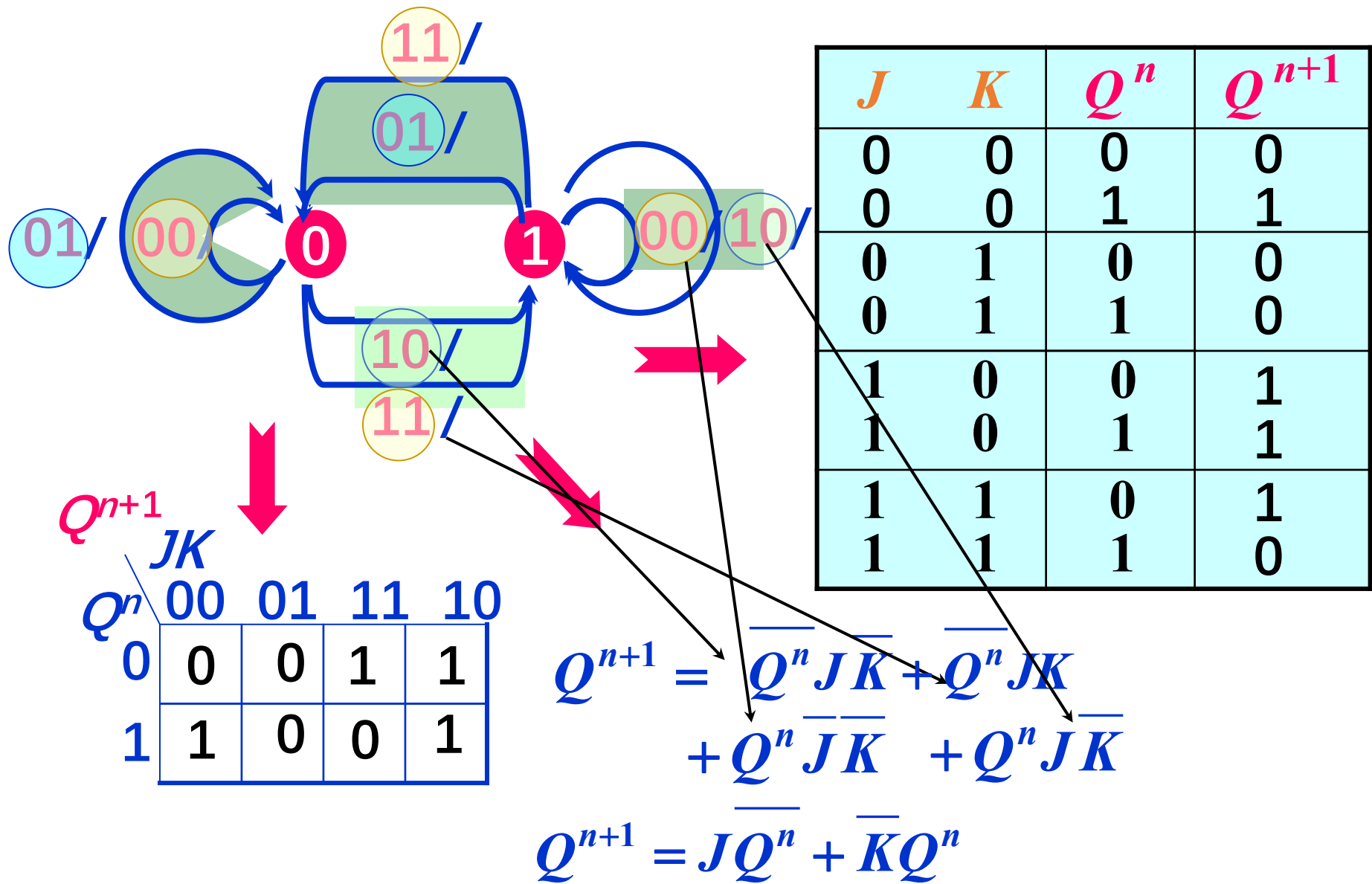
(2) 特性表 → 特性方程

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

向时序图的转换(略)

3.3 边沿触发器功能分类、功能表示方法及转换

2. 状态图 → 特性表、卡诺图、特性方程和时序图

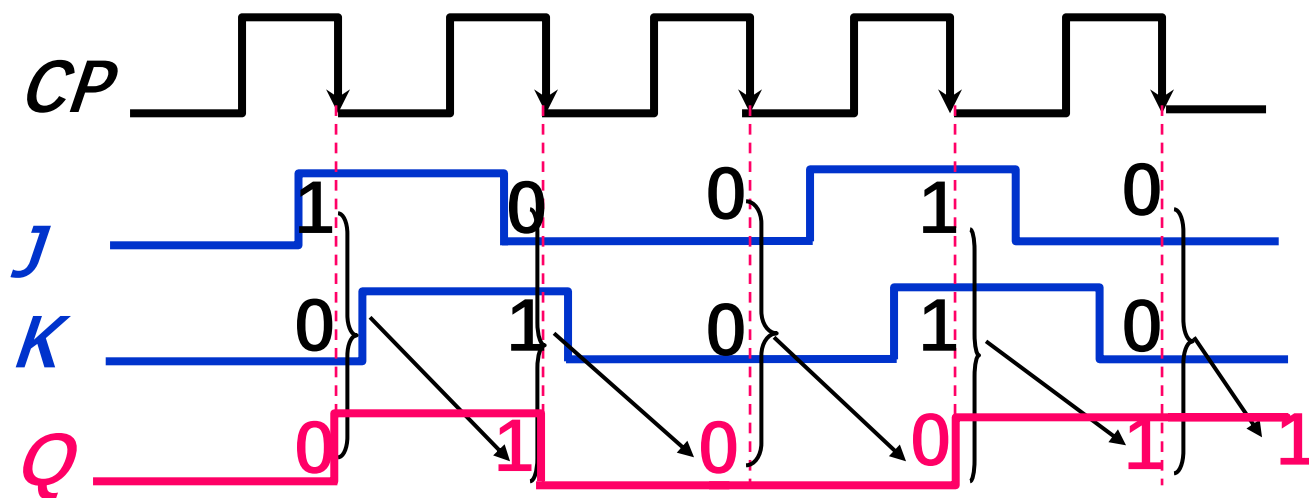
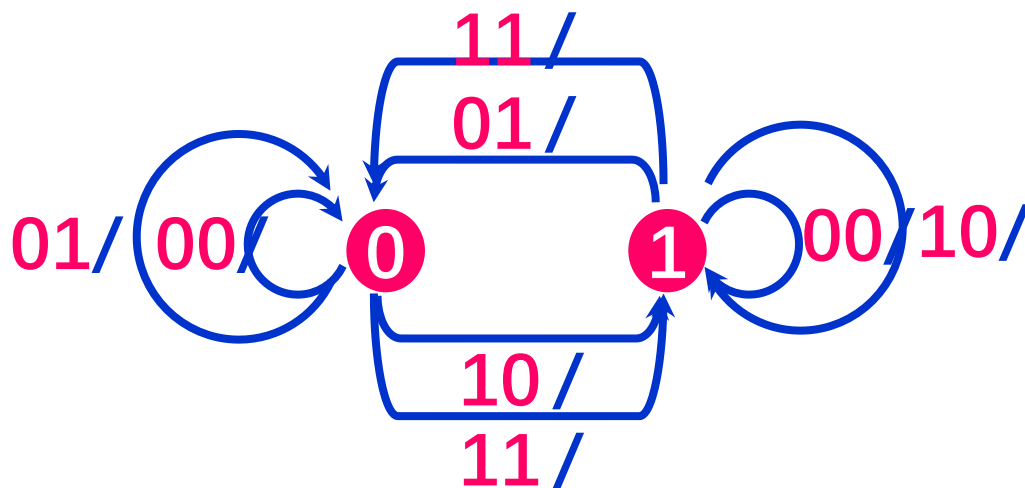


3.3 边沿触发器功能分类、功能表示方法及转换

状态图 → 时序图

[例 4.3.1]

已知 CP 、 J 、 K 波形，
画输出波形。
假设初始状态为 0。



一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

1. 静态特性
2. 动态特性

4.1 触发器的静态特性

一、CMOS 触发器

由于 CMOS 触发器的输入、输出以 CMOS 反相器作为缓冲级，故特性与 CMOS 反相器相同，不作赘述。

二、TTL 触发器

与 TTL 反相器相同，不作赘述。

一. 基本R-S触发器

1. 由与非门组成
2. 由或非门组成
3. 集成基本触发器

二. 同步触发器

1. 同步R-S触发器
2. 同步D触发器

三. 边沿触发器

1. 边沿D触发器
2. 边沿JK触发器
3. 边沿触发器功能分类、功能表示方法及转换

四. 触发器的电气特性

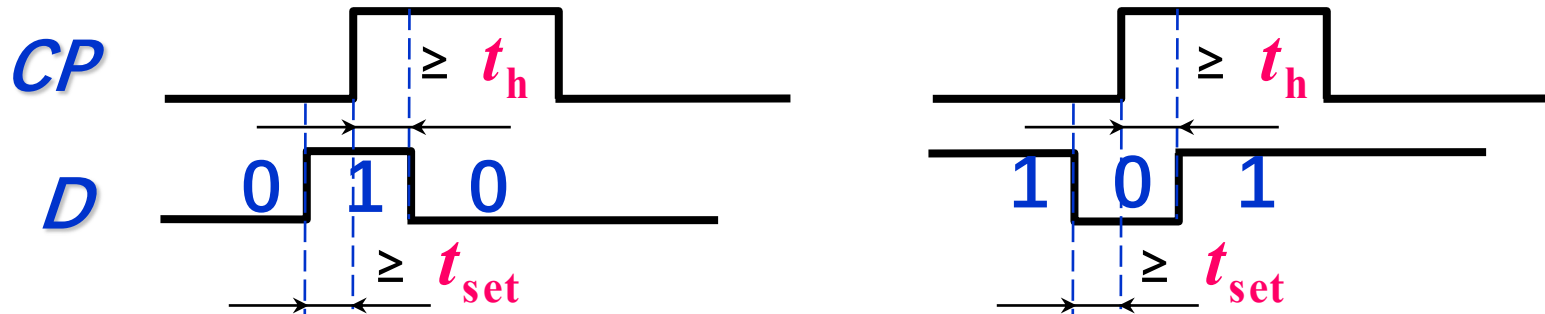
1. 静态特性
2. 动态特性

4.2 触发器的动态特性

一、输入信号的建立时间和保持时间

1. 建立时间 t_{set}

指要求触发器输入信号先于 CP 信号的时间。



2. 保持时间 t_h

指保证触发器可靠翻转， CP 到来后输入信号需保持的时间。

边沿 D 触发器的 t_{set} 和 t_h 均在 10 ns 左右。

4.2 触发器的动态特性

二、时钟触发器的传输延迟时间

指从 CP 触发沿到达开始，到输出端 Q 、 \overline{Q} 完成状态改变所经历的时间。

1. t_{PHL}

为输出端由高电平变为低电平的传输延迟时间。

TTL 边沿 D 触发器 7474, $t_{PHL} \geq 40 \text{ ns}$ 。

2. t_{PLH} 7474, $\leq 25 \text{ ns}$ 。

为输出端由低电平变为高电平的传输延迟时间。

三、时钟触发器的最高时钟频率 f_{\max}

由于每一级门电路的传输延迟，使时钟触发器的最高工作频率受到限制。7474, $f_{\max} \geq 15 \text{ MHz}$ 。

一、触发器和门电路一样，也是组成数字电路的基本逻辑单元。它有两个基本特性：

1. 有两个稳定的状态（0 状态和 1 状态）。
 2. 在外信号作用下，两个稳定状态可相互转换；没有外信号作用时，保持原状态不变。
- 因此，触发器具有记忆功能，常用来保存二进制信息。

二、触发器的逻辑功能

指触发器输出的次态 Q^{n+1} 与输出的现态 Q^n 及输入信号之间的逻辑关系。触发器逻辑功能的描述方法主要有特性表、卡诺图、特性方程、状态转换图和波形图（时序图）。

二、触发器的分类

1. 根据电路结构不同，触发器可分为

(1) 基本触发器(锁存器)：输入信号电平直接控制。

$$\boxed{\text{特性方程}} \begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \quad (\text{约束条件}) \end{cases}$$

(2) 同步触发器：时钟电平直接控制。

$CP = 1$ (或 0) 时有效

$$\boxed{\text{特性方程}} \begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases} \quad \text{同步 } RS \text{ 触发器}$$
$$Q^{n+1} = D \quad \text{同步 } D \text{ 触发器}$$

二、触发器的分类

1. 根据电路结构不同，触发器可分为

(3) 主从触发器：主从控制脉冲触发。

CP 下降沿（或上升沿）到来时有效

特性方程	$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases}$	主从 RS 触发器
		$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 主从 JK 触发器

(4) 边沿触发器：时钟边沿控制。

CP 上升沿（或下降沿）时刻有效

特性方程	$Q^{n+1} = D$	边沿 D 触发器
	$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$	边沿 JK 触发器

二、触发器的分类

2. 根据逻辑功能不同，时钟触发器可分为

(1) RS 触发器

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \quad (\text{约束条件}) \end{cases}$$

(2) JK 触发器

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

(3) D 触发器

$$Q^{n+1} = D$$

(4) T 触发器

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

(5) T' 触发器

$$Q^{n+1} = \overline{Q}^n$$

利用特性方程可实现不同功能触发器间逻辑功能的相互转换。

根据各触发器的时钟信号CP的异同，可把时序电路分为同步与异步时序电路。其中，同步时序电路所有触发器的时钟输入端CP都连在一起，使电路各触发器的状态变化与时钟CP同步；异步时序电路只有部分触发器接时钟输入端CP，其他触发器的时钟取自电路中触发器输出的组合，各触发器的状态变化有先后，不与时钟输入CP同步。

教材：《数字电子技术基础简明教程（第四版）》

- 习题：5.1, 5.3, 5.6, 5.8