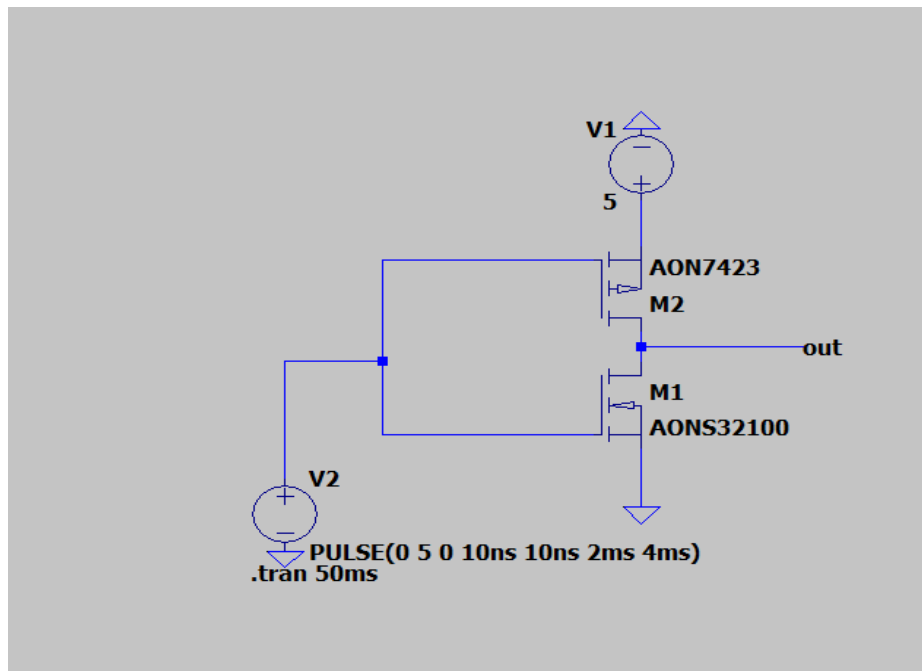
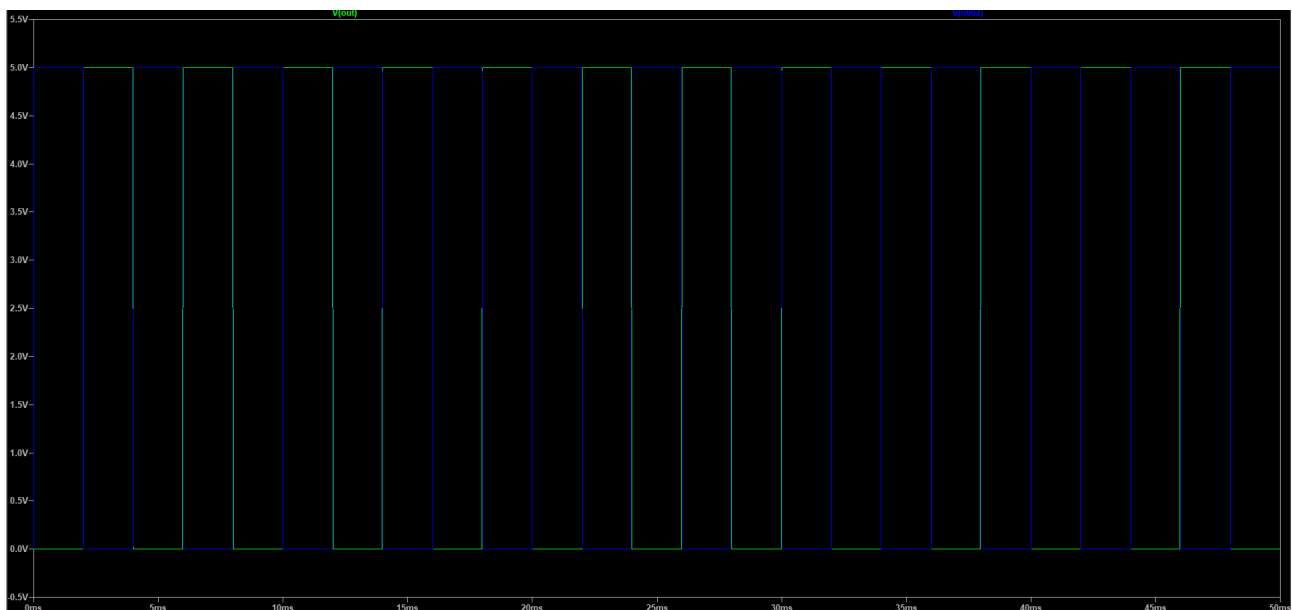


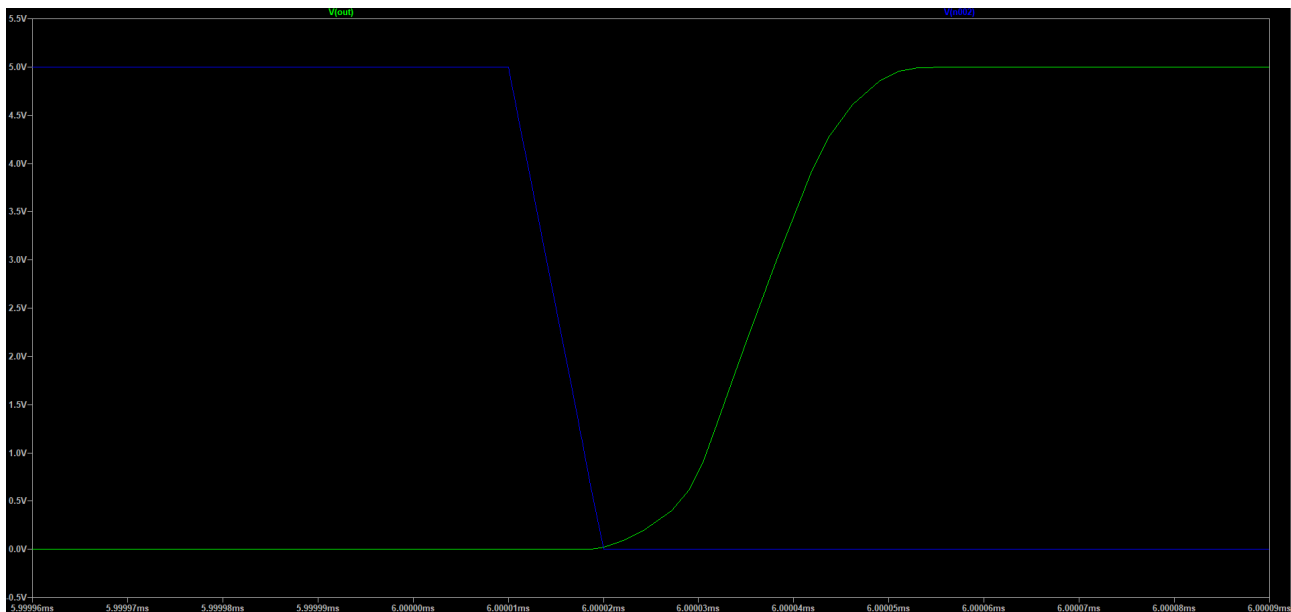
Schéma utilisé



Résultat de la simulation



1) Mettre en évidence la latence



On peut voir qu'on a une latence de 50ns.

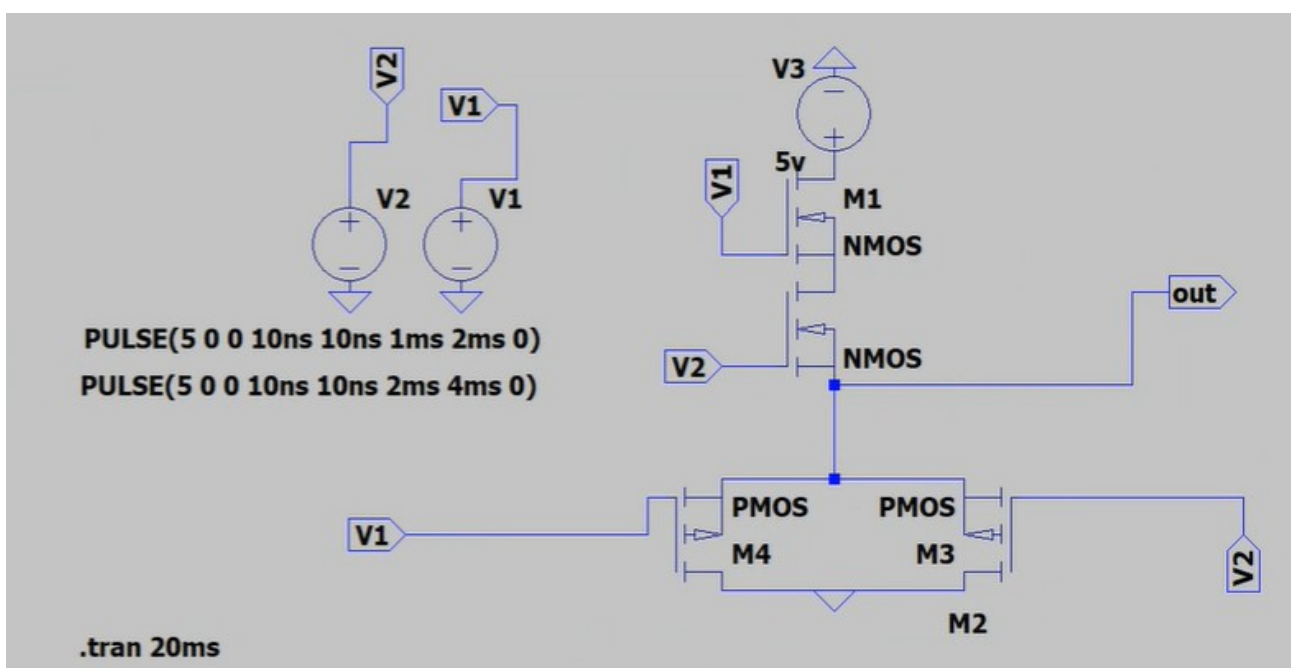
2) Mettre en évidence le comportement du circuit

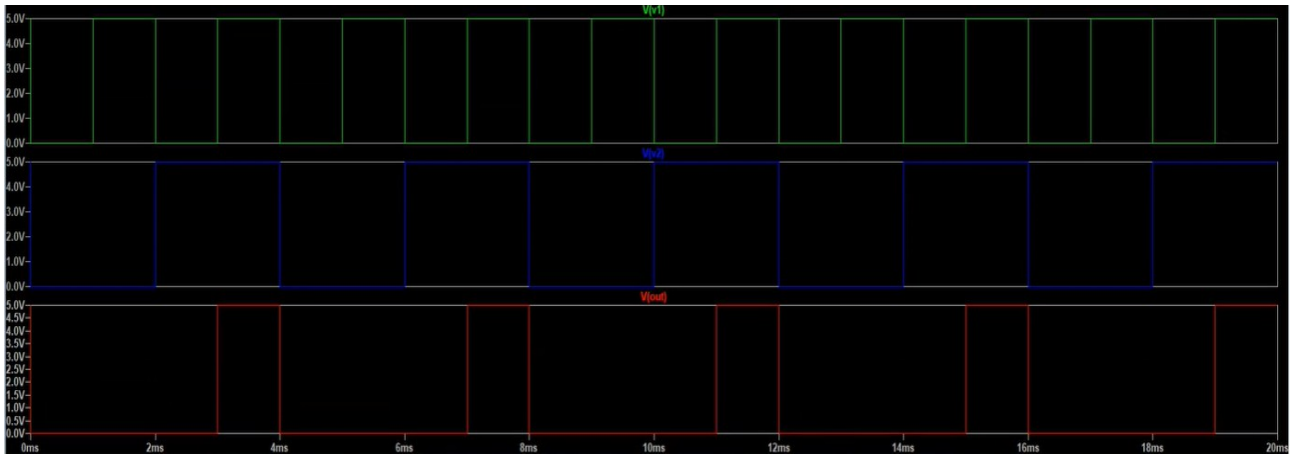
On peut voir que cette architecture se comporte comme une porte inverseuse. Lorsque notre V_n est à 5V on a V_{out} à 0V et inversement. Cela est dû au comportement des Mosfet P et N.

Sur la première phase, pour le mosfet P, on a $V_{GS} = V_G - V_S = 5 - 5V = 0V$ donc on a $V_{GS} < -V_{Th} = -0,5V$ donc le mosfet est bloquant. Pour le mosfet N, on a $V_{GS} = 5 - 0 = 5V$, on a $V_{GS} > V_{Tn} = 1,1V$ donc le mosfet N est passant donc $V_{out} = 0V$.

Sur la deuxième phase, pour le mosfet P, on a $V_{GS} = V_G - V_S = 0 - 5V = -5V$ donc on a $V_{GS} < -V_{Th}$ donc le mosfet est passant donc on a $V_{out} = 5V$. Pour le mosfet N, on a $V_{GS} = 0 - 0V$ donc on a $V_{GS} < V_{tn}$ donc le mosfet N est fermé donc $V_{out} = 5V$.

En ce qui concerne le courant, on peut voir des pics car des fois notre tension continue est reliée directement à la masse car V_{th} et V_{tn} ne sont pas égaux donc des fois on peut apercevoir les deux Mosfet en position fermée.





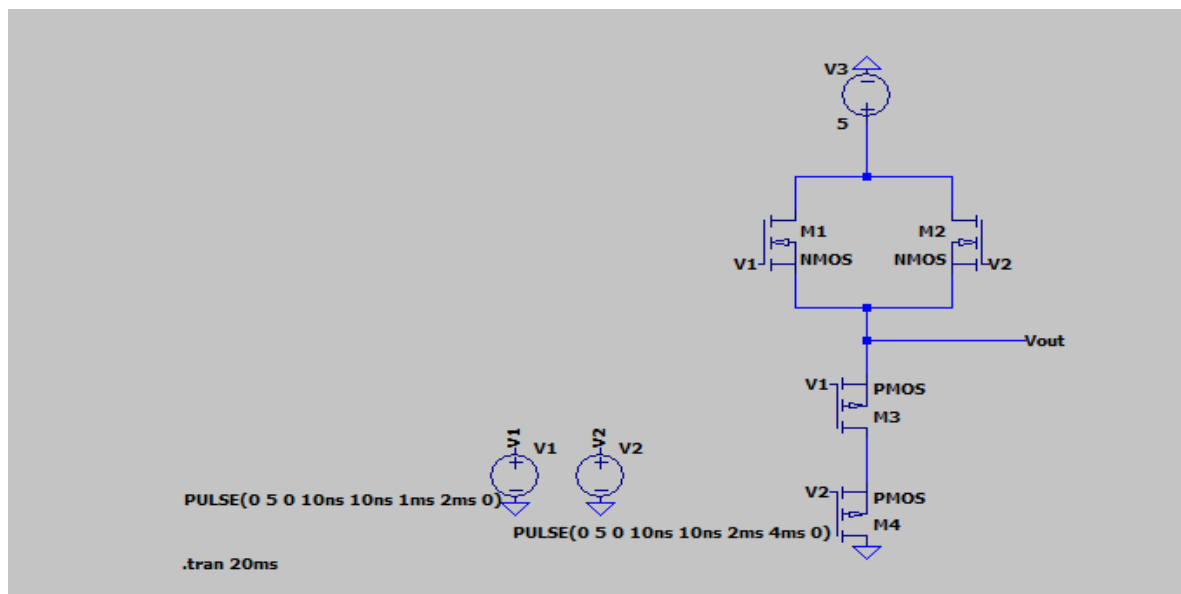
On peut observer une porte AND. Le schéma fonctionne de la manière suivant. Pour notre premier cas ou $V1=0V$ et $V2=0V$ pour nos mosfet P, on a $V_{gs}=V_g-V_s=0-0=0V$ donc $V_{gs}>-0,5$ donc nos deux mosfets sont bloquants. Pour nos mosfet N, on a $V_{gs}=0-0=0V$ donc $V_{gs}<1,1$ donc nos mosfet N sont bloquants donc $V_{out}=0V$.

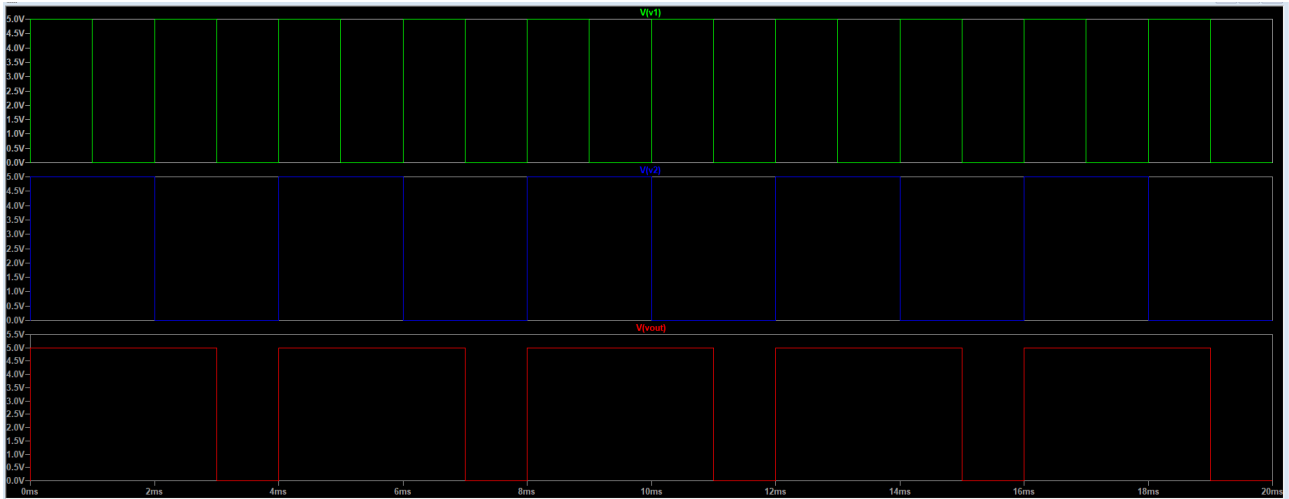
Dans le deuxième cas, $V1=5V$ et $V2=0V$ pour nos mosfet P. Pour le premier mosfet P, on a $V_{gs}=V_g-V_s=5-0=5V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le deuxième mosfet P, on a $V_{gs}=V_g-V_s=0-0=0V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le premier mosfet N, on a $V_{gs}=5-0=5V$ donc $V_{gs}>1,1$ donc le mosfet N est passant. Pour le deuxième mosfet N, on a $V_{gs}=0-0=0V$ donc $V_{gs}<1,1$ donc le mosfet N est bloquant d'où $V_{out}=0$.

Dans le troisième cas, $V1=0V$ et $V2=5V$ pour nos mosfet P. Pour le premier mosfet P, on a $V_{gs}=V_g-V_s=0-0=0V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le deuxième mosfet P, on a $V_{gs}=V_g-V_s=5-0=5V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le premier mosfet N, on a $V_{gs}=0-0=0V$ donc $V_{gs}<1,1$ donc le mosfet N est bloquant. Pour le deuxième mosfet N, on a $V_{gs}=5-0=5V$ donc $V_{gs}>1,1$ donc le mosfet N est passant d'où $V_{out}=0$.

Dans le derniers ou $V1=5V$ et $V2=5V$ pour nos mosfet P, on a $V_{gs}=V_g-V_s=0-0=5V$ donc $V_{gs}>-0,5$ donc nos deux mosfet sont bloquants. Pour nos mosfet N, on a $V_{gs}=5-0=5V$ donc $V_{gs}>1,1$ donc nos mosfet N sont passants donc $V_{out}=5V$.

Cette porte and est tributaire du pull down au niveau de sa sortie.



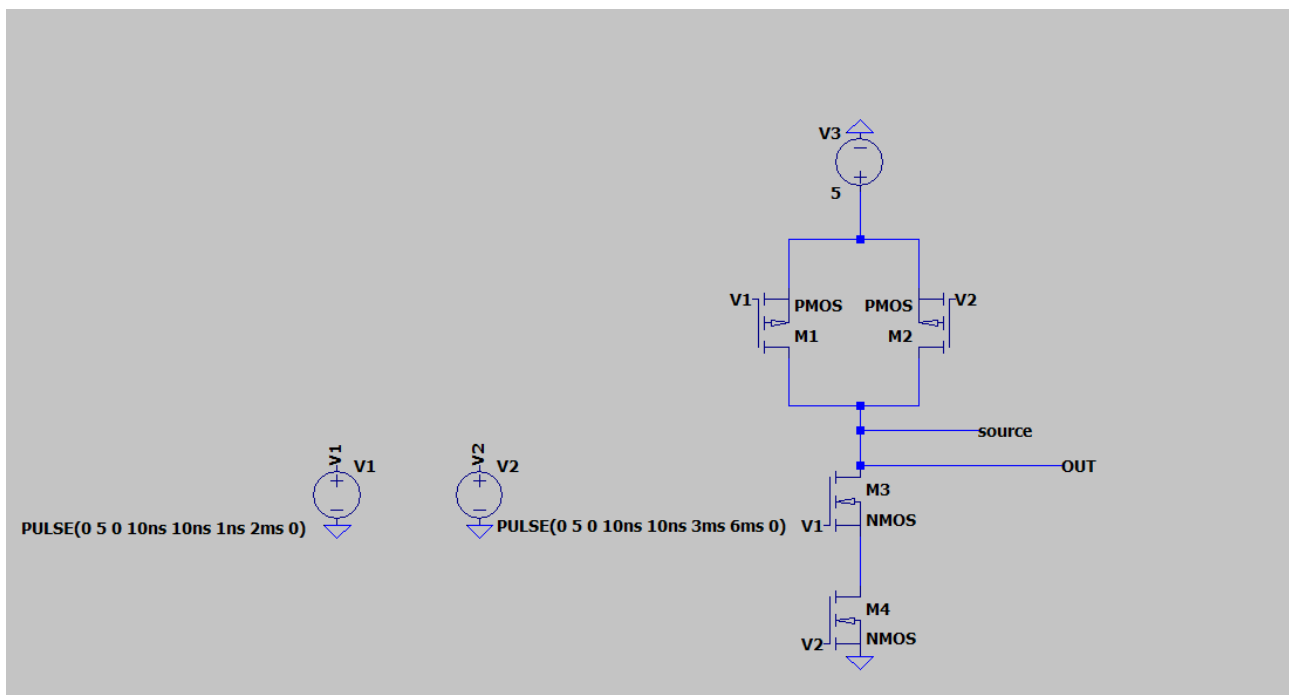


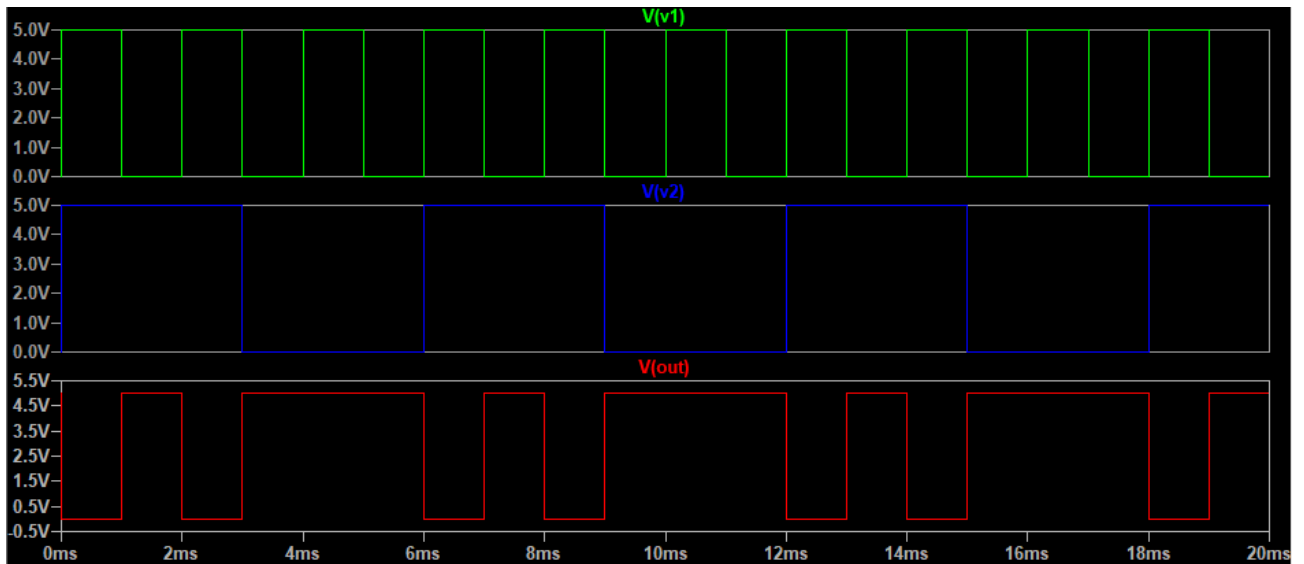
On peut observer une porte ou. Le schéma fonctionne de la manière suivant. Pour notre premier cas ou $V1=0V$ et $V2=0V$ pour nos mosfet P, on a $V_{gs}=V_g-V_s=0-0=0V$ donc $V_{gs}>-0,5$ donc nos deux mosfets sont bloquants. Pour nos mosfet N, on a $V_{gs}=0-0=0V$ donc $V_{gs}<1,1$ donc nos mosfet N sont bloquants donc $V_{out}=0V$.

Dans le deuxième cas, $V1=5V$ et $V2=0V$ pour nos mosfet P. Pour le premier mosfet P, on a $V_{gs}=V_g-V_s=5-0=5V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le deuxième mosfet P, on a $V_{gs}=V_g-V_s=0-0=0V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le premier mosfet N, on a $V_{gs}=5-0=5V$ donc $V_{gs}>1,1$ donc le mosfet N est passant. Pour le deuxième mosfet N, on a $V_{gs}=0-0=0V$ donc $V_{gs}<1,1$ donc le mosfet N est bloquant d'où $V_{out}=5V$.

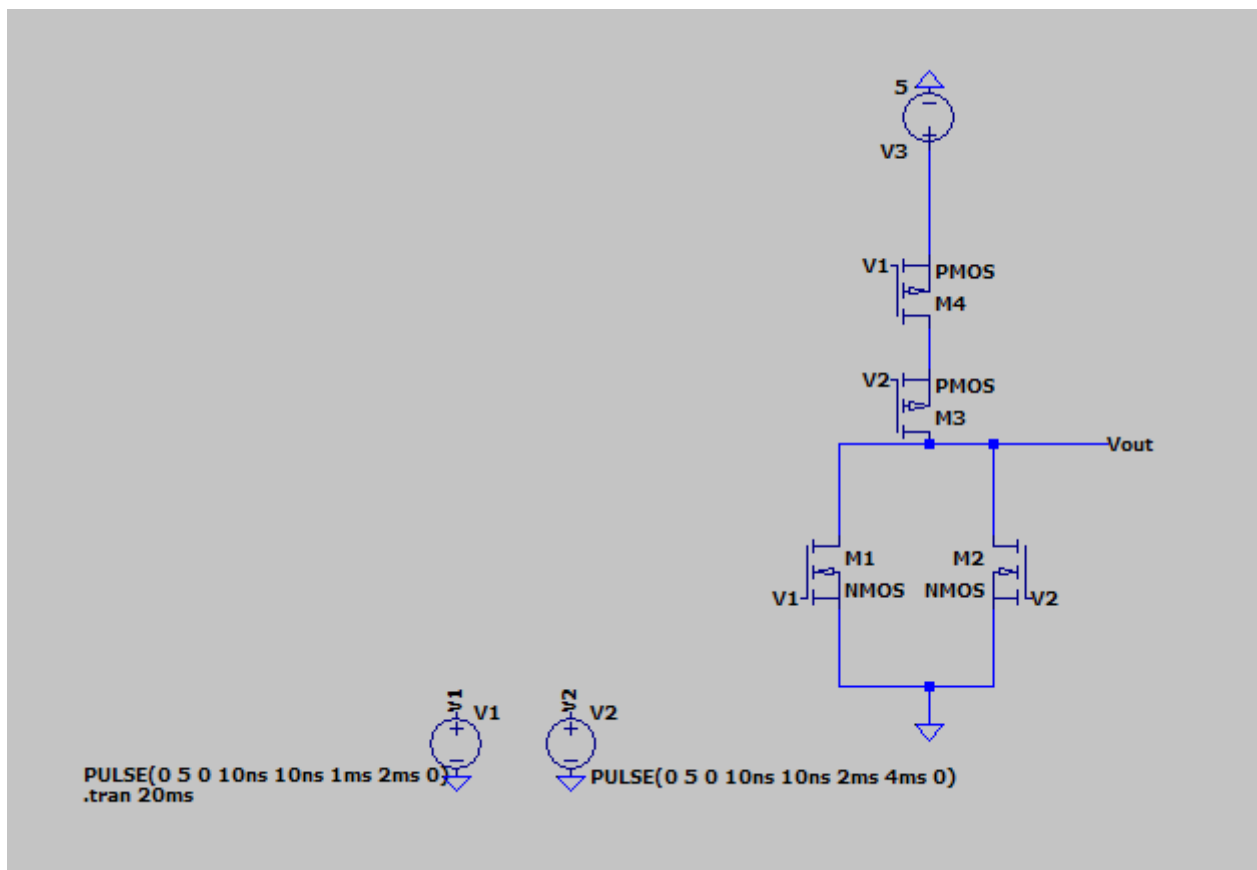
Dans le troisième cas, $V1=0V$ et $V2=5V$ pour nos mosfet P. Pour le premier mosfet P, on a $V_{gs}=V_g-V_s=0-0=0V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le deuxième mosfet P, on a $V_{gs}=V_g-V_s=5-0=5V$ donc $V_{gs}>-0,5$ donc le mosfet est bloquant. Pour le premier mosfet N, on a $V_{gs}=0-0=0V$ donc $V_{gs}<1,1$ donc le mosfet N est bloquant. Pour le deuxième mosfet N, on a $V_{gs}=5-0=5V$ donc $V_{gs}>1,1$ donc le mosfet N est passant d'où $V_{out}=5V$.

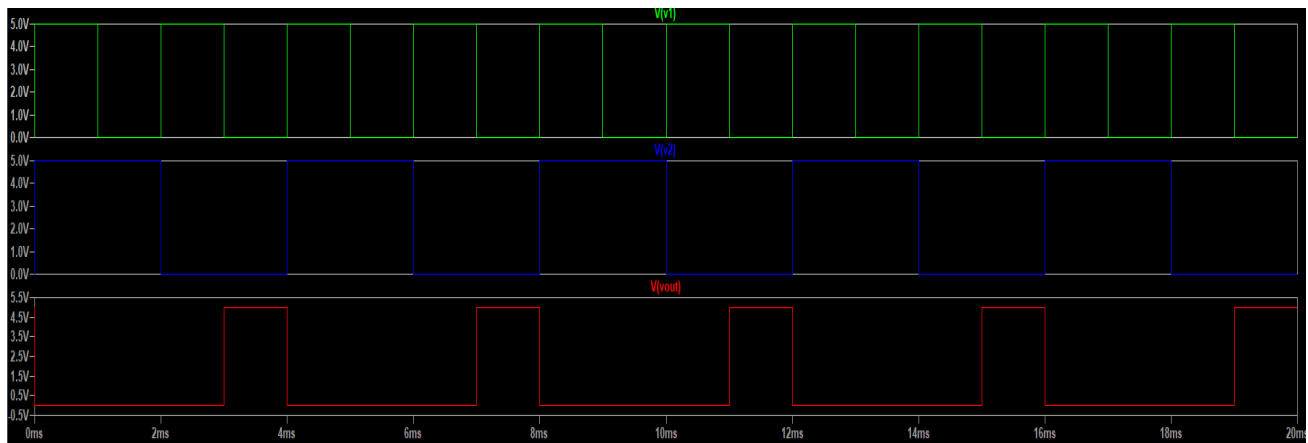
Dans le derniers ou $V1=5V$ et $V2=5V$ pour nos mosfet P, on a $V_{gs}=V_g-V_s=0-0=5V$ donc $V_{gs}>-0,5$ donc nos deux mosfet sont bloquants. Pour nos mosfet N, on a $V_{gs}=5-0=5V$ donc $V_{gs}>1,1$ donc nos mosfet N sont passants donc $V_{out}=5V$.





On peut observer une porte nand. Le fonctionnement est le même que pour les autres cas sauf que pour nos Pmos la source va être V3.





On peut voir que pour cette nous avons une porte NOR. Le comportement se résout de la même manière que précédemment (Attention aux sources).

TD subtractor

Table de vérité –

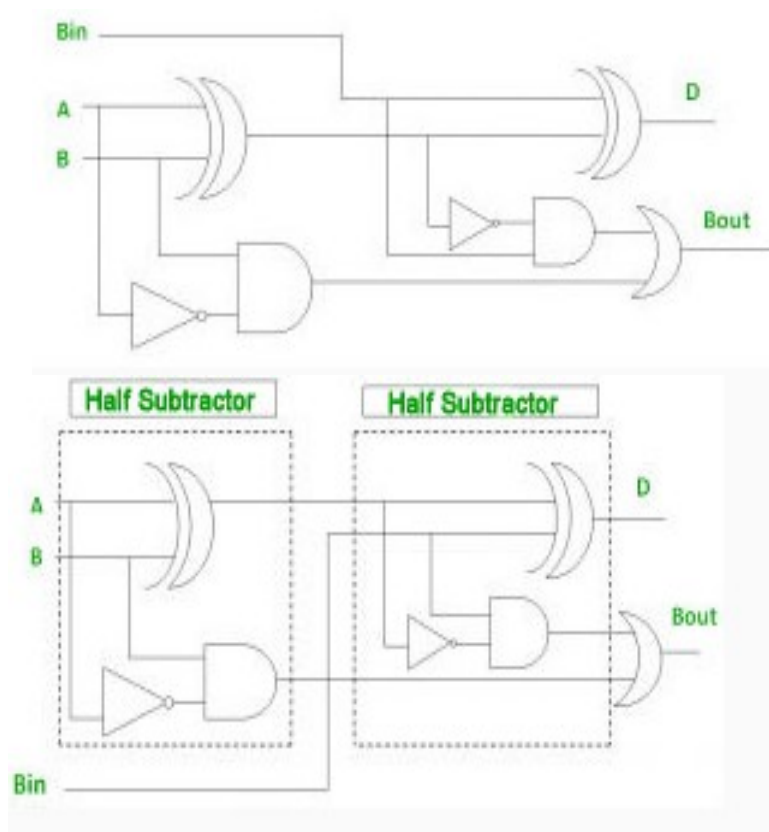
INPUT			OUTPUT	
A	B	Bin	D	Bout
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

		B Bin			
		00	01	11	10
A	0	0	1	1	1
	1	0	0	1	0

$$\text{Bout} = A'B\text{Bin} + A'B + B\text{Bin}$$

$$\begin{aligned}
 D &= A'B'\text{Bin} + A'B\text{Bin}' + AB'\text{Bin}' + AB\text{Bin} \\
 &= \text{Bin}(A'B' + AB) + \text{Bin}'(AB' + A'B) \\
 &= \text{Bin}(A \text{ XNOR } B) + \text{Bin}'(A \text{ XOR } B) \\
 &= \text{Bin}(A \text{ XOR } B)' + \text{Bin}'(A \text{ XOR } B) \\
 &= \text{Bin XOR } (A \text{ XOR } B) \\
 &= (A \text{ XOR } B) \text{ XOR } \text{Bin}
 \end{aligned}$$

$$\begin{aligned}
 \text{Bout} &= A'B'\text{Bin} + A'BB'\text{in}' + A'BB\text{in} + ABB\text{in} \\
 &= \text{Bin}(AB + A'B') + A'B(\text{Bin} + \text{Bin}') \\
 &= \text{Bin}(A \text{ XNOR } B) + A'B \\
 &= \text{Bin} (A \text{ XOR } B)' + A'B
 \end{aligned}$$



Réalisation sur LtSpice :

