

CALCULADORA PARA SUMAR Y RESTAS DOS NÚMEROS DE OCHO BITS

Bryan V. Alvarado ^{1*}, Evelin E. Hidalgo ¹, Jorge A. Cruz ¹

Departamento de Eléctrica y Electrónica, Universidad de las Fuerzas Armadas ESPE, Sangolquí, Ecuador

bvalvarado@espe.edu.ec

Resumen -Aplicar los conocimientos adquiridos para la implementación de un circuito que permita ingresar dos números de ocho bits, con los cuales se realizará la suma o la resta dependiente de la posición de un switch, el cual realizará la resta si se encuentra activado y en caso contrario la suma. Este circuito será simulado en un programa o software gratuito y online creado para el desarrollo y modelado de objetos en 3D de una manera sencilla, ofrece también una posibilidad realmente interesante de montar, programar y simular circuitos incluso con Arduino al disponer de una interfaz de trabajo simple y atractiva. Tinkercad ha sido creado por la empresa Autodesk. Como ventajas se podría destacar que es sencillo de usar, tiene un aspecto atractivo y con unas pocas horas de uso se puede adquirir mucha destreza. Por otro lado, como desventaja se puede señalar que es necesario tener una cuenta de correo para darse de alta como usuario y que sólo posee una versión online.

Índice de Términos -Arduino -Bits-Programar-Simular-Thinkercad.

I. INTRODUCCIÓN

Para el circuito sumador restador de dos números de 8 bits a implementar se utilizó circuitos integrados 5411 que es un decodificador bcd para display de 7 segmentos. El display de 7 segmentos es un componente bastante empleado en el mundo de la electrónica, ya que permite que sea muy simple la exhibición de valores numéricos. Pudiendo representar cifras de 0 a 9. También el circuito integrado 7483 que es un sumador binario de 4-Bit donde las sumas () se proporcionan para cada bit y el acarreo resultante (C4) se obtiene a partir del cuarto bit. Estos agregadores cuentan con una mirada interna completa a través de los cuatro Bits Cuenta con una implementación de ripple-carry. La lógica del sumador, incluido el carry, se implementa en su forma verdadera, lo que significa que el logrado sin necesidad de inversión lógica o de nivel.

Uno de los integrados mas importantes que se utilizó es el 7485 que es uno de los comparadores más básicos, que determina si dos números son iguales, se consigue mediante una puerta XOR (or exclusiva), ya que su salida es 1 si los dos bits de entrada son diferentes y 0 si son iguales.

II. ESTADO DEL ARTE

En 2018, Palash Kailash Rai, Shivoy Srivastava y Ayoush Johri del Departamento de Electrónica y Comunicación Lakshmi Narain College of Technology Science Bhopal, India implementaron un diseño y simulación de un marco de almohadilla de circuitos lógicos y aritméticos de 8 bits utilizando el proceso C5 para CMOS submicrónicos profundos su estudio, se basa en implementar circuitos aritméticos y lógicos comprenden la lógica combinatoria que implementa operaciones lógicas como AND y OR, y operaciones aritméticas como la suma, la resta y la multiplicación. El circuito lógico aritmético de 8 bits se diseña, implementa y simula utilizando el software Electric CAD y SPICE, dicho circuito aritmético y lógico de 8 bits que puede realizar: $A \text{ Y } B$, $A \text{ OR } B$, $A + B$ (suma) y $A - B$ (resta) y todas las posibles operaciones aritméticas y lógicas (Rai, PK, Srivastava, S. y Johri, A, 2018, p.1) [1].

Syamala, Y. y Tilak del Departamento de ECE Colegio de Ingeniería Gudlavalleru Gudlavalleru, India en 2011 centraron su investigación en el diseño de una Unidad de lógica aritmética reversible, esta tecnología es de creciente importancia para muchas tecnologías informáticas futuras, el diseño de una Unidad de lógica aritmética (ALU) reversible utilizando la unidad multiplexora y las señales de control. En la ALU basada en multiplexor, las operaciones se realizan según la línea de selección. La ALU basada en la unidad de control se desarrolla con 9n puertas reversibles elementales para cuatro operaciones lógicas aritméticas básicas en dos operandos de n bits. La investigación de Syamala y Tilak basaron el diseño en una serie de operaciones realizadas en la misma línea dependiendo de las señales de control, en lugar de seleccionar el resultado deseado por un multiplexor (Syamala, Y. y Tilak, 2011, p.1) [2].

En 2018, Mahmoud Aymen Ahmed y M. A. Abdelghany investigadores del Departamento de electrónica Facultad de Educación Industrial, Universidad de Sohag, Sohag, EGIPTO implementaron una Unidad lógica aritmética de 4 bits de baja potencia que utiliza la técnica GDI de giro completo su análisis sobre la disipación de energía y el área del circuito son los problemas principales en la industria electrónica, este documento proporciona un diseño de Unidad de lógica aritmética (ALU) de 4 bits utilizando la técnica GDI de giro completo, que consideró un método eficaz para el diseño digital de baja potencia al tiempo que reduce el área del circuito en comparación con otros estilos lógicos (Ahmed MA, Abdelghany MA, 2018, p.1) [3].

Cortés Barrón, Reyes Barranca, L. M. Flores-Nava, A. Medina Santiago del Instituto Tecnológico de Tuxtla Gutiérrez, Chiapas, México en 2012 implementaron una Unidad de lógica aritmética (ALU) de 4 bits basada en transistores Neuron MOS. Esta configuración es reconfigurable modificando solo los voltajes externos aplicados a una etapa intermedia de inversores CMOS programables, sin ningún cambio de circuito, en contraste con las implementaciones digitales convencionales basado en un método gráfico llamado Diagrama de potencial de puerta flotante (FPD), se diseñó y simuló una ALU de 4 bits muy básica para un par de funciones aritméticas y lógicas, aprovechando la suma ponderada realizada en la puerta flotante del neu-MOS (Cortes Barron, Reyes Barranca, 2018, p.1) [4].

Para el producto de unidad presente, se utilizó el entorno de simulación Tinkercad para implementar un circuito SUMADOR/RESTADOR 8 Bits diseñando un mecanismo para multiplexar las salidas a manera de un selector de operación (Rai, PK, Srivastava, S. y Johri, A, 2018, p.1), el ingreso de los 8 bits de datos se realiza manualmente mediante dips switch, el circuito básicamente tiene la configuración de una ALU (unidad lógica aritmética) (Syamala, Y. y Tilak, 2011, p.1). El sistema tiene la capacidad de proyectar un número decimal de salida en la pantalla del dispositivo android simulando la proyección de un display de 7 segmentos (Cortes Barron, Reyes Barranca, 2018, p.1).

III. MARCO TEÓRICO

ThinkerCad

Es un programa o software gratuito y online creado para el desarrollo y modelado de objetos en 3D de una manera sencilla, ofrece también una posibilidad realmente interesante de montar, programar y simular circuitos incluso con Arduino al disponer de una interfaz de trabajo simple y atractiva. Tinkercad ha sido creado por la empresa Autodesk. Como ventajas se podría destacar que es sencillo de usar, tiene un aspecto atractivo y con unas pocas horas de uso se puede adquirir mucha destreza. Por otro lado, como desventaja se puede señalar que es necesario tener una cuenta de correo para darse de alta como usuario y que sólo posee una versión online. Para esto se debe crear una cuenta de usuario y acceder seleccionando la opción “Circuits” para empezar a crear circuitos [4]

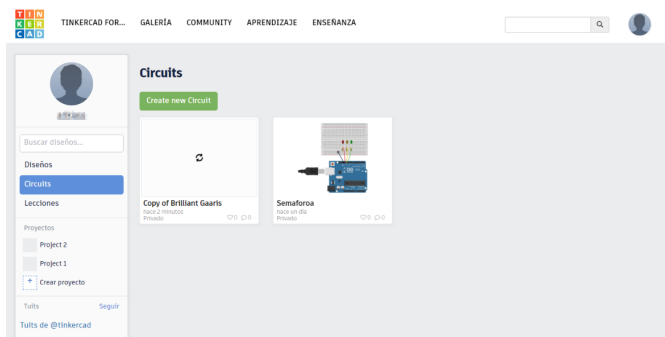


Fig 1.Thinkercas

SUMADOR CI 74LS83**

Es un sumador binario de 4-Bit donde las sumas () se proporcionan para cada bit y el acarreo resultante (C4) se obtiene a partir del cuarto bit. Estos agregadores cuentan con una mirada interna completa a través de los cuatro Bits Cuenta con una implementación de ripple-carry. La lógica del sumador, incluido el carry, se implementa en su forma verdadera, lo que significa que el logrado sin necesidad de inversión lógica o de nivel[5].

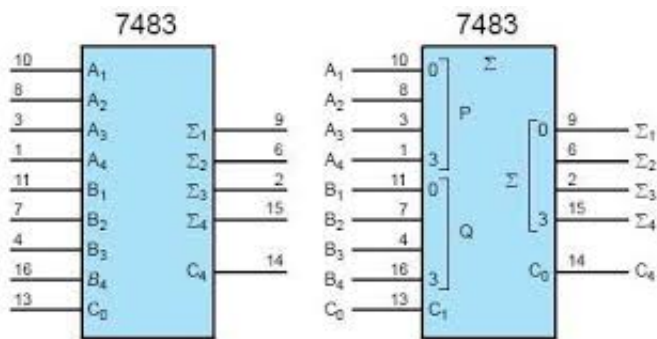


Fig 2.Sumador

COMPARADOR CI 74LS85**

Son circuitos integrados combinacionales con uno o más pares de entradas que tienen como función comparar dos magnitudes binarias para determinar su relación.

El comparador más básico, que determina si dos números son iguales, se consigue mediante una puerta XOR (or exclusiva), ya que su salida es 1 si los dos bits de entrada son diferentes y 0 si son iguales[5].

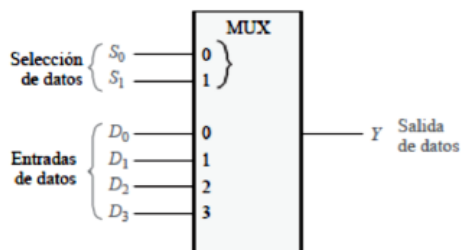


Fig 3.Comparador

DECODIFICADOR CI 74HC4511**

Son circuitos combinacionales integrados que disponen de n entradas y un número de salidas igual o menor a 2n, actúan de modo que según cual sea la combinación de las variables de entrada se activa una única salida, permaneciendo el resto de ellas desactivada[6].

Suelen disponer de una entrada adicional denominada de inhibición o strobe de modo que cuando esta entrada se encuentra activada, pone todas las salidas a 0.

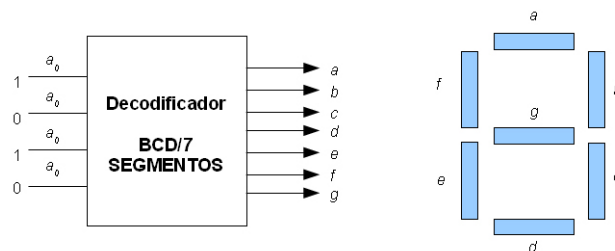


Fig 4.Decodificador

COMPUERTA XOR – Compuerta O Exclusiva CI 74HC86

En la electrónica digital hay compuertas que no son comunes. Una de ellas es la compuerta XOR ó compuerta O exclusiva ó compuerta O excluyente. El diagrama inferior muestra el símbolo de una compuerta XOR (O exclusiva) de 2 entradas. Comprender el funcionamiento de esta compuerta digital es muy importante para después poder implementar lo que se llama un comparador digital[8].

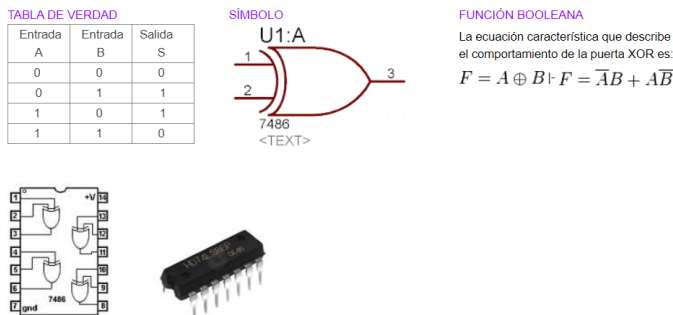


Fig 5.Compuert XOR

COMPUERTA NAND CI 74HC00

La puerta lógica NO-Y, más conocida por su nombre en inglés NAND, realiza la operación de producto lógico negado[6].

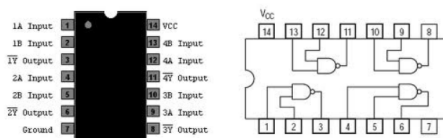
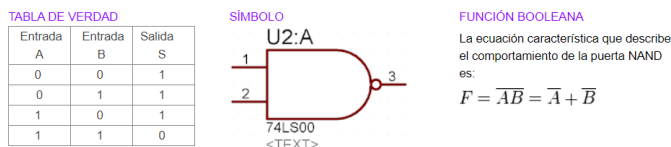


Fig 6.Compuerta NAND

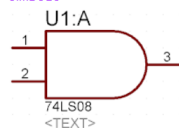
COMPUERTA AND CI 74HC00

La puerta lógica Y, más conocida por su nombre en inglés AND, realiza la función booleana de producto lógico. Su símbolo es un punto (\cdot), aunque se suele omitir. Así, el producto lógico de las variables A y B se indica como AB, y se lee A y B o simplemente A por B[6].

TABLA DE VERDAD

Entrada A	Entrada B	Salida S
0	0	0
0	1	0
1	0	0
1	1	1

SÍMBOLO



FUNCIÓN BOOLEANA

La ecuación característica que describe el comportamiento de la puerta AND es:
 $F = (A) * (B)$

CIRCUITO INTEGRADO

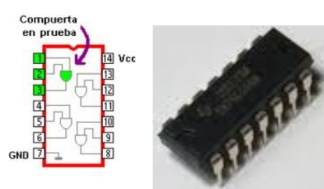


Fig 7.Compuerta AND

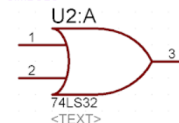
COMPUERTA OR CI 74HC32

La puerta lógica O, más conocida por su nombre en inglés OR ($OR \equiv O \equiv$), realiza la operación de suma lógica.

TABLA DE VERDAD

Entrada A	Entrada B	Salida S
0	0	0
0	1	1
1	0	1
1	1	1

SÍMBOLO



FUNCIÓN BOOLEANA

La ecuación característica que describe el comportamiento de la puerta OR es:
 $F = A + B$

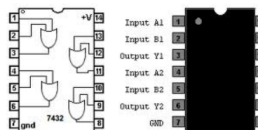


Fig 8.Compuerta OR

IV. PROPUESTA

Ingreso de números en BCD

Para el ingreso de números en BCD se tiene 2 dip switch de 8 interruptores cada uno, en la parte superior, el primer dip switch representa el número A y el segundo dip switch el número denotado por B.

Hay que tomar en cuenta que los dip switch tomándoles en cuenta de abajo hacia arriba, [abajo- bits menos significativo] y [arriba-bits más significativo]. Es necesario comprender lo anteriormente explicado para el correcto ingreso de números BCD. Al momento de realizar las conexiones de los dip switch se conectó a + Vcc (5 V) los dígitos activados en 0 y a tierra los dígitos activados en 1

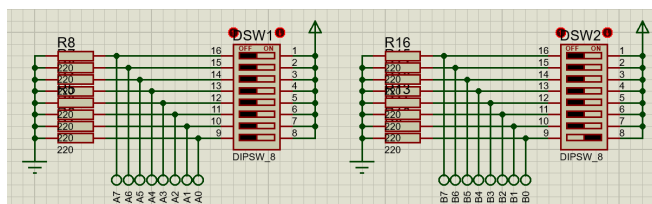


Fig 9.Ingreso de números en BCD

Para sumar o restar números en BCD por medio de un dip switch extra donde [Up-Resta] y [Low-Suma].

Se conecta las 8 salidas de los dip switch de los bits menos significativos tanto del número A como del B a un sumador 7483 con el acarreo de entrada a tierra y este sumador en cascada a otro sumador 7483 conectado al acarreo de entrada las 8 salidas de los dip switch de los bits más significativos tanto del número A como del B.

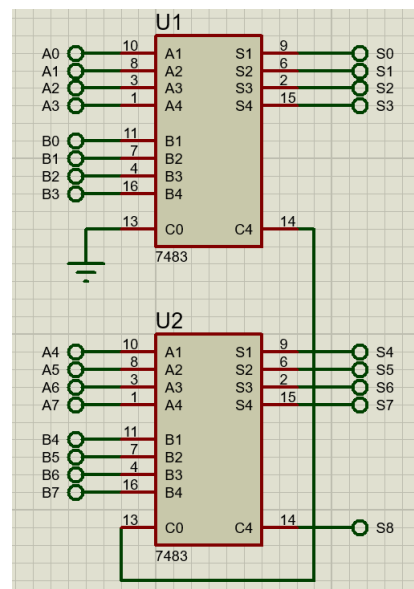


Fig10.Sumadores

Complemento A1

Para realizar la resta es necesario negar los 8 bits de salida tanto del número A como del número B y conectar a los sumadores conectados en cascada, algo a tomar en cuenta el acarreo de entrada del primer sumador va a conectado a VCC que representa implícitamente más uno. Existen dos casos:

A MAYOR QUE B

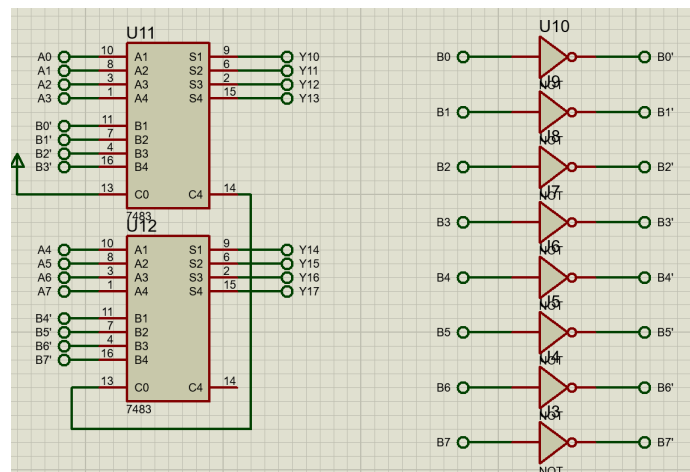


Fig 11.Sumadores

B MAYOR QUE A

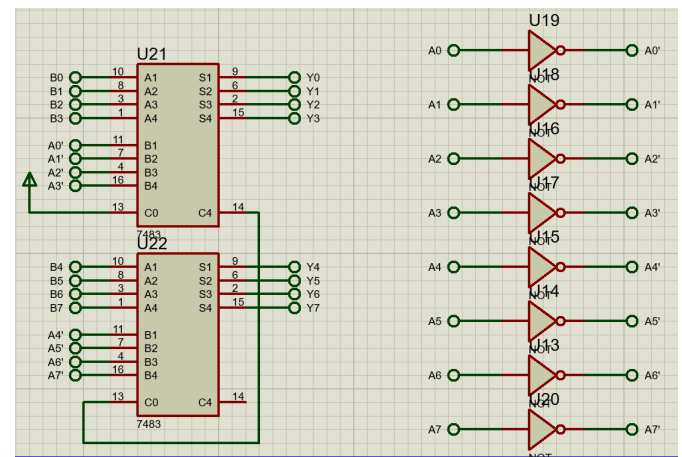


Fig 12.Sumadores

Signo de la resta caso A menor que B

Para el caso de la resta hay que tomar en cuenta que va a existir un signo menos[-] en el caso $A \leq B$ para esto hay que utilizar dos integrados 7485 que se encargan de comparar tanto el número A como el B . Hay que tomar en cuenta que el primer integrado compara los bits menos significativos tanto del número A como del número B y el segundo integrado compara los bits mas significativos tando del número A como del B.

Para finalmente obtener el signo de la resta es necesario conectar los circuitos comparadores a la función $[(A \leq B) \cdot (A = C)] + (A \leq B \cdot 1)$ ya que sis sus entradas estan en un nivel alto el resultado será un nivel bajo es decir el signo menos.

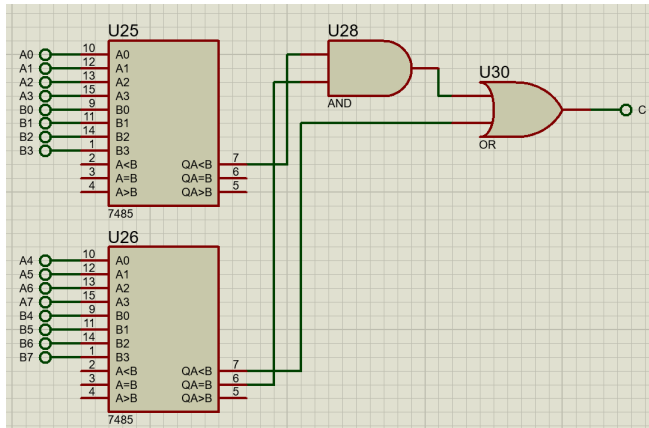


Fig 13.Comparadores

Selección del caso de la resta:

Ya obtenido el signo como una salida junto con las salidas de los dos comparadores, iran conectadas a dos multiplexores en cascada 74157 circuito que contiene cuatro multiplexores con sus dos entradas de datos y su salida cada uno, esta es la razón por la que se usará dos de ellos ya que el circuito cuenta con 8 bits y como existen dos entradas de datos completarian los 16 bits. Se debe tomar en cuenta que en el primer integrado se conectan los bits menos significativos tanto del número A como del B y en el segundo integrado se conectan los bits más significativos tanto del número A como del B.

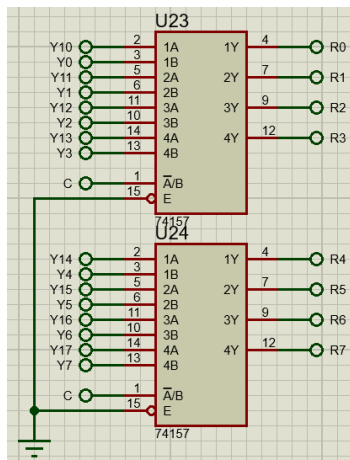


Fig 14.Multiplexores

Selección de la operación suma o resta:

Para la selección de la operación se utiliza 3 multiplexores en cascada.El primer y segundo integrado van conectados las salidas de los dos primeros sumadores (sin negar) junto con la salida del switch que indica la operación a realizarse ya sea la suma o la resta.

Es importante saber que el primer integrado va conectado a los bits menos significativos tanto del A como del B y el segundo integrado a los bits más significativos tanto del número A como del B.

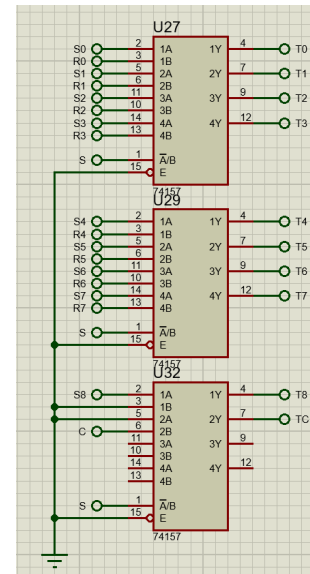


Fig 15.Multiplexores

Sincronización de los de los números a sumar o restar y la respuesta

Las compuertas and y or juntas funcionan como un generador de pulsos, a manera de un reloj tanto para los sumadores como para los decodificadores 4511 determinando tanto la velocidad con la que se actualizaran los datos en el display y el instante en la que se hará esa actualización.

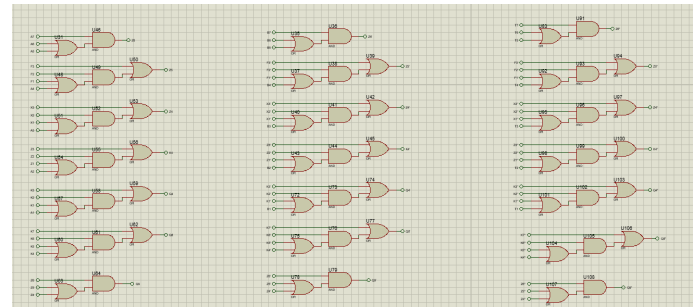


Fig 16.Compuertas And y Or

La compuerta OR juega en el circuito un papel muy importante ya que en el proceso del conteo los pines de los bits menos significativos pueden activarse y desactivarse varias veces y lo que se necesita en este circuito es solo la última activación es decir los últimos tres bits más significativos.

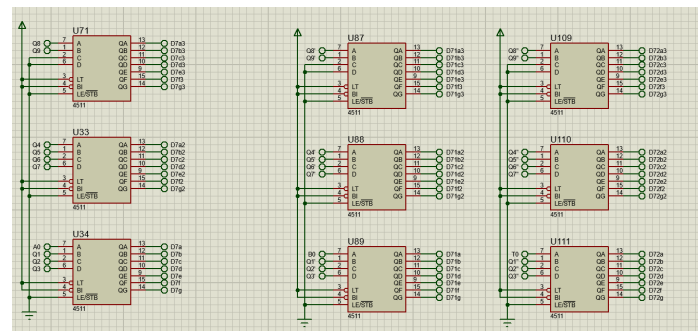


Fig 17.Decodificadores a 7 segmentos

Visualización en los display de 7 segmentos de los números a sumar o restar y la respuesta

Para finalizar se conecta directamente las salidas de los decodificadores 4511 a cada uno de los display cátodo común.

El display que indica el signo en la resta y el acarreo en la suma todas sus entradas vana conectadas a la salida del tercer multiplexor

que justamente nos indica lo dicho anter

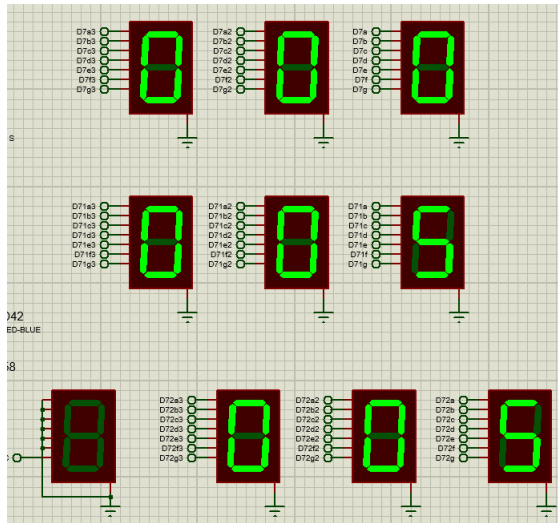


Fig 18.Display 7 segmentos

V. RESULTADOS

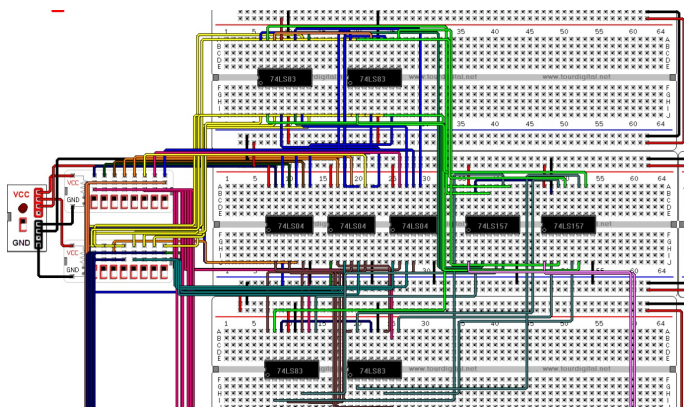


Fig 19.Simulación sumador restador de 8 bits

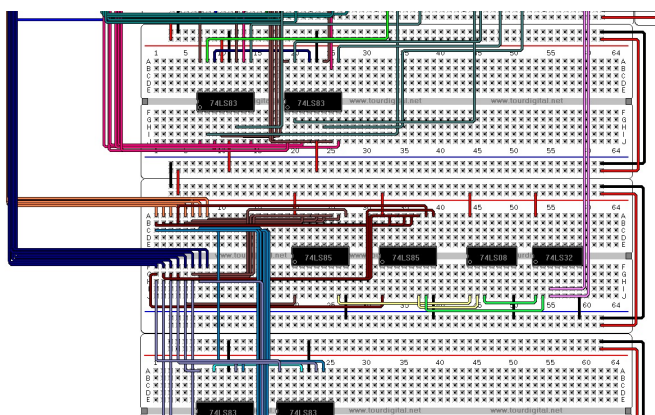


Fig 20.Simulación sumador restador de 8 bits

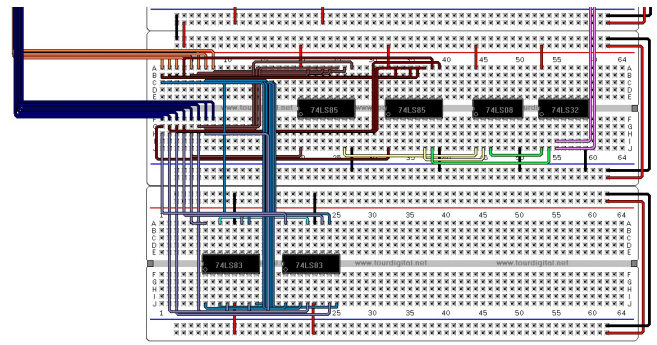


Fig 21.Simulación sumador restador de 8 bits

VI. CONCLUSIONES

En conclusión:

- Para implementar el circuito SUMADOR /RESTADOR DE 8 bits inicialmente se utiliza sumadores 7483 de 4 bits en cascada para lograr una interacción de 8 bits por número, como resultado a la salida se genera un numero de 9 bits siendo el noveno bit el de acarreo, mediante este proceso se pudo concluir que en el caso de la suma el bit de acarreo representa el bit más significativo del resultado para aquellos números decimales que sobrepasen los 8 bits en su representación binaria, mientras que en la resta el bit de acarreo representa el SIGNO en el caso que el resultado sea un número negativo.
- A partir del circuito SUMADOR se implementa el RESTADOR teóricamente se puede aplicar el complemento 1 o complemento 2 para efectuar la resta, en la práctica esto no ocurre así, a pesar que el método más fácil para hallar la resta es aplicar el complemento 1, surge la necesidad de utilizar integrados comparadores para identificar cada caso de la resta y seleccionar el resultado adecuado.
- Para implementar el sistema que permita elegir entre una operación u otra se debe multiplexar las salidas pero en vista que el simulador Tinkercad no cuenta con integrados multiplexores, este proceso se lo debe realizar diseñando un circuito que cumpla con esta función a partir de colocar puertas AND y XOR, pero el detalle más importante de dicho proceso está en que todo este sistema tiene que ir conectado a un dip switch o selector y el voltaje alto (H) o bajo (L), que llegue al dip será el que rija la operación "L." "0" para la suma y "H." "1" para la resta.
- Para analizar, diseñar e implementar el circuito lo más factible es dividirlo por etapas las mismas que van a describir cada parte importante del circuito como, el ingreso de los datos, la etapa del Sumador, la etapa del Restador, la del selector o Multiplexación y finalmente la etapa del decodificador BCD 4511 a 7 segmentos, en esta etapa para mostrar el resultado en un display se lo realiza según el valor máximo resultante de realizar la suma de los dos número de 8 bits en este caso el valor máximo que se puede obtener es 510 en número decimal con un acarreo, para representar esta cifra en un display de cátodo común se utilizan decodificadores 4511 conectados en cascada y para la proyección 4 display, uno para cada dígito del resultado y el cuarto display para el signo de la resta. A pesar que el circuito cuenta con diferentes etapas de análisis, el desarrollo del mismo tiene como principio fundamental la conexión de dispositivos en CASCADA.

REFERENCIAS

- [1] Rai, PK, Srivastava, S. y Johri, A. (2018). Diseño, diseño y simulación de un marco de almohadilla de circuitos lógicos y aritméticos de 8 bits utilizando el proceso C5 para CMOS submicrónicos profundos. Conferencia Internacional de Computación y Telecomunicaciones Avanzadas de 2018 (ICACAT). doi: 10.1109 / icacat.2018.8933609
- [2] Syamala, Y. y Tilak, AVN (2011). Unidad de lógica aritmética reversible. 2011 III Congreso Internacional de Tecnología Informática Electrónica. doi: 10.1109 / icectech.2011.5941987

- [3] Ahmed, MA, y Abdelghany, MA (2018). Unidad lógica aritmética de 4 bits de baja potencia que utiliza la técnica GDI de giro completo. Conferencia internacional 2018 sobre tendencias innovadoras en ingeniería informática (ITCE). doi: 10.1109 / itce.2018.8316623
- [4] Cortes-Barron, EA, Reyes-Barranca, MA, Flores-Nava, LM y Medina-Santiago, A. (2012). Unidad de lógica aritmética (ALU) de 4 bits basada en transistores Neuron MOS. 2012 Novena Conferencia Internacional sobre Ingeniería Eléctrica, Ciencias de la Computación y Control Automático (CCE). doi: 10.1109 / iceee.2012.6421136
- [5] Marin, J. (20-12-20). Contados Ascendente. BlogSpot. <http://jmaarin.blogspot.com/2017/12/contador-ascendente-con-ci-7493.html>
- [6] Monroy, M. (2018, 26 diciembre). Temporizador. Medium.com. <https://medium.com/@m.monroyc22/temporizador-555-243abcb933a5>
- [7] Gonzales, R. (2019, 7 abril). Contador Binario. Electrónica Digital. <https://personales.unican.es/manzanom/Planantiguo/EDigitalI/CONTG5.pdf>
- [8] Fuente, F. (2017, 24 enero). Decodificador bcd a 7 segmentos. Wilaeba Electronica. <https://wilaebaelectronica.blogspot.com/2017/01/decodificador-bcd-a-7-segmentos.html>