

华为半导体讲座

摩尔定律

具体定义？

是经济学定律（自然选择）：

- 发展过快 → 经费不足
- 发展过慢 → 被竞争者淘汰

晶体管

本质就是做得小的开关。

发展：单刀单掷开关 → 电子管 → 晶体管

能带理论

对于单个原子，由 Pauli 不相容原理，每个能级（轨道）上最多两个电子。

对于很多个原子共同构成一个「体」，（即「半导体」），如果能级不变，那就有 >2 个电子在同一个能级上，违反了 Pauli 不相容原理。

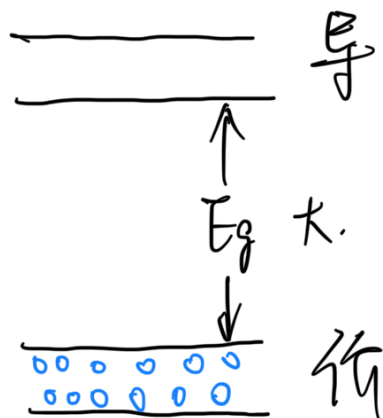
为了避免这个悖论，原来的一个「能级」就展开成为「能带」，有了一定宽度。

能带之间是带隙，电子不能存在。

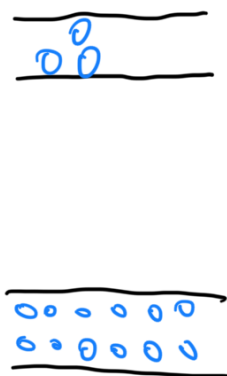
最外层的能带称为导带，次外层称为价带。

- **绝缘体**：价带填满，导带全空，带隙很大
- **导体**：价带填满，导带有一些电子
- **半导体**：价带填满，导带全空，但带隙较小 → 可作为开关，通过热激发使价带部分电子跃迁到导带，从而导带中存在自由电子，价带中存在空穴

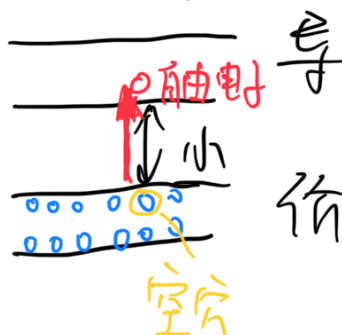
绝缘体



导体



半导体



LED: 电子遇到空穴, 湮灭发光?

半导体应用

N: 多一个电子, 原子核带负电+周围一个电子

P相反

PN结: 交界处电子空穴湮灭后, 那里的杂质原子核形成反向电场 → 天然屏障 画图

二极管

单向导电:

- 外界电场和内部电场反向: 削弱屏障, 逐渐导电
- 外界电场和内部电场同向: 增强屏障, 不导电

电流密度 $j = \exp(qV/kT)$

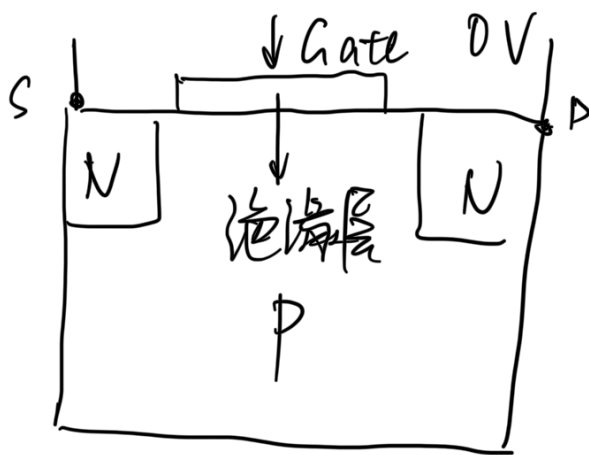
应用例:

1. 温度传感器
2. 固定电流, V 与 T 成正比 → BandGap 电压源

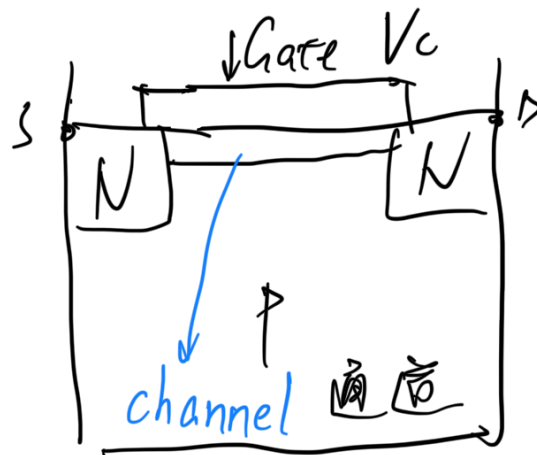
MOSFET

N-MOS 加高电位变成通路

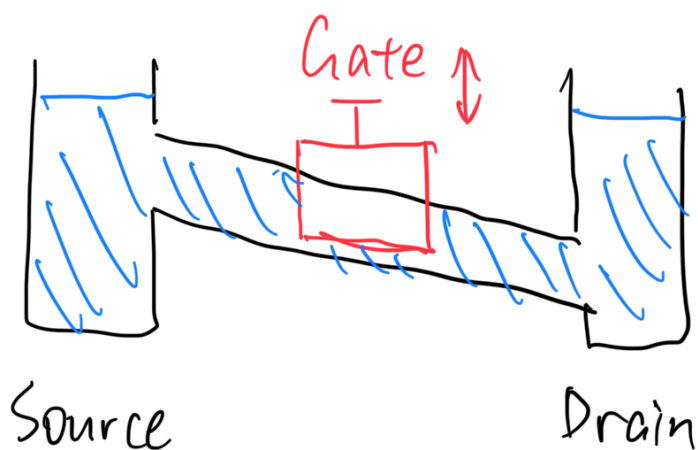
P-MOS 低电位~



不通 -



通 /



SRAM - CPU cache

DRAM - 运存

储存空间? hram?

理想的开关?

电压到 V_c 时, 突然导通

现实:

- 关态有漏电 静态损耗
- 转换态斜率太小 (平) 开关有能量损耗
- 开态有限 速度有瓶颈
- 输出不稳定

发展历程图？

原因：尺寸缩小了上图中左右N之间的间距 → D对S产生影响

我们希望gate对channel有绝对控制权

尺寸变短：D开始夺取channel的控制权 → 「短沟道效应」，开关越来越不理想

HKMG 之 High K@intel 45nm 技术节点

介质层电容 串 半导体电容

希望落在半导体上的电压大 → 增大介质层的电容 → G(介质层电容)变薄

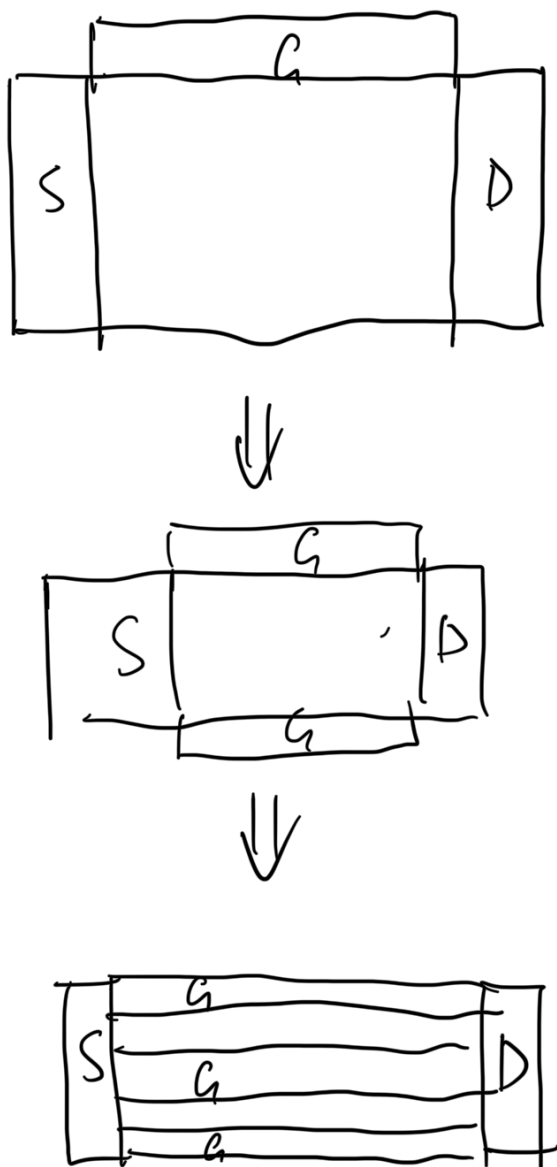
太薄了就会击穿 → 让介电常数变大，即 High K

之 Metal Gate

Metal Gate 调整阈值电压 V_t ：调整性能-功耗 CPU GPU NPU(neural)

金属 & 半导体接触 → fermi 能级对齐 → 能带弯曲 → 电场

晶体管进化：G对channel的控制权增加



1777ec 发展历程图

尺寸缩小的其他挑战：涨落 variation

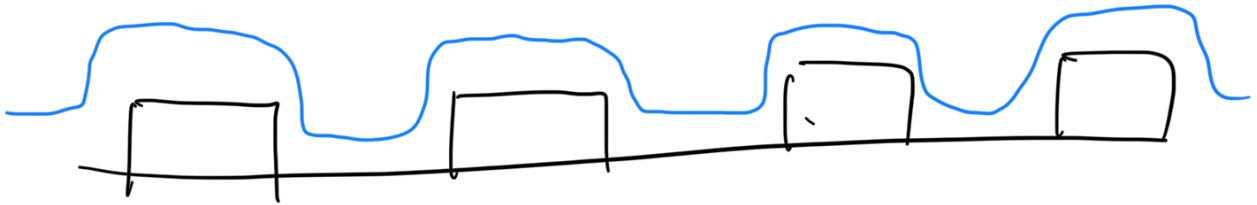
光刻：在芯片的微观尺度上刻

半导体：跟盖房子一样，只是在非常微观的层面上
挖、填、磨、铺

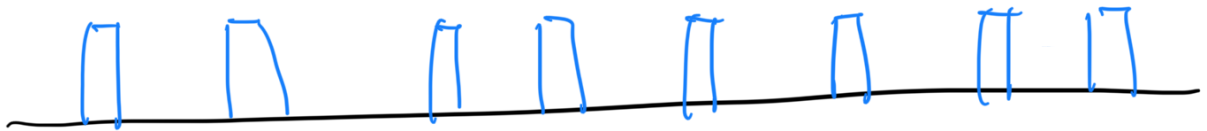
选择不同的材料，使得光刻能通过一个，而无法通过另一个，这样可以定形状、高度

光刻机极限是16nm左右

光刻极限.



在上面铺一层，打磨.



“两侧耳朵”突破极限

原理：特定波长的光，特定溶剂能溶解

最先进：EUV 13.5nm - ASML 公司

剩下的都是193nm ArF，一块样板需要分成几次曝光，EUV只需一次。7nm ArF需要80多次曝光。

光刻能力 $CD_{\min} = \text{Pitch}/2 = k_1 * \lambda / NA$ (Resolution)

$NA = n \sin \theta$

λ 减小；n从空气变成水

Depth of Focus

$DOF = k_2 \lambda / NA^2$

希望焦深大，否则会糊

化学机械平坦化 Chemical Mechanical Planarization

研磨

研磨液 选择性溶化一些物质，另一些物质无法被研磨；配方未掌握 → 基础化学

薄膜生长

CVD Chemical Vapor Deposition 化学气象沉积

气体+气体 → 薄膜物质+气体