

**ĐẠI HỌC QUỐC GIA HÀ NỘI  
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ**



**Nguyễn Minh Hiếu**

**NGHIÊN CỨU THIẾT KẾ LÕI IP TRÍCH XUẤT ĐẶC  
TRƯNG SỬ DỤNG THUẬT TOÁN MEDIAN  
EXTENDED LOCAL BINARY PATTERN (MRELBP)**

**KHÓA LUẬN TỐT NGHIỆP ĐẠI HỌC HỆ CHÍNH QUY**

**Ngành: Kỹ thuật máy tính**

**HÀ NỘI - 2025**

ĐẠI HỌC QUỐC GIA HÀ NỘI  
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ

Nguyễn Minh Hiếu

NGHIÊN CỨU THIẾT KẾ LÕI IP TRÍCH XUẤT ĐẶC  
TRUNG SỬ DỤNG THUẬT TOÁN MEDIAN  
EXTENDED LOCAL BINARY PATTERN (MRELBP)

KHÓA LUẬN TỐT NGHIỆP ĐẠI HỌC HỆ CHÍNH QUY  
Ngành: Kỹ thuật máy tính

Cán bộ hướng dẫn: TS. Nguyễn Kiêm Hùng  
(Ký tên)

HÀ NỘI - 2025

## LỜI CAM ĐOAN

Tôi xin cam đoan khóa luận tốt nghiệp **Nghiên cứu thiết kế lõi IP trích xuất đặc trưng sử dụng thuật toán Median Robust Extended Local Binary Pattern (MRE-BLBP)** là công trình nghiên cứu thực sự của tôi, được thực hiện dựa trên cơ sở lý thuyết, kiến thức chuyên ngành dưới sự hướng dẫn khoa học của TS. Nguyễn Kiêm Hùng.

Tôi xin cam đoan những công việc trong khóa luận thực hiện chưa từng được các tác giả khác đề xuất. Với sự hiểu biết của mình, tôi chắc chắn các số liệu, kết quả trong khóa luận là trung thực và chưa được công bố ở đâu và trong bất cứ công trình nào trừ công trình của tác giả và tài liệu tham khảo.

Nếu có gì sai trái, tôi xin hoàn toàn chịu trách nhiệm.

*Hà Nội, ngày ... tháng ... năm 2025*

**Sinh viên**

**Nguyễn Minh Hiếu**

## LỜI CẢM ƠN

Đầu tiên, em xin cảm ơn đến khoa Điện Tử Viễn Thông, trường Đại học Công Nghệ  
Đại học Quốc Gia Hà Nội, các thầy cô đã tận tình chỉ dạy và trang bị cho em những  
kiến thức cần thiết trong suốt thời gian trên ghế giảng đường, làm nền tảng cho em có  
thể hoàn thành được bài đồ án này.

Em xin gửi lời cảm ơn đến TS. Nguyễn Kiêm Hùng, thầy đã định hướng, hỗ trợ cho  
em từ trang thiết bị cho tới các kiến thức bổ ích, giải đáp các thắc mắc cũng như đề xuất  
những giải pháp phù hợp để công trình được hoàn thành. Thầy đã đồng hành cùng em  
một chặng đường rất dài trong suốt quãng thời gian qua. Em xin được gửi tới thầy những  
lời chúc tốt đẹp nhất.

Hà Nội, ngày ... tháng ... năm 2025

Sinh viên

Nguyễn Minh Hiếu

## TÓM TẮT

**Tóm tắt:** Kết cấu là một đặc trưng quan trọng được sử dụng nhiều trong các bài toán phân loại hình ảnh (image classification), nhận dạng mẫu (pattern recognition). Local Binary Pattern (LBP) là một phương pháp giúp trích xuất đặc trưng hiệu quả được sử dụng nhiều trong các bài toán phân loại kết cấu. Tuy nhiên, phương pháp LBP truyền thống rất nhạy cảm với nhiễu và không có khả năng nắm bắt các cấu trúc vĩ mô (macrostructure) [1]. Để giải quyết vấn đề đó, Median Robust Extended Local Binary Pattern (MRELBP) là một trong các biến thể của LBP đạt được các kết quả thực nghiệm cao nhất. Dựa trên MRELBP, đồ án đưa ra thiết kế mức RTL bộ trích xuất đặc trưng và triển khai, kiểm nghiệm IP bằng cách xây dựng hệ thống SoC trên bo mạch Zedboard. Thời gian trích xuất đạt được ở hình ảnh kích cỡ 128x128 của tập dữ liệu Outex-TC là xấp xỉ....,

**Từ khóa:** *LBP, MRELBP, Zedboard, Line Buffer, Window Buffer, RTL, SoC.*

## MỤC LỤC

Lời cam đoan . . . . .	
Lời cảm ơn . . . . .	
Tóm tắt . . . . .	
Mục lục . . . . .	i
Tóm tắt . . . . .	iii
Danh mục hình vẽ . . . . .	iv
Danh mục bảng biểu . . . . .	vi
Mở đầu . . . . .	1
<b>CHƯƠNG 1. CƠ SỞ LÝ THUYẾT . . . . .</b>	4
1.1. Đặt vấn đề . . . . .	4
1.2. Trích xuất đặc trưng . . . . .	4
1.2.1. Khái niệm trích xuất đặc trưng . . . . .	4
1.2.2. Kết cấu thị giác . . . . .	5
1.2.3. Các phương pháp trích xuất đặc trưng . . . . .	6
1.2.4. Local Binary Pattern . . . . .	7
1.2.5. Các biến thể của LBP . . . . .	9
1.2.6. Median Robust Extended Local Binary Pattern . . . . .	10
1.3. Nền tảng về thiết kế số . . . . .	12
1.3.1. Tổng quan về thiết kế số . . . . .	12
1.3.2. Máy trạng thái hữu hạn . . . . .	12
1.3.3. Pipelining . . . . .	13
1.3.4. Giao diện AXI4-Stream . . . . .	14
1.4. Phần mềm thiết kế và mô phỏng Vivado . . . . .	15
1.5. Luồng thiết kế . . . . .	15
<b>CHƯƠNG 2. ĐẶC TẢ KỸ THUẬT . . . . .</b>	16
2.1. Yêu cầu hệ thống . . . . .	16
2.2. Xác định thiết kế . . . . .	16
2.2.1. Tối ưu thuật toán phù hợp với phần cứng . . . . .	16
2.2.2. Sơ đồ triển khai thuật toán . . . . .	17

2.3. Đặc tả kỹ thuật . . . . .	19
2.3.1. Đặc tả mô đun MRELBP . . . . .	19
2.3.2. Đặc tả mô đun MedianProcessing . . . . .	20
2.3.3. Đặc tả mô đun CI . . . . .	24
2.3.4. Đặc tả mô đun NIRD . . . . .	28
2.3.5. Đặc tả mô đun JointHistogram . . . . .	34
<b>CHƯƠNG 3. Thiết kế RTL . . . . .</b>	<b>36</b>
3.1. Mô đun MedianProcessing . . . . .	36
3.1.1. Mô đun LineBuffer . . . . .	36
3.1.2. Mô đun ZeroPadding . . . . .	37
3.1.3. Mô đun MedianCalculation . . . . .	44
3.2. Mô đun CI . . . . .	49
3.2.1. Cơ sở xây dựng mô đun PatchSum . . . . .	50
3.2.2. Xây dựng mô đun PatchSum . . . . .	50
3.3. Mô đun NIRD . . . . .	53
3.3.1. Mô đun Interpolation . . . . .	53
3.3.2. Mô đun RIU2 . . . . .	53
3.4. Mô đun JointHistogram . . . . .	54
3.5. Mô đun MRELBP . . . . .	56
3.6. Tính toán thời gian hoạt động của toàn bộ mô đun . . . . .	57
<b>CHƯƠNG 4. MÔ PHỎNG VÀ KIỂM THỬ . . . . .</b>	<b>59</b>
4.1. Cơ sở lý thuyết kiểm thử . . . . .	59
4.2. Phương pháp xây dựng kiểm thử . . . . .	60
4.3. Đánh giá kết quả kiểm thử . . . . .	62
<b>CHƯƠNG 5. THỰC THI VÀ ĐÁNH GIÁ . . . . .</b>	<b>63</b>
5.1. Thông tin về board ZCU016 Ultrascale . . . . .	63
5.2. Xây dựng hệ thống SoC . . . . .	63
5.3. Đánh giá thực tế . . . . .	63
<b>TÀI LIỆU THAM KHẢO . . . . .</b>	<b>64</b>

## TÓM TẮT

**Tóm tắt:** Kết cấu là một đặc trưng quan trọng được sử dụng nhiều trong các bài toán phân loại hình ảnh (image classification), nhận dạng mẫu (pattern recognition). Local Binary Pattern (LBP) là một phương pháp giúp trích xuất đặc trưng hiệu quả được sử dụng nhiều trong các bài toán phân loại kết cấu. Tuy nhiên, phương pháp LBP truyền thống rất nhạy cảm với nhiễu và không có khả năng nắm bắt các cấu trúc vĩ mô (macrostructure) [1]. Để giải quyết vấn đề đó, Median Robust Extended Local Binary Pattern (MRELBP) là một trong các biến thể của LBP đạt được các kết quả thực nghiệm cao nhất. Dựa trên MRELBP, đồ án đưa ra thiết kế mức RTL bộ trích xuất đặc trưng và triển khai, kiểm nghiệm IP bằng cách xây dựng hệ thống SoC trên bo mạch Zedboard. Thời gian trích xuất đạt được ở hình ảnh kích cỡ 128x128 của tập dữ liệu Outex-TC là xấp xỉ....,

**Từ khóa:** *LBP, MRELBP, Zedboard, Line Buffer, Window Buffer, RTL, SoC.*

## DANH MỤC HÌNH VẼ

Hình 1.1	Hình ảnh mẫu về kết cấu . . . . .	5
Hình 1.2	Hoạt động của LBP với bán kính r và p điểm ảnh xung quanh [1] . . . . .	7
Hình 1.3	LBP với các mẫu bán kính và điểm ảnh lân cận[14] . . . . .	8
Hình 1.4	36 giá trị đặc trưng ứng với 8 giá trị điểm ảnh lân cận [14] . . . . .	9
Hình 1.5	Số lượng các mẫu theo U với $p = 8$ [1] . . . . .	10
Hình 1.6	Sự khác nhau giữa trích xuất đặc trưng của ELBP và RELBP [1] . . . . .	10
Hình 1.7	Máy trạng thái hữu hạn . . . . .	13
Hình 1.8	Mạch trước khi pipelining . . . . .	14
Hình 1.9	Mạch sau khi pipelining . . . . .	14
Hình 1.10	Truyền dữ liệu ở kênh AXI4-Stream . . . . .	15
Hình 2.1	Phiên bản thiết kế phần cứng của biểu diễn điểm ảnh trung tâm - CI . . . . .	18
Hình 2.2	Quá trình tạo ra đặc trưng của thuật toán RELBP [16] . . . . .	18
Hình 2.3	Sơ đồ kiến trúc tổng quát của MRELBP IP . . . . .	18
Hình 2.4	Sơ đồ khối của mô đun MRELBP . . . . .	20
Hình 2.5	Dạng sóng của mô đun MRELBP . . . . .	20
Hình 2.6	Dạng sóng của mô đun MedianProcessing . . . . .	21
Hình 2.7	Sơ đồ khối của mô đun Buffer6Rows . . . . .	22
Hình 2.8	Dạng sóng của mô đun LineBuffer . . . . .	23
Hình 2.9	Dạng sóng của mô đun Buffer6Rows . . . . .	24
Hình 2.10	Dạng sóng của mô đun ZeroPadding . . . . .	24
Hình 2.11	Dạng sóng của mô đun MedianCalculation . . . . .	25
Hình 2.12	Dạng sóng của mô đun CI . . . . .	27
Hình 2.13	Sơ đồ khối của mô đun CI . . . . .	27
Hình 2.14	Dạng sóng của mô đun MRELBP_CI . . . . .	28
Hình 2.15	Sơ đồ khối của mô đun NIRD . . . . .	30
Hình 2.16	Dạng sóng của mô đun NIRD . . . . .	30
Hình 2.17	Dạng sóng của mô đun NI . . . . .	32
Hình 2.18	Dạng sóng của mô đun RD . . . . .	33
Hình 2.19	Dạng sóng của mô đun RIU2 . . . . .	34
Hình 2.20	Biểu đồ sóng của mô đun JointHistogram . . . . .	34
Hình 3.1	Định nghĩa các ký hiệu được sử dụng khi mô tả kiến trúc RTL . . . . .	36
Hình 3.2	Định nghĩa các tín hiệu ra vào một mô đun . . . . .	36
Hình 3.3	Mô tả RTL của mô đun LineBuffer . . . . .	37
Hình 3.4	Sơ đồ chuyển trạng thái của mô đun LineBuffer . . . . .	38
Hình 3.5	Sơ đồ chuyển trạng thái của mô đun ZeroPadding . . . . .	39
Hình 3.6	Mô tả RTL (1) của mô đun ZeroPadding ứng với cửa sổ $3 \times 3$ . . . . .	39
Hình 3.7	Mô tả RTL (2) của mô đun ZeroPadding ứng với cửa sổ $3 \times 3$ . . . . .	40
Hình 3.8	Mô tả RTL của mô đun ZeroPadding ứng với cửa sổ $5 \times 5$ . . . . .	40

Hình 3.9	Mô tả RTL của mô đun ZeroPadding ứng với cửa sổ $7 \times 7$	42
Hình 3.10	Mô tả về mạng sắp xếp với 3 phần tử [18]	45
Hình 3.11	Mô tả cấu trúc bộ so sánh và hoán đổi	45
Hình 3.12	Thực hiện và ví dụ của tìm trung vị của cửa sổ $3 \times 3$	46
Hình 3.13	Thực hiện và ví dụ của tìm trung vị của cửa sổ $3 \times 3$	46
Hình 3.14	Thực hiện và ví dụ của tìm trung vị của cửa sổ $5 \times 5$ [19]	47
Hình 3.15	Xây dựng bộ sắp xếp 5 phần tử dựa trên bộ sắp xếp 3	47
Hình 3.16	Kiến trúc của bộ sắp xếp tăng dần 5 phần tử	48
Hình 3.17	Thực hiện và ví dụ của tìm trung vị của cửa sổ $7 \times 7$	49
Hình 3.18	Xây dựng bộ sắp xếp 7 phần tử dựa trên bộ sắp xếp 5 và bộ sắp xếp 3	49
Hình 3.19	Ví dụ về nguyên lý cửa kỹ thuật cửa sổ trượt	50
Hình 3.20	Kiến trúc của mô đun sum_cum	50
Hình 3.21	Sơ đồ chuyển trạng thái của mô đun PatchSum	51
Hình 3.22	Kiến trúc RTL (1) của mô đun PatchSum	52
Hình 3.23	Kiến trúc RTL (2) của mô đun PatchSum với $r = 2$	52
Hình 3.24	Kiến trúc RTL của mô đun Interpolation	53
Hình 3.25	Kiến trúc RTL của mô đun RIU2	54
Hình 3.26	Kiến trúc RTL của mô đun JointHistogram	55
Hình 3.27	Sơ đồ chuyển trạng thái của mô đun JointHistogram	55
Hình 3.28	Sơ đồ chuyển trạng thái của mô đun MRELBP	56
Hình 3.29	Mô tả các tín hiệu yêu cầu đọc dữ liệu (1) của mô đun MRELBP	56
Hình 3.30	Mô tả các tín hiệu yêu cầu đọc dữ liệu (2) của mô đun MRELBP	57
Hình 4.1	Biểu đồ phân tích thời gian và độ bao phủ của các bộ kiểm thử	60
Hình 4.2	Các thành phần cơ bản của một bộ kiểm tra	61
Hình 4.3	Các thành phần của bộ kiểm tra lớp	61
Hình 4.4	Các lớp của bộ kiểm tra lớp	61

## DANH MỤC BẢNG BIỂU

Bảng 1.1 Các phương pháp trích xuất đặc trưng . . . . .	6
Bảng 1.2 Một vài biến thể của LBP . . . . .	11
Bảng 2.1 Các yêu cầu phi chức năng cho thiết kế . . . . .	17
Bảng 2.2 Danh sách các tham số của mô đun MRELBP . . . . .	19
Bảng 2.3 Danh sách các tín hiệu của giao diện mô đun MRELBP . . . . .	19
Bảng 2.4 Tham số của mô đun MedianProcessing . . . . .	21
Bảng 2.5 Danh sách các tín hiệu của mô đun MedianProcessing . . . . .	21
Bảng 2.6 Danh sách các tham số của mô đun LineBuffer . . . . .	23
Bảng 2.7 Danh sách các tín hiệu của giao diện mô đun LineBuffer . . . . .	23
Bảng 2.8 Danh sách các tham số của mô đun ZeroPadding . . . . .	24
Bảng 2.9 Danh sách các tín hiệu của giao diện mô đun ZeroPadding . . . . .	25
Bảng 2.10 Danh sách các tham số của mô đun MedianCalculation . . . . .	25
Bảng 2.11 Danh sách các tín hiệu của giao diện mô đun MedianCalculation . . . . .	26
Bảng 2.12 Tham số của mô đun CI . . . . .	26
Bảng 2.13 Danh sách các tín hiệu của mô đun CI . . . . .	26
Bảng 2.14 Tham số của mô đun MRELBP_CI . . . . .	28
Bảng 2.15 Danh sách các tín hiệu của mô đun MRELBP_CI . . . . .	28
Bảng 2.16 Tham số của mô đun NIRD . . . . .	29
Bảng 2.17 Danh sách các tín hiệu của mô đun NIRD . . . . .	29
Bảng 2.18 Tham số của mô đun Interpolation . . . . .	30
Bảng 2.19 Danh sách các tín hiệu của mô đun Interpolation . . . . .	31
Bảng 2.20 Tham số của mô đun NI . . . . .	32
Bảng 2.21 Danh sách các tín hiệu của mô đun NI . . . . .	32
Bảng 2.22 Danh sách các tín hiệu của mô đun RD . . . . .	33
Bảng 2.23 Danh sách các tín hiệu của mô đun RIU2 . . . . .	34
Bảng 2.24 Danh sách các tín hiệu của mô đun JointHistogram . . . . .	35
Bảng 3.1 Bảng điều kiện cho dữ liệu đầu ra ứng với cửa sổ 5x5 . . . . .	41
Bảng 3.2 Số chu kỳ thực hiện của các mô đun ZeroPadding . . . . .	42

Bảng 3.3	Bảng điều kiện cho dữ liệu đầu ra ứng với cửa sổ $7 \times 7$	44
Bảng 3.4	Số chu kỳ thực hiện của các mô đun mô đun sắp xếp và mô đun MedianCalculation	48
Bảng 3.5	Bảng điều kiện cho mô tả hình 3.22	51
Bảng 3.6	Số chu kỳ thực hiện của các mô đun ZeroPadding	57

# MỞ ĐẦU

## Lý do chọn đề tài

Với sự phát triển nhanh chóng của dữ liệu, phần cứng, các nhu cầu về ứng dụng của trí tuệ nhân tạo trong đời sống đang trở nên cấp thiết. Các phương pháp xử lý ảnh và thị giác máy hiện đại đã đóng một vai trò quan trọng trong các bài toán về phân loại hình ảnh, nhận diện mẫu, ... Kết cấu là khía cạnh cơ bản nhất của một bức tranh hay hình ảnh, góp phần tạo nên sự nhận dạng của bức tranh đó. Trong các bài toán về thị giác máy, thông tin kết cấu đóng vai trò quan trọng trong việc phân biệt các đối tượng có hình dạng tương tự nhưng thuộc các lớp khác nhau. Số lượng lớn các hình ảnh của vẹt tinh, lâm nghiệp,... có thể được xác định dựa vào kết cấu của chúng. Chẳng hạn, trong phân loại hình ảnh vẹt tinh, kết cấu giúp phân biệt giữa rừng, đất nông nghiệp.

Mặc dù các phương pháp học sâu đã ngày càng trở nên phổ biến hơn trong nhiều ứng dụng trong suốt thập kỷ qua, việc sử dụng các mô tả (descriptors) vẫn quan trọng trong nhiều lĩnh vực, những nơi mà không có đủ dữ liệu và tài nguyên tính toán để huấn luyện các mô hình phức tạp như CNN. Đã có những chứng minh cho thấy rằng việc sử dụng các phương pháp mô tả truyền thống như LBP đạt được những kết quả cao hơn CNNs trong nhiều tình huống [2]. Do đó, LBP vẫn chứng minh được tính hiệu quả của mình. Tuy nhiên, LBP là một phương pháp nhạy cảm với các yếu tố về nhiễu và không có khả năng nắm bắt các cấu trúc vĩ mô. Có rất nhiều biến thể của LBP đã được đề xuất như Local Tenary Pattern (LTP), Extended Local Binary Pattern (ELBP),... Trong số đó, MRELBP là một trong những biến thể có được kết quả cao nhất với kết quả đạt lần lượt 99.82%, 99.38% và 99.77% trong 3 tập dữ liệu của bộ dữ liệu Outex-TC [1].

Việc ứng dụng các giải pháp trí tuệ nhân tạo vào đời sống là điều cần thiết, tuy nhiên, các thách thức về thời gian thực vẫn luôn là thách thức lớn. Các hệ thống nhúng nhỏ gọn dùng để thực hiện một chức năng chuyên biệt đang ngày càng chiếm vị trí quan trọng vì chúng có thể đạt được hiệu năng cao hơn rất nhiều. Do đó, mục tiêu của đồ án này là nghiên cứu và thực hiện phần cứng tăng tốc xử lý cho bộ trích xuất đặc trưng sử dụng MRELBP nhằm giảm thời gian tính toán. Để triển khai và kiểm thử trong thực tế, sinh viên sẽ xây dựng một hệ thống System on Chip (SoC) trên bo mạch Zedboard với

IP đã được thiết kế để đảm bảo tính chính xác, khả năng mở rộng và các yếu tố về tăng tốc thời gian.

## Phương pháp nghiên cứu

Trong khóa luận, để đạt được mục đích nghiên cứu, sinh viên đã tìm hiểu các tài liệu, bài báo, tạp chí quốc tế,... có uy tín, thực hiện việc tính toán mô hình dữ liệu, phân tích số học để đưa ra các hướng giải quyết hợp lý, và sau đó kiểm nghiệm lại kết quả bằng hình thức mô phỏng bằng simulation trên phần mềm Vivado, triển khai tích hợp IP với hệ thống SoC và kiểm nghiệm lại với Integrated Logic Analyzer (ILA), so sánh kết quả đạt được với phần mềm đã có. Cụ thể các phương pháp nghiên cứu sau đã được sử dụng trong khóa luận:

- Sử dụng kỹ thuật Line Buffer để giảm truy cập bộ nhớ, đồng thời xây dựng nên các cửa sổ phù hợp cho việc tính toán.
- Xây dựng bộ tính toán trung vị sử dụng kiến trúc Systolic.

## Nội dung nghiên cứu

- Tìm hiểu về thuật toán MRELBP, đánh giá, so sánh với các biến thể khác của LBP và các thuật toán khác cho bài toán trích xuất đặc trưng.
- Xây dựng kiến trúc tổng thể và chi tiết cho toàn bộ hệ thống.
- Triển khai HDL, mô phỏng và kiểm thử.
- Tìm hiểu bo mạch Zedboard và triển khai hệ thống SoC.
- Kiểm nghiệm lại toàn bộ hệ thống, so sánh và đánh giá kết quả đạt được.

## Đóng góp của đề tài

Với sự hiểu biết của sinh viên, những kết quả nghiên cứu trong khóa luận đã đạt được mục đích nghiên cứu đề ra. Những kết quả này bao gồm:

- Xây dựng được kiến trúc cho bộ tăng tốc phần cứng.
- Triển khai HDL, mô phỏng và kiểm tra.

- Kiểm nghiệm kết quả phần cứng và phần mềm với tập dữ liệu Outex-TC.
- Xây dựng hệ thống SoC sử dụng IP đã thiết kế.
- Đánh giá, phân tích kết quả thu được với kết quả mô phỏng và thực tế.

## Bô cục của khóa luận

Nội dung chính của khóa luận được trình bày như sau:

- **Mở đầu:** Trình bày mục đích, phương pháp nghiên cứu, nội dung, đóng góp và bô cục của khóa luận.
- **Chương 1: Cơ sở lý thuyết** - Các khái niệm cơ bản về các phương pháp trích xuất đặc trưng truyền thống, LBP và MRELBP. Đưa ra đánh giá về kết quả, ưu điểm và nhược điểm của các phương pháp.
- **Chương 2: Đặc tả kỹ thuật** - Đưa ra các mô tả và yêu cầu kỹ thuật cho thiết kế IP.
- **Chương 3: Thiết kế RTL** - Trình bày chi tiết ở mức RTL cho các mô đun của thiết kế, thuật toán sử dụng, thời gian thực hiện.
- **Chương 4: Kiểm thử** - Trình bày phương pháp kiểm thử, mô phỏng và kiểm tra quá trình, kết quả hoạt động.
- **Chương 5: Thực thi và đánh giá** - Thực hiện thực thi, đánh giá về bộ tăng tốc trên bo mạch Zedboard, các hạn chế và đề xuất phương hướng.
- **Kết luận:** Tổng kết về công việc đã thực hiện và kết quả đạt được

# CHƯƠNG 1

## CƠ SỞ LÝ THUYẾT

### 1.1. Đặt vấn đề

Sự phát triển mạnh mẽ của AI trong nhiều năm trở lại đây đã thúc đẩy mạnh mẽ tới sự phát triển của nhiều ngành nghề. Các ứng dụng và giải pháp AI xuất hiện ngày càng phổ biến trong nhiều lĩnh vực bao gồm tài chính, chăm sóc sức khỏe, bảo mật, ... Năm 2022, thị trường AI toàn cầu được định giá khoảng 454,12 tỷ USD và dự kiến đạt 2.575,16 tỷ USD vào năm 2032 [3]. Theo khảo sát của McKinsey, tỷ lệ doanh nghiệp áp dụng AI ít nhất trong một chức năng đã tăng từ 20% năm 2017 lên 50% năm 2022 [4].

Với sự phát triển mạnh mẽ đó, các nhu cầu về việc tăng tốc AI bằng các phần cứng chuyên biệt cũng được tăng theo. Thị trường tăng tốc AI toàn cầu đạt khoảng 19.89 tỷ USD và dự kiến tăng trưởng với tốc độ CAGR 29.4% từ 2024 đến 2030 [5]. Field-Programmable Gate Arrays (FPGAs) là một trong những giải pháp linh hoạt, hiệu quả cho việc triển khai các thiết kế phần cứng tùy chỉnh cho từng ứng dụng AI. Với khả năng tính toán song song mạnh mẽ, ta có thể đạt được hiệu suất cao và độ trễ thấp kể cả đối với các thuật toán xử lý phức tạp. Bên cạnh đó, việc tối ưu hóa năng lượng tiêu thụ và tối ưu hóa I/O có thể đem lại những giá trị có lợi hơn cho nhiều giải pháp. Các nghiên cứu của Apriorit cũng chỉ ra rằng, FPGAs có thể cải thiện hiệu suất tổng thể của các ứng dụng AI [6].

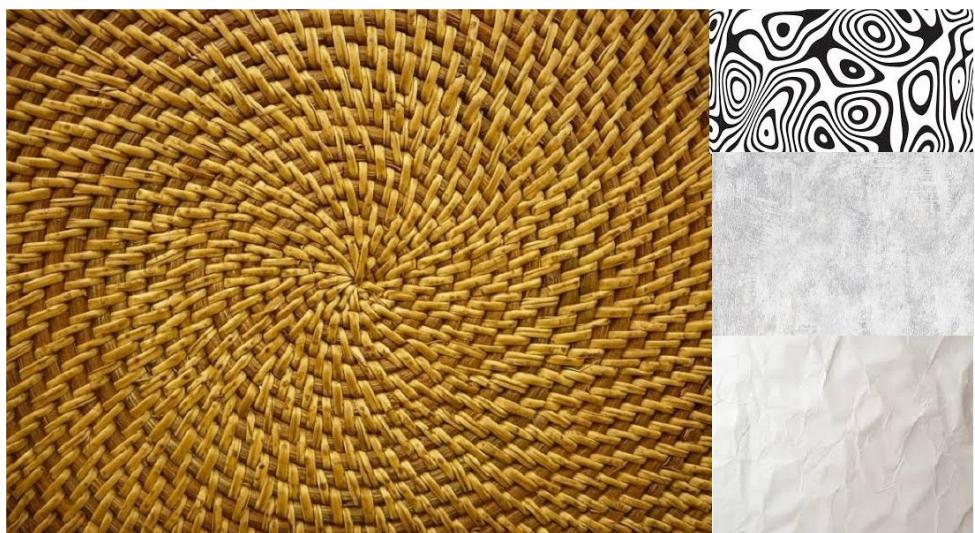
### 1.2. Trích xuất đặc trưng

#### 1.2.1. Khái niệm trích xuất đặc trưng

Trích xuất đặc trưng là quá trình chuyển đổi các dữ liệu thô thành các dữ liệu số mà có thể xử lý bởi các mô hình mà vẫn đảm bảo được thông tin từ dữ liệu gốc. Việc trích xuất đặc trưng sẽ đem lại kết quả tốt hơn đối với nhiều thuật toán, giảm chiều và độ phức tạp của dữ liệu. Việc trích xuất đặc trưng có thể bao gồm việc lấy ra các dữ liệu đã có trong dữ liệu gốc hoặc tạo ra các đặc trưng mới bằng các kỹ thuật đặc trưng. Các đặc trưng này có thể coi là đặc tính của một đối tượng dữ liệu. Từ những đặc tính đã được trích xuất, các mô hình có thể đạt được các kết quả tốt hơn trong khi lượng thông tin cần xử lý là ít hơn, đảm bảo được hiệu suất xử lý.

Trong xử lý ảnh, trích xuất đặc trưng mô tả các thông tin mang tính hình dạng có liên quan trong một mẫu để nhiệm vụ phân loại mẫu có thể thực hiện dễ dàng [7]. Có thể coi trích xuất đặc trưng là một dạng đặc biệt của giảm chiều dữ liệu. Mục tiêu chính của trích xuất đặc trưng là đạt được các thông tin liên quan của đối tượng từ dữ liệu gốc và biểu diễn chúng ở một chiều dữ liệu nhỏ hơn. Khi mà đầu vào của một thuật toán là quá lớn để xử lý, nó cần được loại bỏ dư thừa. Do đó, dữ liệu cần phải được giảm thiểu bằng cách biểu diễn dưới tập các đặc trưng có ý nghĩa.

### **1.2.2. Kết cấu thị giác**



Hình 1.1. Hình ảnh mẫu về kết cấu

Texture hay kết cấu bề mặt là một khái niệm cơ bản trong lĩnh vực hình ảnh và thị giác máy tính đề cập đến các đặc điểm cơ bản của hầu hết mọi bề mặt tự nhiên có mặt ở khắp mọi nơi trong hình ảnh tự nhiên. Những đặc điểm này bao gồm kích thước, hình dáng, mật độ, sự sắp xếp và tỷ lệ của các thành phần cơ bản tạo nên thành phần đó. Trong thị giác máy tính, kết cấu đóng vai trò là một trong những đặc điểm quan trọng nhất để nhận diện và phân biệt các đối tượng hoặc các vùng quan tâm trong ảnh. Phân loại kết cấu là bài toán cơ bản được ứng dụng trong nhiều lĩnh vực như chuẩn đoán y khoa [8], dầu và gas [9], nông nghiệp [10], phân tích hình ảnh y sinh, hình ảnh vệ tinh, ... Mục tiêu chính của phân loại kết cấu là xây dựng một mô hình có khả năng mô tả nội dung kết cấu đã biết dựa trên dữ liệu huấn luyện. Tuy nhiên, để phân biệt được sự khác biệt giữa các kết cấu là vấn đề khá khó khăn vì các kết cấu thực tế thường có nhiều độ phân giải khác nhau, độ quay tùy ý và có thể được chiếu sáng bởi nhiều điện kiện chiếu sáng khác nhau. Điều này yêu cầu các phương pháp cần có khả năng phân tích được tính

bất biến của đối tượng.

Một đặc trưng kết cấu tốt được mong đợi bởi đáp ứng 2 yếu tố: Độ phức tạp tính toán thấp cho phép phù hợp với các tác vụ phân loại thời gian thực và nắm bắt được thông tin kết cấu đại diện của một lớp kết cấu, sao cho các lớp kết cấu khác nhau có thể được phân biệt mặc dù có sự hiện diện của nhiều dạng hình ảnh khác nhau (bao gồm độ sáng, độ xoay, tỷ lệ, điểm nhìn, nhiễu, ...).

### **1.2.3. Các phương pháp trích xuất đặc trưng**

Để phân loại kết cấu một cách hiệu quả, cần phải có các phương pháp mô tả và trích xuất đặc trưng của từng loại kết cấu. Có thể chia chúng thành 3 loại bao gồm: phương pháp thống kê, phương pháp mô hình và phương pháp bộ lọc [11].

Phương pháp	Đặc điểm	Phân loại	Thuật toán
Thống kê	Phân tích sự phân bố không gian của các giá trị độ xám trong ảnh bằng cách tính toán các đặc trưng cục bộ, cung cấp các thông tin về độ sáng, độ tương phản, ...	Bậc nhất, bậc 2 và bậc cao	GLCM, LBP, ...
Mô hình	Xây dựng các mô hình toán học để mô tả kết cấu trong ảnh, sau đó trích xuất các tham số của mô hình này thông qua phân tích kết cấu. Bằng cách giả định rằng kết cấu được tạo ra bởi một quá trình ngẫu nhiên hoặc tuân theo một quá trình toán học cụ thể, các tham số của mô hình có thể được sử dụng làm đặc trưng để phân loại	Ngẫu nhiên, fractal, tự hồi quy	MRF, ...
Bộ lọc	Sử dụng các bộ lọc để biến đổi ảnh gốc, sau đó năng lượng của các phản hồi bộ lọc được tính toán tạo thành các đặc trưng kết cấu	Miền không gian, miền tần số, miền không gian - tần số	Gabor filters, Wavelet transforms, ...

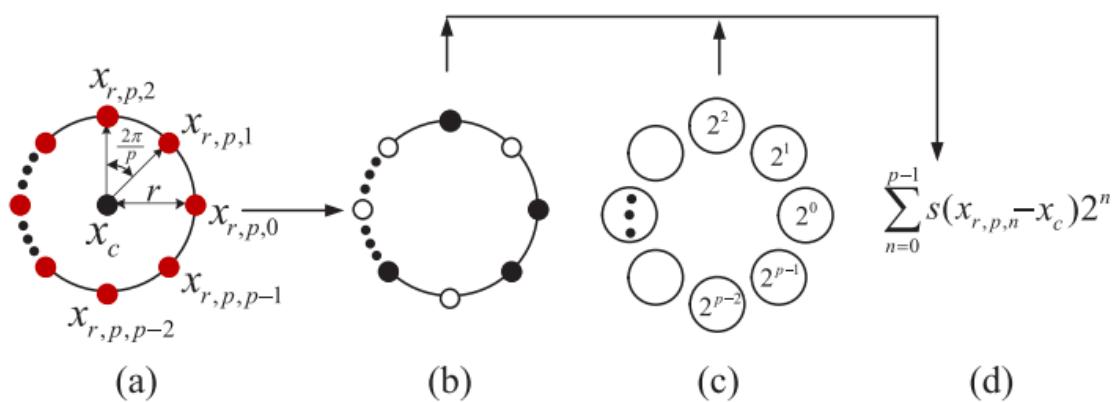
Bảng 1.1. Các phương pháp trích xuất đặc trưng

#### 1.2.4. Local Binary Pattern

Một vài cách tiếp cận về tính bất biến của độ quay của kết cấu có thể kể đến ảnh cực đồ [13]. Một vài cách khác được đề xuất bằng cách chỉnh sửa các phương pháp đã có như mô hình MRF (Markov Random Field), bộ lọc Gabor hoặc LBP. Trong đó, LBP là một trong những phương pháp thường được sử dụng để mô tả các mô tả kết cấu bởi độ phức tạp tính toán thấp, dễ triển khai và bất biến với sự thay đổi ánh sáng đơn điệu [1].

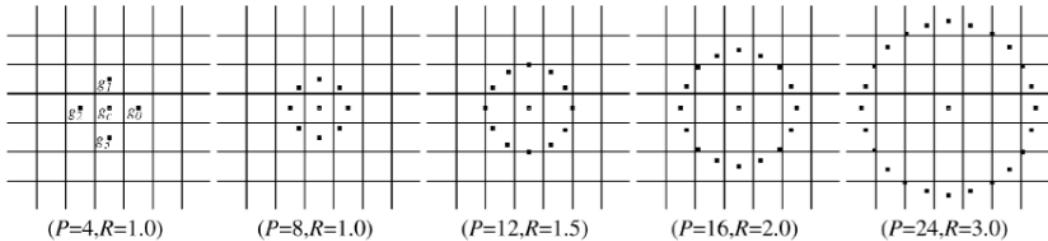
Local Binary Pattern (LBP) là một phương pháp thuộc nhóm phương pháp thống kê, được sử dụng để mô tả các mô tả kết cấu (texture descriptors). LBP được giới thiệu lần đầu tiên vào năm 1994 [12], có khả năng mô tả các cấu trúc không gian của một vùng bên trong hình ảnh bằng cách mã hóa sự khác biệt giữa giá trị điểm ảnh ở vị trí trung tâm vùng với các điểm ảnh xung quanh nó, giá trị thập phân của mẫu nhị phân sau khi so sánh được sử dụng làm nhãn cho giá trị điểm ảnh ở trung tâm đó. Hình 1.2 mô tả hoạt động của LBP với điểm ảnh trung tâm là  $x_c$ , kết quả được tính toán bằng cách so sánh giá trị với  $p$  các giá trị hàng xóm  $\{x_{r,p,n}\}_{n=0}^{p-1}$  được phân bố đồng đều trên một đường tròn bán kính  $r$ , kết quả được tính theo công thức sau:

$$LBP_{r,p}(x_c) = \sum_{n=0}^{p-1} s(x_{r,p,n} - x_c) 2^n \begin{cases} 1, & x \geq 0 \\ 0, & x < 0 \end{cases} \quad (1.1)$$



Hình 1.2. Hoạt động của LBP với bán kính  $r$  và  $p$  điểm ảnh xung quanh [1]

Với  $s()$  là hàm dấu (sign function). Nếu tọa độ của  $x_c$  là  $(0, 0)$  thì tọa độ của các điểm xung quanh  $x_{p,r,n}$  là  $(-rsin(2\pi n/p), rcos(2\pi n/p))$ . Giá trị của  $x_{p,r,n}$  có thể không là giá trị ở vị trí trung tâm mà có thể sẽ được ước tính bằng phương pháp nội suy. Tuy



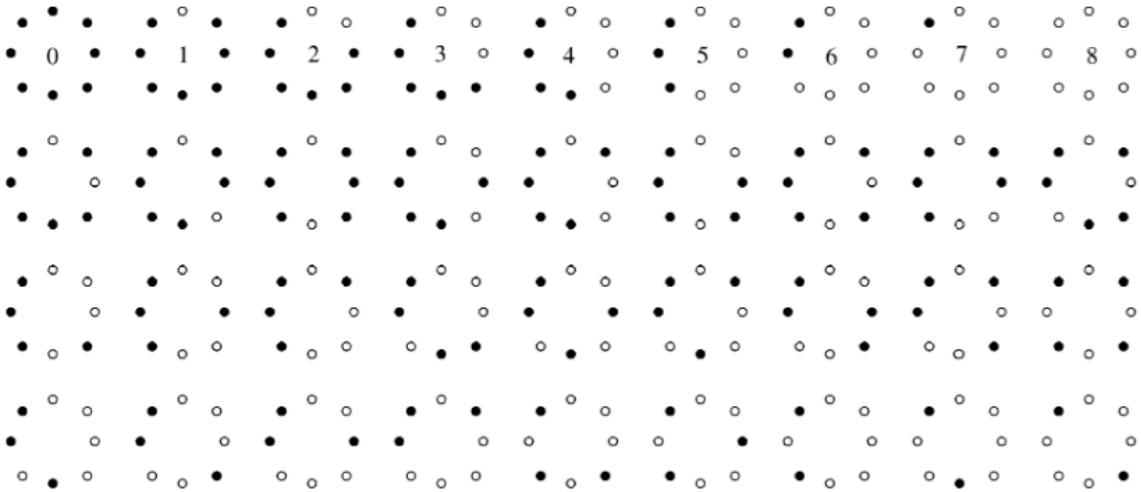
Hình 1.3. LBP với các mẫu bán kính và điểm ảnh lân cận[14]

nhiên, LBP vẫn bị ảnh hưởng nhiều bởi yếu tố độ xoay. Để giảm thiểu sự ảnh hưởng này, một biến thể LBP khác được đưa ra để đạt được sự bất biến của độ quay. Với  $p$  giá trị điểm ảnh lân cận, dựa vào toán tử LBP có thể có  $2^p$  giá trị đầu ra khác nhau. Khi ảnh được xoay, giá trị nhị phân có được ở vị trí thứ  $x$  sẽ di chuyển xung quanh giá trị trung tâm. Do đó, để giảm sự ảnh hưởng của sự quay, Ojala [14] đã định nghĩa ra một định nghĩa như sau:

$$LBP_{r,p}^{ri} = \min\{ROR(LBP_{r,p}i)|i = 0, 1, 2, \dots, P - 1\} \quad (1.2)$$

Với  $ROR(x, i)$  thực hiện việc dịch bit sang phải theo hình tròn. Với  $p$  điểm ảnh xung quanh, thì ta sẽ cần dịch đi  $i$  lần. Có thể hiểu đơn giản là ta sẽ đi tìm giá trị nhỏ nhất của một dãy bit bằng cách dịch chúng. Ví dụ với 8 điểm ảnh xung quanh, với dãy bit là  $10000000_2$ , ta có thể có rất nhiều giá trị như  $01000000_2$  ứng với  $64_{10}$  hay  $00000001_2$  ứng với  $1_{10}$ . Nhưng khi thực hiện toàn bộ phép dịch và lấy giá trị nhỏ nhất, ta có thể đạt được giá trị là  $1_{10}$ , và đây là giá trị duy nhất. Các điểm ảnh khác nếu có thể đạt được giá trị như  $00010000_2$ , sau đó cũng được chuyển thành giá trị  $1_{10}$  ở hệ thập phân. Hình 1.4 mô tả số giá trị đặc trưng có thể có với  $p = 8$ . Mẫu số 0 giúp nhận biết điểm sáng, số 8 giúp nhận biết điểm tối, mẫu số 4 giúp nhận biết biên.

Để cải thiện thêm về tính bất biến của độ xoay, một khái niệm được đưa ra là **đồng nhất (uniform)**. Một mẫu đồng nhất sẽ chứa ít sự thay đổi về mặt không gian. Chúng hoạt động như các khuôn mẫu cho các cấu trúc vi mô như điểm sáng (0), vùng tối (8) hoặc các cạnh có độ cong âm hay dương (1-7). Để định nghĩa một mẫu là đồng nhất, Ojala giới thiệu một phương pháp gọi là U("pattern"), chúng chỉ đo lường sự thay đổi về mặt không gian (tức là sự thay đổi các bit từ 0 thành 1 hay từ 1 thành 0). Ví dụ, mẫu  $00000000_2$  và mẫu  $11111111_2$  có giá trị U bằng 0, trong khi đó 7 giá trị khác ở dòng đầu ở hình 1.4 có giá trị U bằng 2 vì có chính xác 2 lần thay đổi bit từ 0 thành 1 và từ 1 thành



Hình 1.4. 36 giá trị đặc trưng ứng với 8 giá trị điểm ảnh lân cận [14]

0. Trong khi đó, 27 mẫu còn lại có giá trị U ít nhất là 4. Từ đó, ta có định nghĩa về LBP đồng nhất như sau (đặt ngưỡng giá trị của U tối đa là T):

$$LBP_{r,p}^{priuT} = \begin{cases} \sum_{i=0}^{p-1} s(g_i - g_c) & \text{nếu } U(LBP) \leq T \\ p+1 & \text{còn lại} \end{cases} \quad (1.3)$$

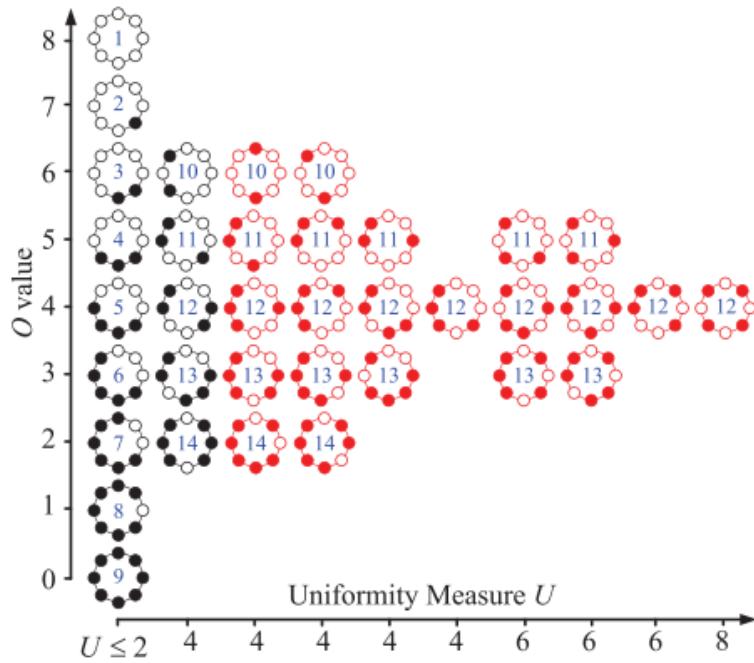
Với

$$U(LBP_{r,p}) = |s(g_{p-1} - g_c) - s(g_0 - g_c)| + \sum_{i=1}^{p-1} |s(g_i - g_c) - s(g_{i-1} - g_c)| \quad (1.4)$$

Từ **riuT** thể hiện việc sử dụng mẫu đồng nhất với ngưỡng T và áp dụng việc dịch phải theo hình tròn. Nếu chỉ áp dụng mẫu đồng nhất T, ta có thể sử dụng từ **uT**. Ví dụ với T = 2, thì ta sẽ có phiên bản  $LBP_{r,p}^{u2}$ . Với p = 8, ta sẽ có tập hợp các mẫu ứng với giá trị của U, được mô tả trong hình 1.5.

### 1.2.5. Các biến thể của LBP

Có rất nhiều các biến thể của LBP đã được nghiên cứu nhằm mục đích tăng cường sự mạnh mẽ và khả năng phân biệt. Từ khảo sát từ Di Huang, Caifeng Shan, Mohsen Ardabiliyan, Yunhong Wang, Liming Chen [15], bảng 1.2 mô tả một vài biến thể của LBP.



Hình 1.5. Số lượng các mẫu theo  $U$  với  $p = 8$  [1]

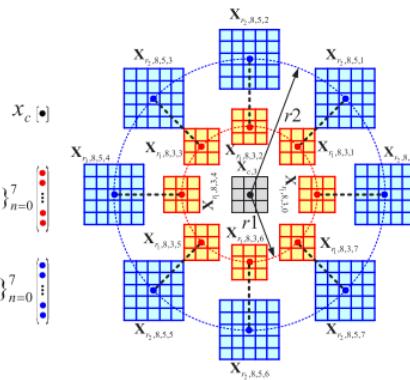
### 1.2.6. Median Robust Extended Local Binary Pattern

#### ELBP

$$(b1) \text{ ELBP\_CI}(x_c) \\ = s(x_c - \beta) \\ \beta = \frac{1}{N} \sum_{c=0}^N x_c$$

$$(b2) \text{ ELBP\_NI}_{r_2,8}(x_c) \\ = \sum_{n=0}^7 s(x_{r_2,8,n} - \beta_{r_2,8}) 2^n \\ \beta_{r_2,8} = \frac{1}{8} \sum_{n=0}^7 x_{r_2,8,n}$$

$$(b3) \text{ ELBP\_RD}_{r_2,r_1,8}(x_c) \\ = \sum_{n=0}^7 s(x_{r_2,8,n} - x_{r_1,8,n}) 2^n$$



#### RELBP

$$(c1) \text{ RELBP\_CI}(x_c) \\ = s(\phi(\mathbf{X}_{c,3}) - \mu_3) \\ \mu_3 = \frac{1}{N} \sum_{c=0}^N \phi(\mathbf{X}_{c,3})$$

$$(c2) \text{ RELBP\_NI}_{r_2,8,5}(x_c) \\ = \sum_{n=0}^7 s(\phi(\mathbf{X}_{r_2,8,5,n}) - \mu_{r_2,8,5}) 2^n \\ \mu_{r_2,8,5} = \frac{1}{8} \sum_{n=0}^7 \phi(\mathbf{X}_{r_2,8,5,n})$$

$$(c3) \text{ RELBP\_RD}_{r_2,r_1,8,5,3}(x_c) \\ = \sum_{n=0}^7 s(\phi(\mathbf{X}_{r_2,8,5,n}) - \phi(\mathbf{X}_{r_1,8,5,n})) 2^n$$

Hình 1.6. Sự khác nhau giữa trích xuất đặc trưng của ELBP và RELBP [1]

Với ELBP, một trong những khuyết điểm của nó là bị ảnh hưởng nhiều bởi nhiễu, do đó cần phải thay thế cường độ pixel riêng lẻ tại một điểm bằng một số biểu diễn trên một vùng. Các phương pháp đáng chú ý theo hướng này bao gồm BRIEF, BRISK và FREAK, trong đó trong mọi trường hợp, một vector mô tả nhị phân được đạt được bằng cách so sánh cường độ của một số cặp pixel sau khi áp dụng làm mịn Gaussian để làm giảm độ nhiễu. Li Liu [1] xem xét tác động của việc thay thế các giá trị độ xám riêng lẻ tại các điểm lấy mẫu bằng cách dùng các bộ lọc đơn giản từ ảnh gốc và các vùng trong

Tên biến thể	Đặc điểm	Mục tiêu
Extended LBP	Sử dụng thêm một số đơn vị nhị phân bổ sung	Nâng cao khả năng phân biệt
Completed LBP	Xem xét cả dấu và độ lớn của các mẫu cục bộ	Nâng cao khả năng phân biệt
Soft LBP	Kết hợp các thành viên trong việc biểu diễn các mẫu cục bộ	Tăng cường khả năng chống nhiễu
Local Tenary Binary	Sử dụng ngưỡng để tạo sự khác biệt	Tăng cường khả năng chống nhiễu

Bảng 1.2. Một vài biến thể của LBP

ảnh gốc. Đặc trưng của ELBP được thay đổi từ cường độ pixel tại các điểm riêng lẻ được thay thế bằng phản hồi từ các bộ lọc  $\phi()$ . Hình 1.6 thể hiện sự khác nhau giữa 2 phiên bản. Từ đó, định nghĩa ra Robust Extended Local Binary Pattern (RELBP) với các mô tả như sau:

### 1. Biểu diễn điểm ảnh trung tâm

$$RELBP\_CI(x_c) = s(\phi(\mathbf{X}_{c,w}) - \mu_w) \quad (1.5)$$

$\left\{ \begin{array}{l} \phi(\mathbf{X}_{c,w}) \text{ là kết quả sau khi áp dụng bộ lọc lên điểm ảnh } X, \\ \text{Vùng cục bộ có kích thước } w \times w \text{ ở xung quanh vị trí điểm ảnh trung tâm}, \\ \mu_w \text{ kí hiệu cho giá trị trung bình của } \phi(X_{c,w}) \text{ trong toàn bộ bức ảnh}. \end{array} \right.$

### 2. Biểu diễn các giá trị lân cận

$$\begin{aligned} RELBP\_NI_{r,p}(x_c) &= \sum_{n=0}^{p-1} s(\phi(\mathbf{X}_{r,p,w_r,n}) - \mu_{r,p,w_r}) 2^n \\ \mu_{r,p,w_r} &= \frac{1}{p} \sum_{n=0}^{p-1} \phi(\mathbf{X}_{r,p,w_r,n}) \end{aligned} \quad (1.6)$$

### 3. Biểu diễn chênh lệch hướng tâm

$$RELBP\_RD_{r,r-1,p,w_r,w_{r-1}}(x_c) = \sum_{n=0}^{p-1} s(\phi(\mathbf{X}_{r,p,w_r,n}) - \phi(\mathbf{X}_{r-1,p,w_{r-1},n})) 2^n \quad (1.7)$$

Các công thức 1.5, 1.6, 1.7 là cách thực hiện tính toán đặc trưng với các thông tin có trong ảnh. Median Robust Extended Local Binary Pattern là phiên bản RELBP với bộ lọc được sử dụng là median. Phương pháp này có ưu điểm so với LBP truyền thống là mạnh hơn trước nhiều và sự thay đổi của ảnh sáng. Nó nắm bắt thông tin kết cấu và thông tin không gian tốt hơn thông qua bộ lọc trung vị và mở rộng mẫu bên trong ảnh. Tuy vậy, MRELBP vẫn tồn tại một số nhược điểm như bị giới hạn ở các mẫu cục bộ. Tuy đã được mở rộng nhưng các kỹ thuật LBP vẫn tập trung vào các chi tiết cục bộ mà có thể bỏ sót các thay đổi ở kết cấu quy mô lớn. Kích thước bán kính cố định cũng là một nhược điểm, làm nó thiếu đi tính linh hoạt ở nhiều tỷ lệ khác nhau.

### **1.3. Nền tảng về thiết kế số**

#### **1.3.1. Tổng quan về thiết kế số**

Thiết kế số là quá trình thiết kế và tạo ra các sản phẩm bằng máy tính, sử dụng dữ liệu số để tạo ra các sản phẩm. Nó liên quan đến việc thiết kế các mạch và hệ thống số thường được thực hiện ở cấp độ trừu tượng Register-Transfer Level (RTL). RTL mô tả chức năng của mạch thông qua sự chuyển đổi dữ liệu giữa các thanh ghi. Mã RTL thường được viết bằng các ngôn ngữ như Verilog, VHDL, ...

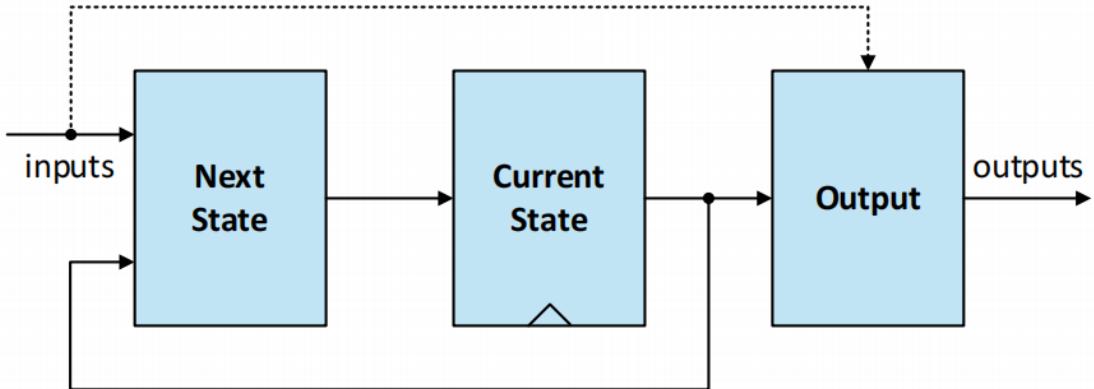
**Mạch logic tổ hợp** là mạch mà trạng thái đầu ra của mạch chỉ phụ thuộc và tổ hợp các trạng thái đầu vào ở cùng thời điểm mà không phụ thuộc vào thời điểm trước đó.

**Mạch logic tuần tự** là mạch có tính chất nhớ, có trễ. Trạng thái tiếp theo của mạch phụ thuộc vào giá trị kích thích ở lối vào và trạng thái hiện tại của mạch. Mạch tuần tự thường hoạt động theo sự điều khiển của tín hiệu clock. Có 2 loại mạch logic tuần tự là mạch đồng bộ và không đồng bộ. Mạch đồng bộ là mạch mà sẽ thay đổi giá trị theo 1 giá trị tham chiếu đến (thường là clock). Còn mạch không đồng bộ là mạch mà sẽ thay đổi giá trị ngay khi tín hiệu điều khiển hoạt động đó thay đổi giá trị.

#### **1.3.2. Máy trạng thái hữu hạn**

Máy trạng thái hữu hạn, viết tắt là FSM, là một thành phần được sử dụng phổ biến trong thiết kế số với ưu điểm là dễ dàng kiểm soát quá trình hoạt động của mạch. Về cơ bản, máy trạng thái hữu hạn sẽ có 3 thành phần cơ bản như mô tả tại hình 1.7.

- Mạch tạo trạng thái kế tiếp (Next State logic): Là mạch tổ hợp phụ thuộc vào đầu vào FSM và giá trị trạng thái hiện tại lấy từ bộ nhớ trạng thái
- Bộ nhớ trạng thái hay trạng thái hiện tại: Là phần tử lưu trữ trạng thái của FSM, nó



Hình 1.7. Máy trạng thái hữu hạn

có thể là Flip-Flop, Latch, ... Lấy đầu vào từ mạch tạo trạng thái kế tiếp.

- Mạch tạo đầu ra: Là mạch tổ hợp tạo ra giá trị đầu ra tương ứng với trạng thái hiện tại của FSM. Mạch này lấy đầu vào là giá trị trạng thái hiện tại và có thể tổ hợp thêm đầu vào FSM.

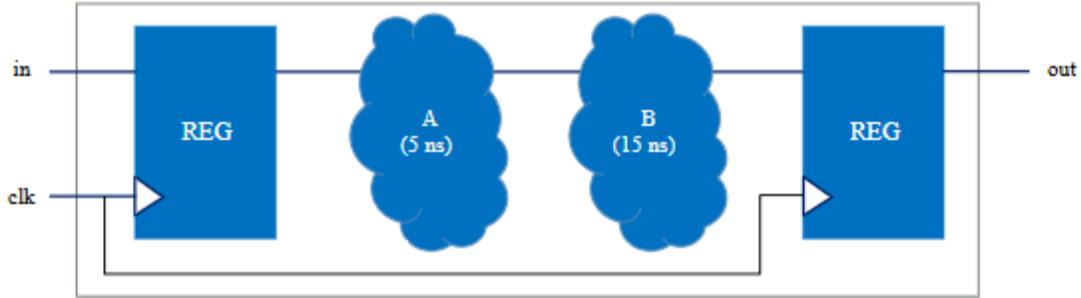
FSM được chia làm 2 loại là máy Moore và Mealy. Máy Moore là máy mà có mạch tạo đầu ra chỉ phụ thuộc vào trạng thái hiện tại của FSM. Hình 1.7 trên nếu bỏ đường gạch nét đứt vào khối tạo đầu ra thì là máy Moore. Máy Mealy là máy mà có mạch tạo đầu ra phụ thuộc vào cả trạng thái hiện tại và giá trị đầu vào. Hình 1.7 với đường nét đứt nối vào mạch tạo đầu ra mô tả một máy Mealy.

### 1.3.3. Pipelining

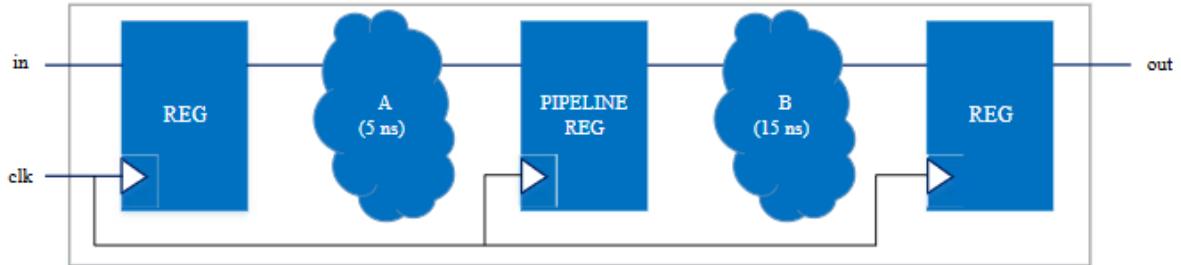
Kỹ thuật đường ống (Pipelining) là một kỹ thuật được sử dụng trong các mạch số đồng bộ để tăng tần số hoạt động tối đa. Kỹ thuật này liên quan đến việc chèn thêm các thanh ghi ở các đường dẫn quan trọng, làm giảm số lượng logic giữa mỗi thanh ghi. Ít logic hơn sẽ tiêu tốn ít thời gian để thực hiện hơn, từ đó tăng tần số hoạt động tối đa.

Đường dẫn quan trọng (critical path) trong mạch là đường dẫn giữa 2 thanh ghi liên tiếp với độ trễ cao nhất. Điều đó cũng tương đương với việc thời gian để có giá trị đầu ra giữa 2 thanh ghi này là lâu nhất. Hình 1.8 mô tả mạch trước khi được pipelining. Trong đó, thời gian thực hiện 2 mạch tổ hợp giữa 2 thanh ghi là thời gian của mạch A cộng với mạch B. Do đó, thời gian tính toán tổ hợp tổng 20ms. Ở hình 1.9 đã thực hiện pipelining bằng cách chèn vào giữa A và B một thanh ghi, do đó thời gian tối đa trong tính toán tổ hợp chỉ là 15ms. Do đó, kỹ thuật pipelining sẽ giúp tăng lên tần số hoạt động tối đa của

mạch.



Hình 1.8. Mạch trước khi pipelining

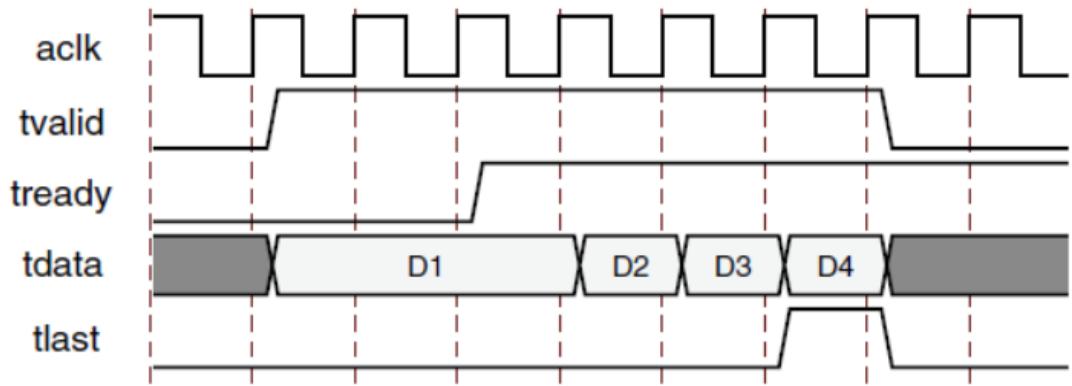


Hình 1.9. Mạch sau khi pipelining

#### 1.3.4. Giao diện AXI4-Stream

Trong một hệ thống System on Chip (SoC), BUS là thành phần chính kết nối các master và slave. Nó giúp các master có thể truy xuất (đọc/ghi) các slave bằng cách chuyển thông tin điều khiển từ master đến slave, đồng thời chuyển dữ liệu và thông tin phản hồi từ slave đến master. AXI (Advanced eXtensible Interface) là một trong các giao thức BUS trong họ AMBA (Advanced Microcontroller Bus Architecture), được phát triển bởi hãng ARM.

AXI4-Stream là một liên kết điểm tới điểm, bên gửi là master còn bên nhận là slave. Để giao tiếp được giữa hai bên, cần một quá trình gọi là bắt tay. Hình 1.10 mô tả quá trình truyền dữ liệu đối với kênh AXI4-Stream. Tín hiệu **tvalid** được phát bởi bên truyền và **tready** được phát bởi bên nhận. Tín hiệu **tvalid** chỉ ra rằng dữ liệu **tdata** là hợp lệ. Tín hiệu **tready** chỉ ra rằng bên nhận sẵn sàng để nhận dữ liệu. Khi mà cả **tvalid** và **tready** đều ở mức cao thì quá trình truyền diễn ra.



Hình 1.10. Truyền dữ liệu ở kênh AXI4-Stream

#### 1.4. Phần mềm thiết kế và mô phỏng Vivado

#### 1.5. Luồng thiết kế

## CHƯƠNG 2

### ĐẶC TẢ KỸ THUẬT

Chương này sẽ cung cấp các thông tin về các yêu cầu chức năng và phi chức năng của IP cần thiết kế, từ mô đun lớn nhất đến các mô đun nhỏ hơn. Các thông tin về đặc tả kỹ thuật của IP sẽ bao gồm thông tin về chức năng, danh sách tham số và tín hiệu của mô đun, kiến trúc ở mức hành vi và mô tả dạng sóng của mô đun.

#### **2.1. Yêu cầu hệ thống**

Bảng 2.1 đây mô tả các yêu cầu hệ thống cho IP (bao gồm yêu cầu chức năng và yêu cầu phi chức năng):

#### **2.2. Xác định thiết kế**

##### **2.2.1. *Tối ưu thuật toán phù hợp với phần cứng***

Đồ án sẽ xây dựng IP trích xuất đặc trưng sử dụng thuật toán Median Robust Extended Local Bianry Pattern. Đây là một thuật toán hoạt động tương đối phức tạp với 3 loại đặc trưng được tính toán theo 1.5, 1.6, 1.7. Tuy nhiên, đối với công thức 1.5, việc phải lưu lại toàn bộ bức ảnh để tính trung bình sẽ gây ảnh hưởng lớn về mặt thời gian và lưu trữ, do đó, để cải tiến, ta sẽ có mô tả như sau:

$$RELBP\_CI(x_c) = s(\phi(\mathbf{X}_{c,w}) - \mu_w) \quad (2.1)$$

$\phi(\mathbf{X}_{c,w})$  là kết quả sau khi áp dụng bộ lọc lên điểm ảnh  $X$ ,  
Vùng cục bộ có kích thước  $w \times w$  ở xung quanh vị trí điểm ảnh trung tâm,  
 $\mu_w$  kí hiệu cho giá trị trung bình của  $\phi(X_{c,w})$  trong một vùng cục bộ kích thước  $w \times w$ .

Hình 2.1 mô tả phiên bản phù hợp hơn của biểu diễn điểm ảnh trung tâm (CI) với việc thay đổi từ tính toán trung bình của toàn bộ bức ảnh thành tính toán trung bình của một vùng nội bộ trong bức ảnh. Điều này sẽ làm tăng tính xử lý thời gian thực của thiết kế lên vì không cần phải lưu lại toàn bộ bức ảnh. Kết quả của Wang và Zhang [16] đã cho thấy sự thay đổi về tính toán không gây ra sai số quá lớn về độ chính xác, giữ nguyên với Outex\_TC10 với, giảm 0.052% với tập Outex\_TC12\_000 và giảm 0.104% với tập Outex\_TC12\_002.

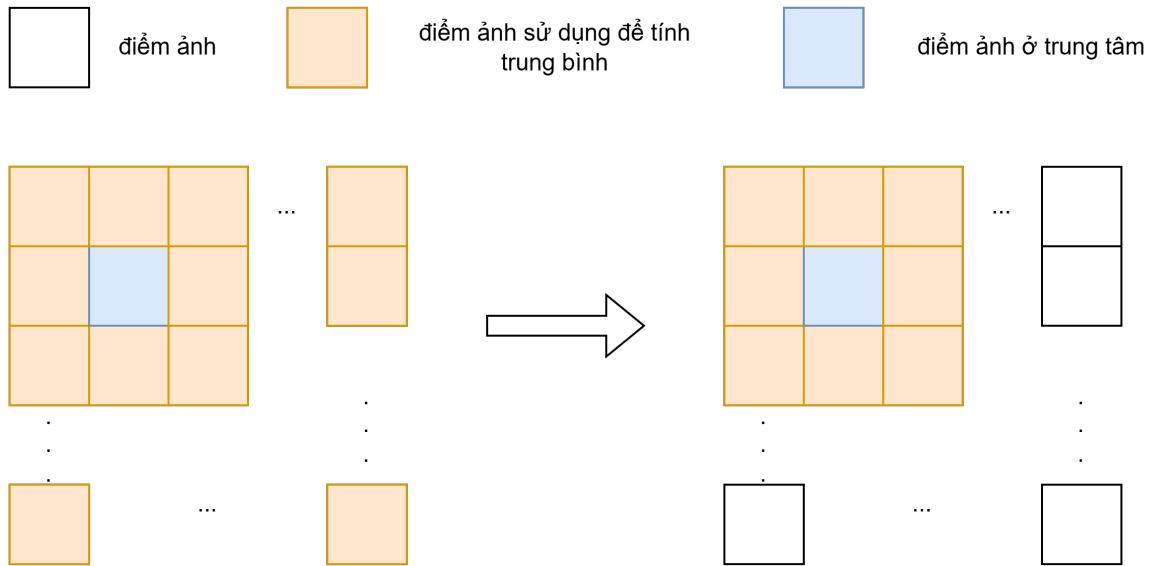
<b>Yêu cầu</b>	<b>Mô tả</b>
Chức năng	Thực hiện trích xuất đặc trưng sử dụng thuật toán MRELBP
Thông số kỹ thuật	Các thông số thuật toán: $r = 2, 4, 6; p = 8$ Độ rộng dữ liệu: Đầu vào 8-bit, đầu ra 32-bit Kích thước ảnh đầu vào: có thể tùy chỉnh theo tham số cấu hình Số lượng dữ liệu đầu ra: 600 dữ liệu Độ chính xác: dấu phẩy tĩnh (16-bit thập phân, 8-bit phần nguyên)
Hiệu suất (Performance)	Tần số hoạt động tối thiểu 100 MHz
Tính đồng bộ	Tất cả các tín hiệu đồng bộ theo 1 clock chính
Reset	Tất cả các mô đun tuân theo reset đồng bộ
Tài nguyên sử dụng	Tối đa 30000 LUTs, 30000 Registers, 200 DSPs, 100 BRAM (trên Vivado 2018.2)
Khả năng kiểm thử	Hỗ trợ kiểm thử test-bench ngẫu nhiên và test-bench trực tiếp
Công suất tiêu thụ	Tối đa 2 Watt (trên Vivado 2018.2)
Chuẩn giap tiếp	Có thể tương thích với chuẩn AXI4-Stream
Tương thích công cụ	Có thể tổng hợp trên nhiều các EDA như Vivado, Quartus, ...
Khả năng tích hợp	Có driver cho chương trình chạy standalone và linux
Độ bao phủ	Tối thiểu 80%
Kiểm thử tự động	Xây dựng hệ thống giúp kiểm thử về mặt chức năng một cách tự động

Bảng 2.1. Các yêu cầu phi chức năng cho thiết kế

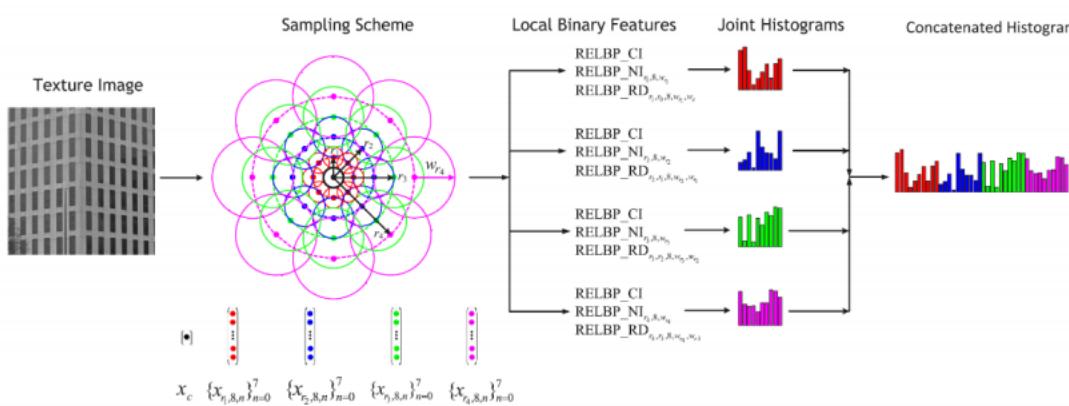
### **2.2.2. Sơ đồ triển khai thuật toán**

Quá trình tạo ra biểu đồ histogram được mô tả theo hình 2.2. Với đầu là ảnh kết cấu, sau quá trình lấy mẫu theo các công thức 2.1, 1.6, 1.7 ta được các mô tả thô của ảnh. Sau đó, thực hiện một giai đoạn là "Joint Histogram", tại giai đoạn này, thực tế ta sẽ đếm xem là mô tả đầy xuất hiện bao nhiêu lần, do đó kết quả đạt được là một biểu đồ histogram. Sau đó ta sẽ nối lần lượt các biểu đồ này lại để được đặc trưng cuối cùng.

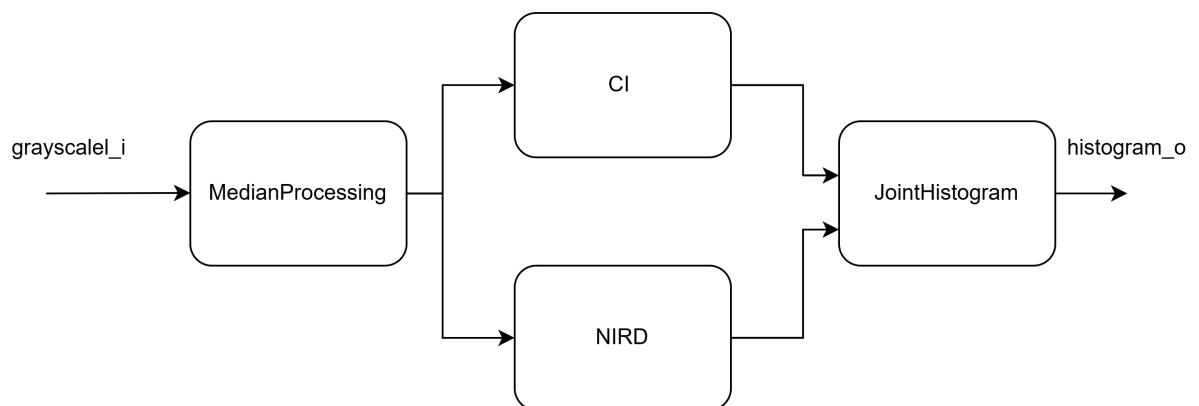
Với những mô tả trên, sơ đồ thuật toán được đưa ra như hình 2.3. Một cách cụ thể



Hình 2.1. Phiên bản thiết kế phần cứng của biểu diễn điểm ảnh trung tâm - CI



Hình 2.2. Quá trình tạo ra đặc trưng của thuật toán RELBP [16]



Hình 2.3. Sơ đồ kiến trúc tổng quát của MRELBPIP

hơn, vì MRELBP là phiên bản của RELBP với  $\phi()$  là bộ tính trung vị, nên khi thiết kế phần cứng, ta sẽ đưa ra toàn bộ các phiên bản tính trung vị của ảnh đầu vào. Sau đó, sẽ có 2 bộ là CI và NIRD để tính các giá trị đặc trưng theo mô tả công thức 2.1, 1.6, 1.7. Vì sao lại tính NIRD trong cùng 1 mô đun? Vì NIRD có cách tính và yêu cầu đầu vào tương đối giống nhau, do đó, 2 mô tả này có thể xây dựng trong cùng 1 mô đun để tiết kiệm tài nguyên. Sau đó 3 mô tả này sẽ thực hiện qua bước "JointHistogram" để đạt được đặc trưng đầu ra.

### 2.3. Đặc tả kỹ thuật

#### 2.3.1. Đặc tả mô đun MRELBP

Bảng 2.2, 2.3 mô tả các tham số và tín hiệu đầu vào, đầu ra của mô đun MRELBP.

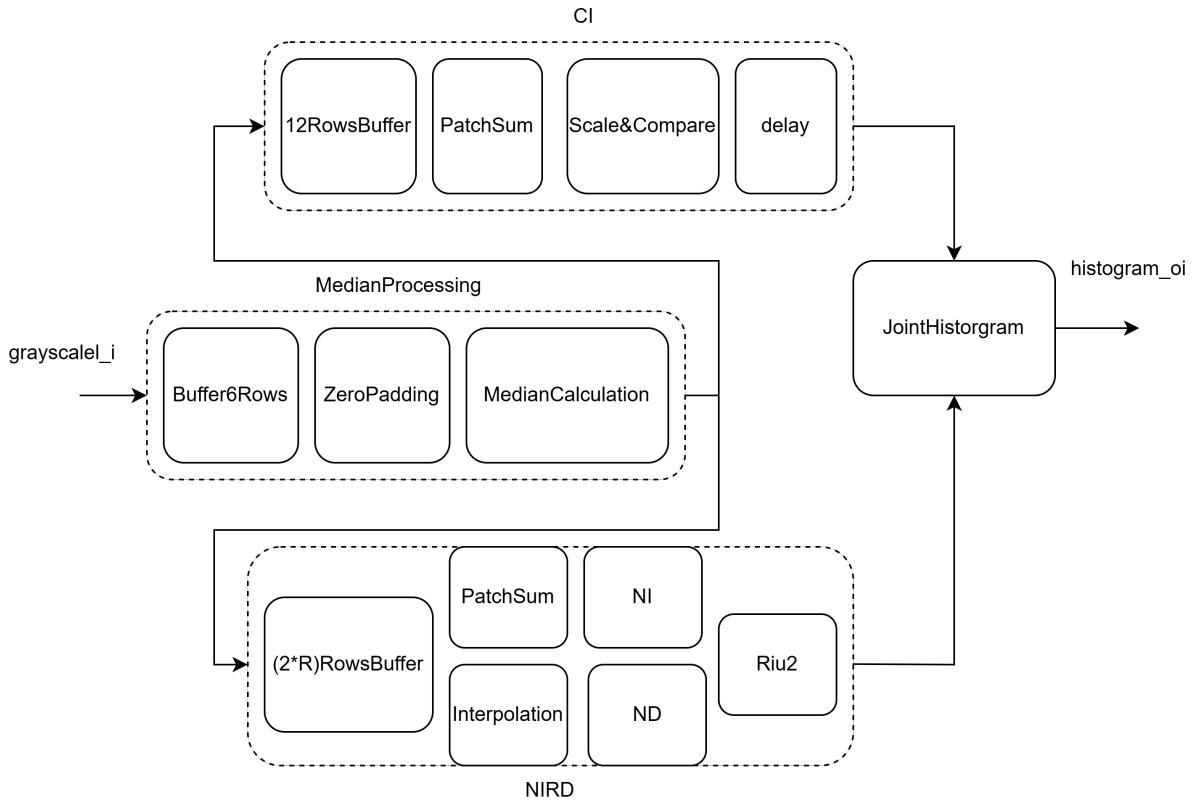
Tham số	Giá trị mặc định	Mô tả
ROWS	128	Kích thước chiều cao của ảnh
COLS	128	Kích thước chiều rộng của ảnh

Bảng 2.2. Danh sách các tham số của mô đun MRELBP

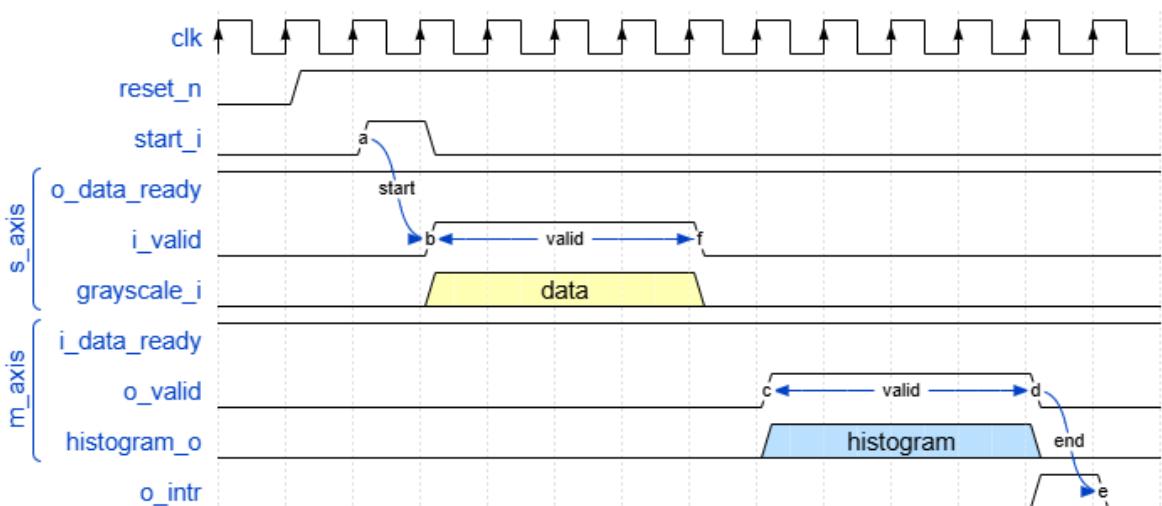
Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
start_i	1	Vào	Tín hiệu bắt đầu (liên quan đến đầu ra)
grayscale_i	8	Vào	Dữ liệu điểm ảnh
i_valid	1	Vào	Tín hiệu báo hiệu dữ liệu đầu vào là hợp lệ
o_data_ready	1	Ra	Tín hiệu thông báo sẵn sàng cho đầu ra
histogram_o	32	Ra	Đặc trưng histogram
o_valid	1	Ra	Tín hiệu báo hiệu dữ liệu đầu ra là hợp lệ
i_data_ready	1	Vào	Tín hiệu thông báo sẵn sàng nhận dữ liệu
o_intr	1	Ra	Tín hiệu báo hiệu đã xử lý xong

Bảng 2.3. Danh sách các tín hiệu của giao diện mô đun MRELBP

Hình 2.4 mô tả sơ đồ khối của mô đun MRELBP một cách chi tiết hơn. Mô đun **MedianProcessing** được cấu thành từ mô đun Buffer6Rows, mô đun ZeroPadding và mô đun MedianCalculation. Dữ liệu đầu ra là giá trị trung vị của ảnh, sau đó sẽ đi đến các mô đun sau là **CI** và **NIRD**. Mô tả chi tiết hơn về đường đi của dữ liệu sẽ được giới thiệu tại các phần sau.



Hình 2.4. Sơ đồ khối của mô đun MRELBP



Hình 2.5. Dạng sóng của mô đun MRELBP

### 2.3.2. Đặc tả mô đun MedianProcessing

Theo mô tả từ hình 2.4 thì mô đun MedianProcessing gồm 3 thành phần chính hay 3 mô đun bao gồm **Buffer6Rows**, **ZeroPadding**, **MedianCalculation**. Lưu ý: Do mô đun MedianProcessing sẽ tính giá trị trung vị ứng với 3 cửa sổ theo bán kính  $r$ , nên

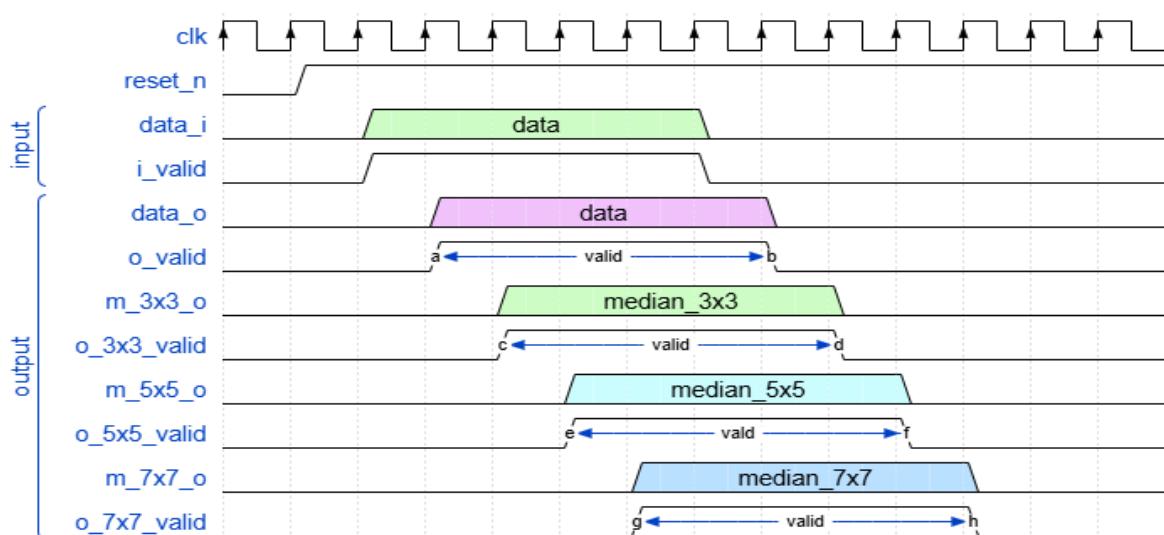
tại phần này sẽ mô tả một cách tổng quát từng mô đun mà không chi tiết cụ thể theo từng giá trị r.

Tham số	Giá trị mặc định	Mô tả
COLS	128	Kích thước độ rộng của ảnh
ROWS	128	Kích thước chiều cao của ảnh

Bảng 2.4. Tham số của mô đun MedianProcessing

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
data_i	8	Vào	Dữ liệu điểm ảnh đầu vào
i_valid	1	Vào	Tín hiệu thông báo giá trị đầu vào là hợp lệ
data_o	8	Ra	Dữ liệu điểm ảnh đầu ra gốc
o_valid	1	Ra	Tín hiệu thông báo dữ liệu đầu ra gốc là hợp lệ
m_3x3_o	8	Ra	Giá trị trung vị của cửa sổ 3x3
o_3x3_valid	1	Ra	Tín hiệu thông báo dữ liệu trung vị 3x3 hợp lệ
m_5x5_o	8	Ra	Giá trị trung vị của cửa sổ 5x5
o_5x5_valid	1	Ra	Tín hiệu thông báo dữ liệu trung vị 5x5 hợp lệ
m_7x7_o	8	Ra	Giá trị trung vị của cửa sổ 7x7
o_7x7_valid	1	Ra	Tín hiệu thông báo dữ liệu trung vị 7x7 hợp lệ

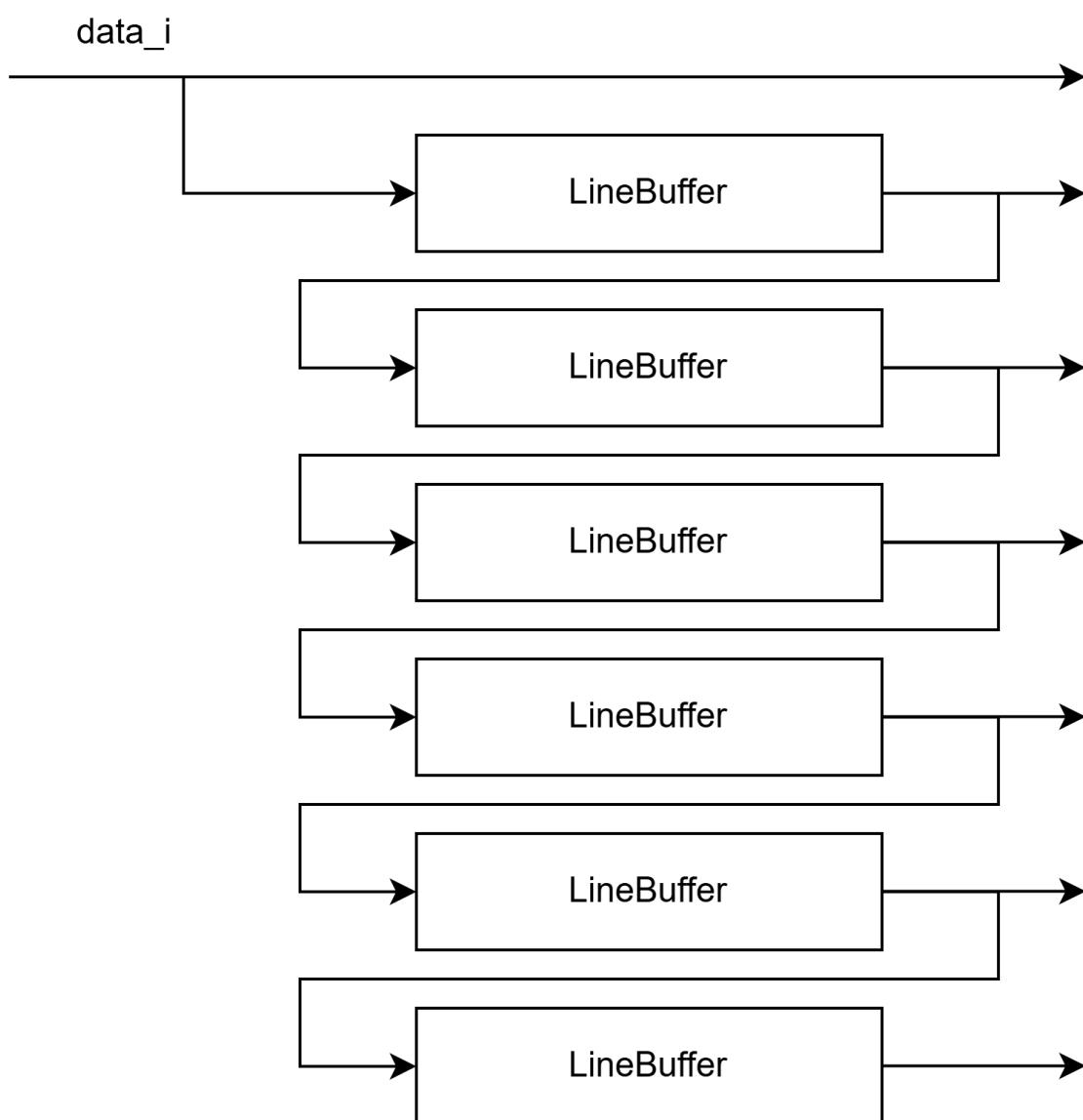
Bảng 2.5. Danh sách các tín hiệu của mô đun MedianProcessing



Hình 2.6. Dạng sóng của mô đun MedianProcessing

### 2.3.2.1. Đặc tả mô đun Buffer6Rows

Mô đun Buffer6Rows là tập hợp của **6** mô đun LineBuffer tạo thành, cụ thể được mô tả trong hình 2.7. Do đó, để mô tả đặc tả cho mô đun Buffer6Rows, ta sẽ đi từ mô đun LineBuffer. Mô đun LineBuffer là mô đun cơ sở để xây dựng lên các mô đun lớn hơn như Buffer6Rows. Chức năng của mô đun này là đệm dữ liệu theo từng hàng để thuận tiện cho việc định dạng dữ liệu cho các mô đun đứng sau.



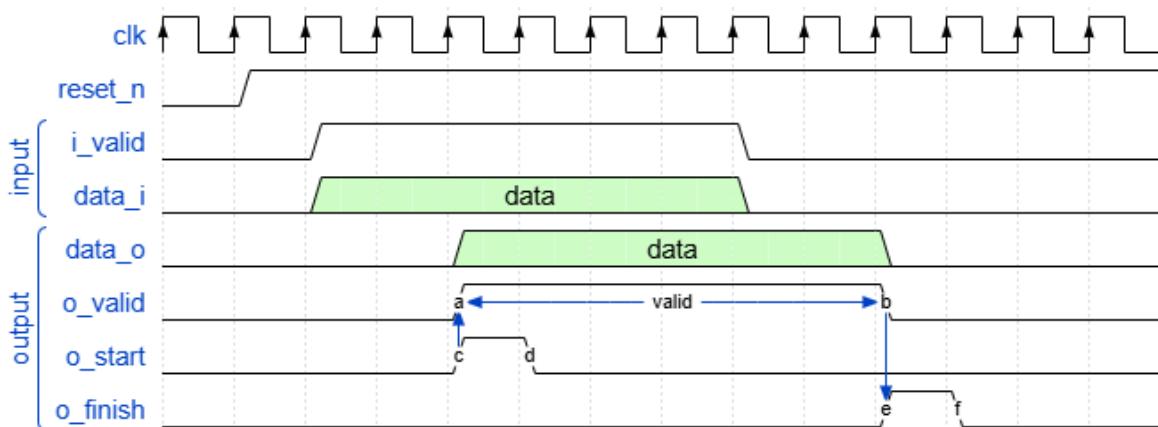
Hình 2.7. Sơ đồ khôi của mô đun Buffer6Rows

Tham số	Giá trị mặc định	Mô tả
DEPTH	128	Kích thước độ rộng của ảnh

Bảng 2.6. Danh sách các tham số của mô đun LineBuffer

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
i_valid	1	Vào	Tín hiệu thông báo dữ liệu đầu vào là hợp lệ
data_i	8	Vào	Dữ liệu đầu vào
data_o	8	Ra	Dữ liệu đầu ra
o_start	1	Ra	Tín hiệu thông báo bắt đầu có dữ liệu đầu ra
o_valid	1	Ra	Tín hiệu thông báo dữ liệu đầu là hợp lệ
o_finish	1	Ra	Tín hiệu thông báo kết thúc đệm dữ liệu

Bảng 2.7. Danh sách các tín hiệu của giao diện mô đun LineBuffer



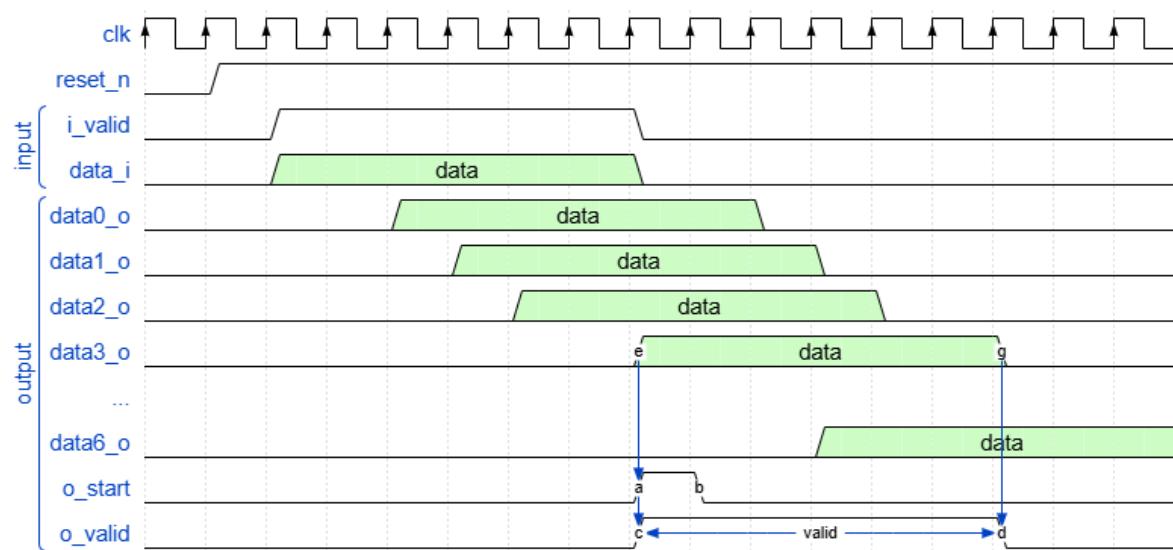
Hình 2.8. Dạng sóng của mô đun LineBuffer

### 2.3.2.2. Đặc tả mô đun ZeroPadding

Đệm 0 là một kỹ thuật được sử dụng để thêm hàng và cột vào rìa bức ảnh, mục đích để khi xử lý với một số kỹ thuật như nhân chập, kích thước đầu ra sẽ không bị thay đổi so với đầu vào (*danh sách tín hiệu sẽ có mô tả chung về số lượng đầu vào & ra vì các tín hiệu của mô đun sẽ thuộc vào kích thước của số, xem thêm ở phần RTL của ZeroPadding*).

### 2.3.2.3. Đặc tả mô đun MedianCalculation

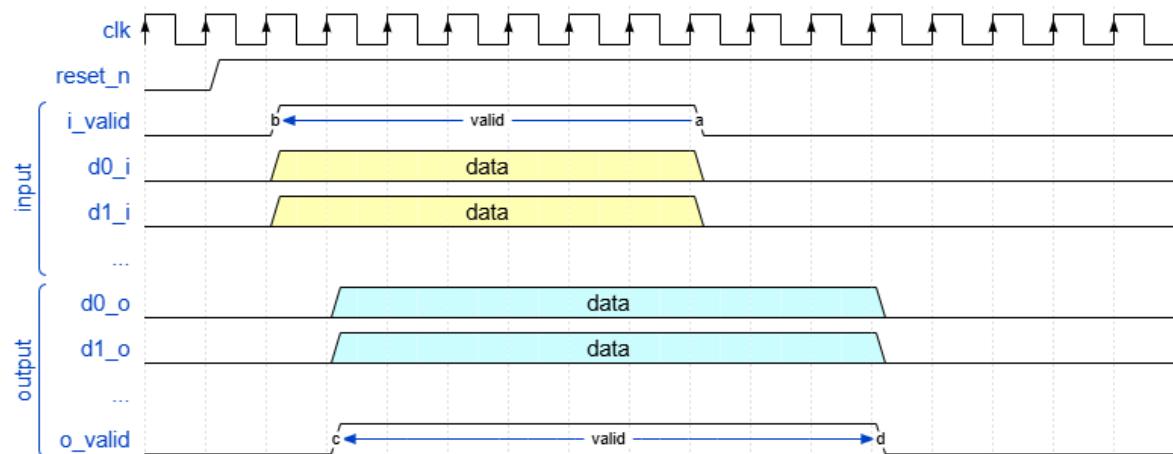
Vì kiến trúc của mô đun MedianCalculation sẽ phụ thuộc vào từng loại cửa sổ, tức là cửa sổ 3x3 sẽ có cách tính khác cửa sổ 5x5, nên để thuận lợi cho việc mô tả, sinh viên sẽ mô tả theo 1 giao diện chung mà số lượng các cổng sẽ khác đối với từng loại cửa sổ.



Hình 2.9. Dạng sóng của mô đun Buffer6Rows

Tham số	Giá trị mặc định	Mô tả
COLS	128	Kích thước độ rộng của ảnh
ROWS	128	Kích thước độ cao của ảnh

Bảng 2.8. Danh sách các tham số của mô đun ZeroPadding



Hình 2.10. Dạng sóng của mô đun ZeroPadding

Cụ thể hơn sẽ được mô tả tại thiết kế RTL cho mô đun MedianCalculation

### 2.3.3. Đặc tả mô đun CI

Bảng 2.12, 2.13 mô tả các tham số và tín hiệu đầu vào, đầu ra của mô đun CI.

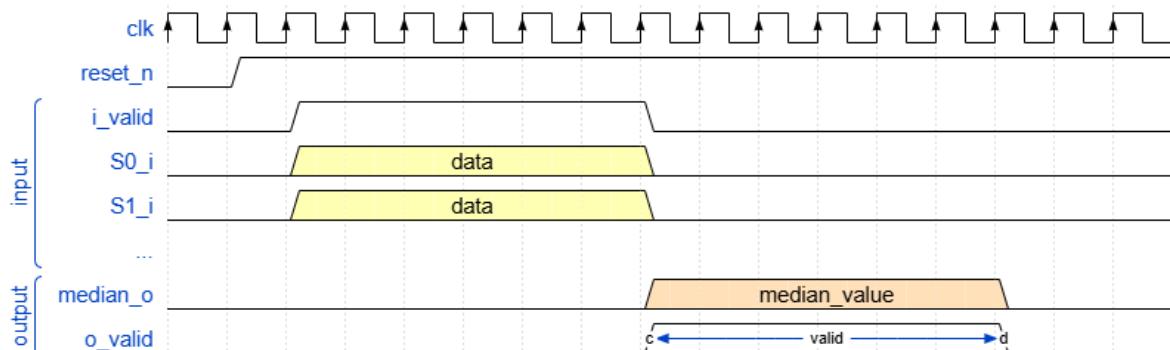
Hình 2.13 mô tả kiến trúc tổng quát của mô đun CI. Sau khi giá trị trung vị tính từ cửa sổ  $3 \times 3$  được tính xong sẽ đưa vào mô đun này. Trong đây sẽ cần một bộ 12Rows-Buffer để đệm dữ liệu nhằm tạo cửa sổ cho khối sau sử dụng với kích thước là  $(2 * r + 1)$ ,

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
i_valid	1	Vào	Tín hiệu thông báo dữ liệu đầu vào là hợp lệ
d0_i	8	Vào	Dữ liệu đầu vào
d1_i	8	Vào	Dữ liệu đầu vào
			Tùy thuộc vào kích thước cửa sổ, 3x3 thì sẽ có 3 đầu vào, 5x5 có 5 đầu vào, 7x7 có 7 đầu vào
d0_o	8	Ra	Dữ liệu đầu ra
d1_o	8	Ra	Dữ liệu đầu ra
			Tùy thuộc vào kích thước cửa sổ, 3x3 thì sẽ có 9 đầu ra, 5x5 có 25 đầu ra, 7x7 có 49 đầu ra
o_valid	1	Ra	Tín hiệu thông báo dữ liệu đầu là hợp lệ

Bảng 2.9. Danh sách các tín hiệu của giao diện mô đun ZeroPadding

Tham số	Giá trị mặc định	Mô tả
COLS	128	Kích thước độ rộng của ảnh
ROWS	128	Kích thước độ cao của ảnh

Bảng 2.10. Danh sách các tham số của mô đun MedianCalculation



Hình 2.11. Dạng sóng của mô đun MedianCalculation

$2^*r+1$ ), vì  $r = 6$  nên cửa sổ lớn nhất là  $13 \times 13$ , do đó nên cần đệm 12 hàng. Dữ liệu sau khi đệm sẽ đưa vào một khối gọi là "PatchSum", khối này có nhiệm vụ ghép dữ liệu thành một cửa sổ, sử dụng kĩ thuật cửa sổ trượt để tính tổng của cửa sổ và đầu ra sẽ bao gồm tổng và giá trị ở giữa của cửa sổ. Sau đó khối compare là mạch logic tổ hợp có thể so sánh và đưa ra giá trị CI ứng với cửa sổ đang được tính. Hình 2.4 có mô tả thêm khối "delay", thì khối này thực tế để làm trễ dữ liệu CI đầu ra để đồng bộ với NIRD, thực tế nó là các thanh ghi dịch, do đó sẽ không trình bày phần delay này. Mô đun 12Rows-Buffer có nguyên tắc hoạt động tương tự với mô đun Buffer6Rows. Phần gộp vào giữa

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
i_valid	1	Vào	Tín hiệu thông báo dữ liệu đầu vào là hợp lệ
S0_i	8	Vào	Dữ liệu đầu vào
S1_i	8	Vào	Dữ liệu đầu vào
Tùy thuộc vào kích thước cửa sổ, 3x3 thì sẽ có 9 đầu vào, 5x5 có 25 đầu vào, 7x7 có 49 đầu vào			
median_o	8	Ra	Dữ liệu đầu ra
o_valid	1	Ra	Tín hiệu thông báo dữ liệu đầu là hợp lệ

Bảng 2.11. Danh sách các tín hiệu của giao diện mô đun MedianCalculation

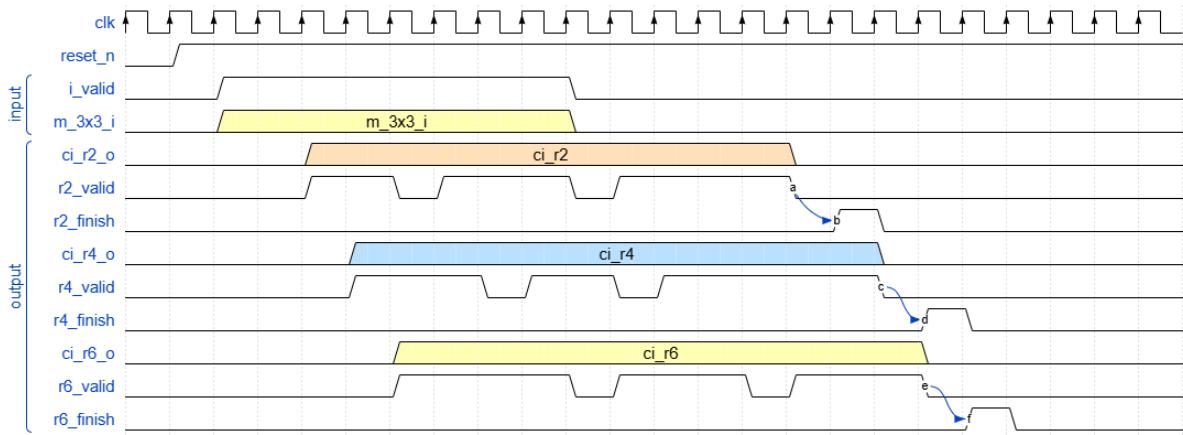
Tham số	Giá trị mặc định	Mô tả
COLS	128	Kích thước độ rộng của ảnh
ROWS	128	Kích thước chiều cao của ảnh

Bảng 2.12. Tham số của mô đun CI

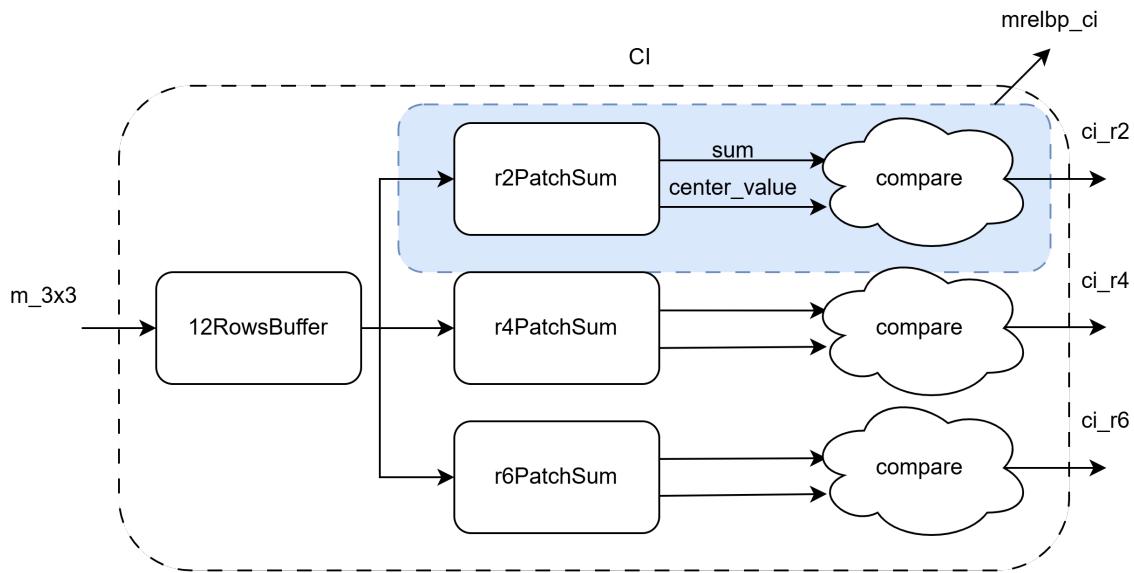
Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
m_3x3_i	8	Vào	Dữ liệu trung vị của cửa sổ 3x3
ci_r2_o	1	Ra	Mô tả ci đầu ra ứng với r = 2
r2_valid	1	Ra	Tín hiệu thông báo ci ứng với r = 2 là hợp lệ
r2_finish	1	Ra	Tín hiệu thông báo đã kết thúc quá trình tính ci ứng với r = 2
ci_r4_o	1	Ra	Mô tả ci đầu ra ứng với r = 4
r4_valid	1	Ra	Tín hiệu thông báo ci ứng với r = 4 là hợp lệ
r4_finish	1	Ra	Tín hiệu thông báo đã kết thúc quá trình tính ci ứng với r = 4
ci_r6_o	1	Ra	Mô tả ci đầu ra ứng với r = 6
r6_valid	1	Ra	Tín hiệu thông báo ci ứng với r = 6 là hợp lệ
r6_finish	1	Ra	Tín hiệu thông báo đã kết thúc quá trình tính ci ứng với r = 6

Bảng 2.13. Danh sách các tín hiệu của mô đun CI

PatchSum và khối logic tổ hợp gọi là *MRELBP\_CI*.



Hình 2.12. Dạng sóng của mô đun CI



Hình 2.13. Sơ đồ khối của mô đun CI

### 2.3.3.1. Đặc tả mô đun MRELBP\_CI

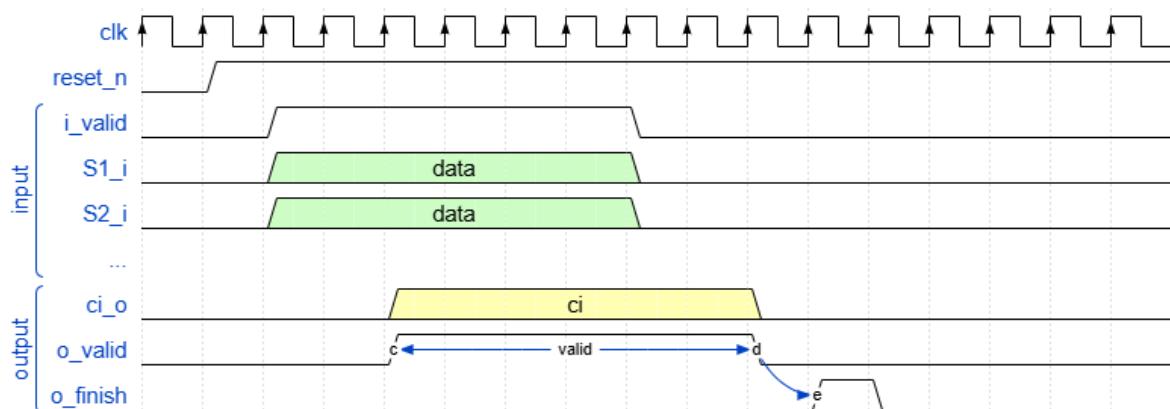
Bảng 2.14, 2.15 mô tả về giao diện kết nối của mô đun MRELBP\_CI. Với mô đun này, sẽ được thiết kế theo nhiều giá trị r, ứng với đó thì sẽ có số lượng đầu vào khác nhau. Đầu ra gồm tín hiệu  $ci\_o$ , tín hiệu này chỉ có 1-bit ứng với 2 giá trị có thể là 0 hoặc 1. Theo hình 2.13, bên trong mô đun này sẽ có mô đun *PatchSum* để tính toán tổng của các điểm ảnh trong cửa sổ và sau đó là một khối logic tổ hợp để so sánh giá trị của **sum** và **center\_value** tương ứng với tổng của cửa sổ và điểm ảnh nằm giữa của cửa sổ. Chi tiết hơn sẽ được mô tả tại thiết kế RTL của mô đun MRELBP\_CI.

Tham số	Giá trị mặc định	Mô tả
COLS	128	Kích thước độ rộng của ảnh
ROWS	128	Kích thước chiều cao của ảnh

Bảng 2.14. Tham số của mô đun MRELBP\_CI

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
i_valid	1	Vào	Tín hiệu thông báo dữ liệu đầu vào là hợp lệ
S1_i	8	Vào	Dữ liệu đầu vào 1
S2_i	8	Vào	Dữ liệu đầu vào 2
S3_i	8	Vào	Dữ liệu đầu vào 3
S4_i	8	Vào	Dữ liệu đầu vào 4
S5_i	8	Vào	Dữ liệu đầu vào 5
Tùy thuộc vào giá trị bán kính, r = 2 thì sẽ có 5 đầu vào, r = 4 có 9 đầu vào và r = 6 có 13 đầu vào			
ci_o	1	Ra	Mô tả CI đầu ra
o_valid	1	Ra	Tín hiệu thông báo dữ liệu đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu thông báo kết thúc quá trình tính CI

Bảng 2.15. Danh sách các tín hiệu của mô đun MRELBP\_CI



Hình 2.14. Dạng sóng của mô đun MRELBP\_CI

### 2.3.4. Đặc tả mô đun NIRD

Hình 2.15 mô tả sơ đồ khối của mô đun NIRD. Tại mô đun này ta cần tính hai mô tả là NI và RD theo công thức 1.6 và 1.7. Vì khi tính RD cần tham chiếu đến hai cửa sổ kích thước khác nhau và dữ liệu của điểm ảnh cũng là đầu ra của bộ lọc trung vị cửa sổ khác nhau, do đó đầu vào sẽ có 2 dữ liệu ứng bán kính r và r1 với  $r1 = r - 1$ . Dữ liệu cũng

sẽ cần được đếm qua hai bộ đếm có số lượng mô đun LineBuffer bằng  $2^*r$  với  $r$  có thể là 2, 4, 6. Sau đó sẽ đi đến mô đun WindowBuffer với mục đích để hình thành các cửa sổ dữ liệu để thuận lợi cho việc tính toán của các mô đun sau. Khi tính mô tả NI sẽ là so sánh 8 giá trị trong đường tròn bán kính  $r$  so với trung bình tổng bán kính của cửa sổ, do đó sẽ có đầu vào là tổng điểm ảnh của cửa sổ và 8 điểm ảnh trong đường tròn bán kính  $r$ . 8 điểm ảnh này sẽ có 4 điểm cần phải suy ra bằng phương pháp nội suy. Với mô tả RD sẽ là so sánh của 8 điểm ảnh đường tròn bán kính  $r$  và 8 điểm ảnh trong đường tròn bán kính  $r_1$ . Dữ liệu sau khi đạt được sẽ cần thực hiện một thao tác gọi là RIU2-mapping hay ảnh xạ RIU2. Thực tế, mô đun này sẽ làm nhiệm vụ chuyển 8-bit có được sau mô đun NI hoặc RD thành một dạng biểu diễn khác ít bit hơn và mang nhiều ý nghĩa về mặt đặc trưng. Lý thuyết RIU2 đã được trình bày ở tiểu mục 1.2.4.

Tham số	Giá trị mặc định	Mô tả
COLS	128	Kích thước độ rộng của ảnh
ROWS	128	Kích thước chiều cao của ảnh

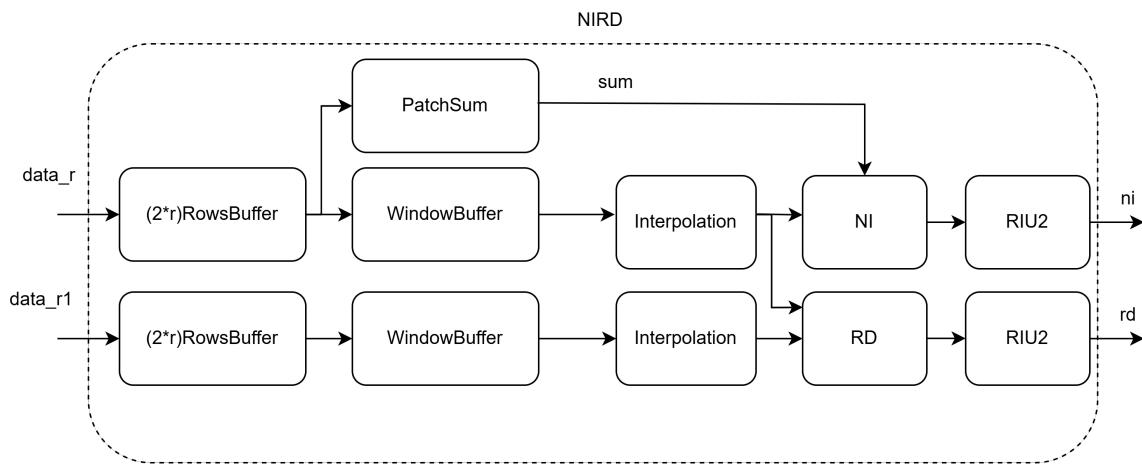
Bảng 2.16. Tham số của mô đun NIRD

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Reset đồng bộ, kích hoạt mức thấp
data_r_i	8	Vào	Dữ liệu vào ứng với bán kính $r$
i_r_valid	1	Vào	Tín hiệu thông báo dữ liệu đầu vào bán kính $r$ hợp lệ
data_r1_i	8	Vào	Dữ liệu vào ứng với bán kính $r_1$
i_r1_valid	1	Vào	Tín hiệu thông báo dữ liệu vào bán kính $r_1$ hợp lệ
ni_o	4	Ra	Giá trị mô tả NI đầu ra
rd_o	4	Ra	Giá trị mô tả RD đầu ra
o_valid	1	Ra	Tín hiệu thông báo đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu thông báo kết thúc đầu ra

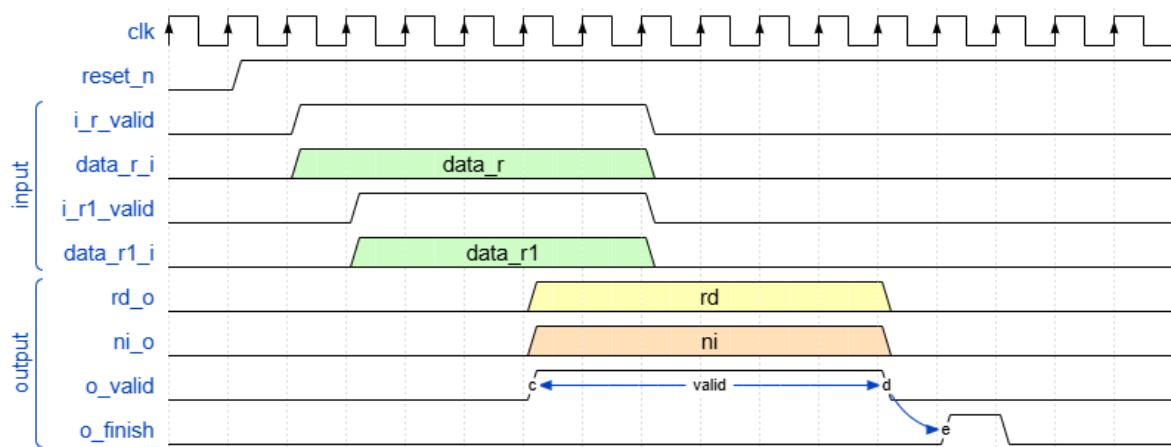
Bảng 2.17. Danh sách các tín hiệu của mô đun NIRD

### 2.3.4.1. Đặc tả mô đun Interpolation

Mô đun này sẽ thực hiện chức năng tính toán giá trị chưa biết ở một vài vị trí bán kính bằng phương pháp nội suy. Vì phương pháp này sẽ xuất hiện các giá trị thập phân,



Hình 2.15. Sơ đồ khối của mô đun NIRD



Hình 2.16. Dạng sóng của mô đun NIRD

để tiện cho việc biểu diễn, sinh viên sử dụng dấu phẩy tĩnh với 8-bit phần nguyên và 16-bit phần thập phân, tổng cộng là 24-bit cho dữ liệu đầu ra. Các dữ liệu ở các góc đặc biệt như 0, 90, 180, 270 độ sẽ không cần thực hiện nội suy, do đó, trong mô đun cũng sẽ thực thi chức năng đệm dữ liệu để đảm bảo đầu ra có đủ 8 giá trị trên đường tròn bán kính r ở tại một thời điểm. Vì phương pháp nội sử dụng là tuyến tính, do đó cần 4 điểm xung quanh vị trí cần tính, nên ứng với các góc 45, 135, 225 và 315 thì sẽ cần đầy đủ 4 giá trị đầu vào để tính toán.

Tham số	Giá trị mặc định	Mô tả
R	2	Kích thước bán kính
ANGLE	45	Giá trị góc

Bảng 2.18. Tham số của mô đun Interpolation

Tên tín hiệu	Độ rộng	Vào ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Tín hiệu reset đồng bộ, kích hoạt mức thấp
i_valid	1	Vào	Thông báo rằng dữ liệu đầu vào là hợp lệ
i_finish	1	Vào	Thông báo không còn dữ liệu đầu vào
S_0_i	8	Vào	Dữ liệu đầu vào tại góc 0 độ
S_90_i	8	Vào	Dữ liệu đầu vào tại góc 90 độ
S_180_i	8	Vào	Dữ liệu đầu vào tại góc 180 độ
S_270_i	8	Vào	Dữ liệu đầu vào tại góc 270 độ
S_45_i_1	8	Vào	Dữ liệu đầu vào thứ 1 tại hướng 45 độ
S_45_i_2	8	Vào	Dữ liệu đầu vào thứ 2 tại hướng 45 độ
S_45_i_3	8	Vào	Dữ liệu đầu vào thứ 3 tại hướng 45 độ
S_45_i_4	8	Vào	Dữ liệu đầu vào thứ 4 tại hướng 45 độ
S_135_i_1	8	Vào	Dữ liệu đầu vào thứ 1 tại hướng 135 độ
S_135_i_2	8	Vào	Dữ liệu đầu vào thứ 2 tại hướng 135 độ
S_135_i_3	8	Vào	Dữ liệu đầu vào thứ 3 tại hướng 135 độ
S_135_i_4	8	Vào	Dữ liệu đầu vào thứ 4 tại hướng 135 độ
S_225_i_1	8	Vào	Dữ liệu đầu vào thứ 1 tại hướng 225 độ
S_225_i_2	8	Vào	Dữ liệu đầu vào thứ 2 tại hướng 225 độ
S_225_i_3	8	Vào	Dữ liệu đầu vào thứ 3 tại hướng 225 độ
S_225_i_4	8	Vào	Dữ liệu đầu vào thứ 4 tại hướng 225 độ
S_315_i_1	8	Vào	Dữ liệu đầu vào thứ 1 tại hướng 315 độ
S_315_i_2	8	Vào	Dữ liệu đầu vào thứ 2 tại hướng 315 độ
S_315_i_3	8	Vào	Dữ liệu đầu vào thứ 3 tại hướng 315 độ
S_315_i_4	8	Vào	Dữ liệu đầu vào thứ 4 tại hướng 315 độ
S1_o -> S8_o	24	Ra	Dữ liệu nội suy đầu ra hướng từ 0 -> 315 độ
o_valid	1	Ra	Thông báo đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu cho biết đã hết dữ liệu đầu ra

Bảng 2.19. Danh sách các tín hiệu của mô đun Interpolation

### 2.3.4.2. Đặc tả mô đun NI

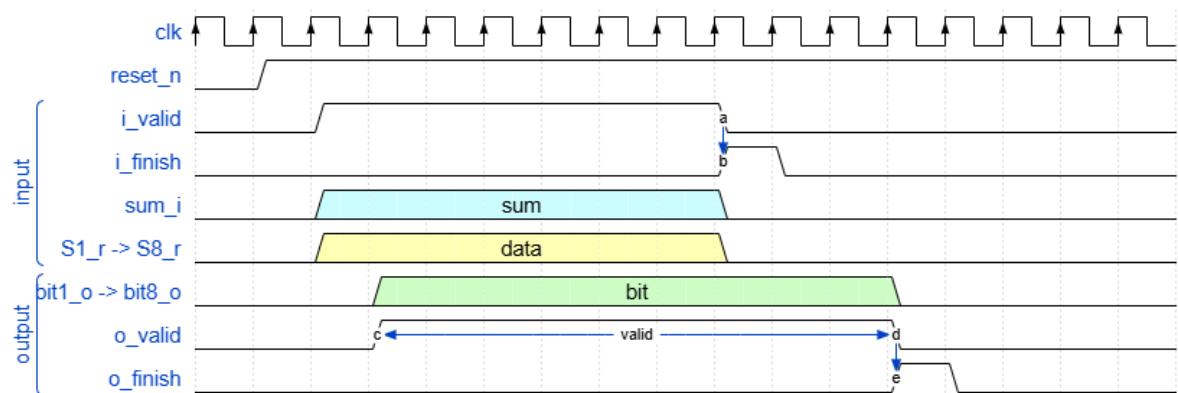
Mô đun NI sẽ tính toán giá trị của 8 điểm trong đường tròn bán kính r, theo mô tả tại bảng 2.21 là từ S1\_r -> S8\_r với giá trị sum\_i. Theo công thức 1.6 thì cần tính trung bình tổng của một cửa sổ, tuy nhiên thực hiện bộ chia sẽ tốn nhiều tài nguyên và phức tạp hơn bộ nhân, do đó mô đun sẽ triển khai nhân các giá trị đầu vào với tham số **GAIN**.

Tham số	Giá trị mặc định	Mô tả
WIDTH	10	Độ rộng bit của dữ liệu đầu vào sum
GAIN	25	Hệ số nhân đối với sum

Bảng 2.20. Tham số của mô đun NI

Tên tín hiệu	Độ rộng	Vào/Ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Tín hiệu reset đồng bộ, mức kích hoạt thấp
i_valid	1	Vào	Tín hiệu báo dữ liệu đầu vào là hợp lệ
i_finish	1	Vào	Tín hiệu báo đã hết dữ liệu đầu vào
S1_r -> S8_r	24	Vào	Các giá trị đầu vào từ 8 hướng tại bán kính r
sum_i	WIDTH	Vào	Tổng giá trị từ mô đun trước
o_valid	1	Ra	Tín hiệu báo dữ liệu đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu báo đã hết dữ liệu đầu ra
bit1_o -> bit8_o	1	Ra	8 giá trị đầu ra nhị phân ứng với 8 hướng

Bảng 2.21. Danh sách các tín hiệu của mô đun NI



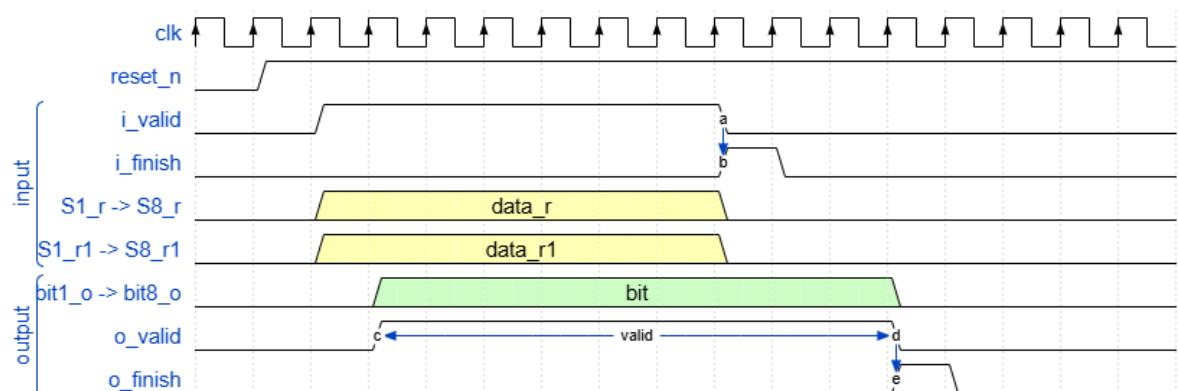
Hình 2.17. Dạng sóng của mô đun NI

### 2.3.4.3. Đặc tả mô đun RD

Mô đun RD sẽ tính giá trị mô tả bằng cách so sánh lần lượt các giá trị nằm trên 2 đường tròn bán kính r và r1. Để thuận tiện cho việc đồng bộ dữ liệu, đầu vào sẽ cần có đủ 8 dữ liệu bán kính r và 8 dữ liệu bán kính r1. Dữ liệu đầu ra sẽ lần lượt là 8 bit lần lượt với từng vị trí trên đường tròn. Ví dụ tại vị trí 0 độ, sẽ so sánh giá trị S1\_r và S1\_r1, tương tự với các vị trí khác.

Tên tín hiệu	Độ rộng	Vào/Ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Tín hiệu reset đồng bộ, mức kích hoạt thấp
i_valid	1	Vào	Tín hiệu báo dữ liệu đầu vào là hợp lệ
i_finish	1	Vào	Tín hiệu báo đã hết dữ liệu đầu vào
S1_r → S8_r	24	Vào	Các giá trị đầu vào từ 8 hướng tại bán kính r
S1_r1 → S8_r1	24	Vào	Các giá trị đầu vào từ 8 hướng tại bán kính r1
o_valid	1	Ra	Tín hiệu báo dữ liệu đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu báo đã hết dữ liệu đầu ra
bit1_o → bit8_o	1	Ra	8 giá trị đầu ra nhị phân ứng với 8 hướng

Bảng 2.22. Danh sách các tín hiệu của mô đun RD



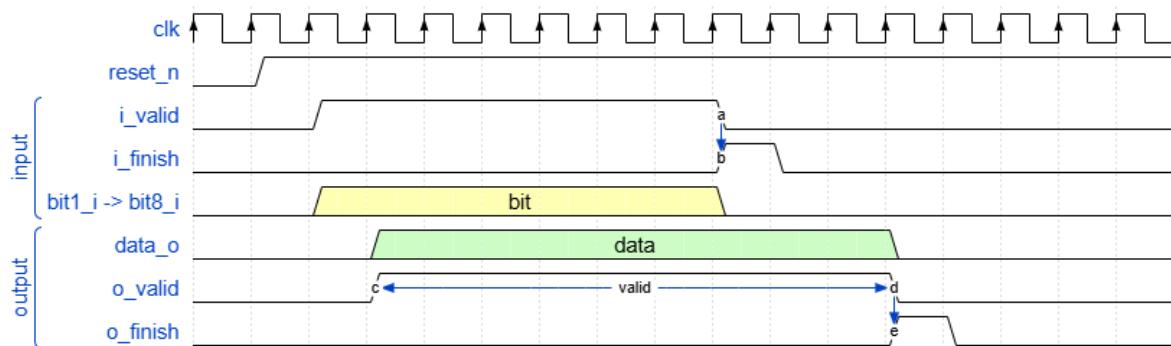
Hình 2.18. Dạng sóng của mô đun RD

#### 2.3.4.4. Đặc tả mô đun RIU2

Mô đun RIU2 sẽ tính toán ra các đặc trưng dựa vào 8-bit đầu vào được tính hoặc từ mô đun NI hoặc từ mô đun RD theo công thức 1.3.

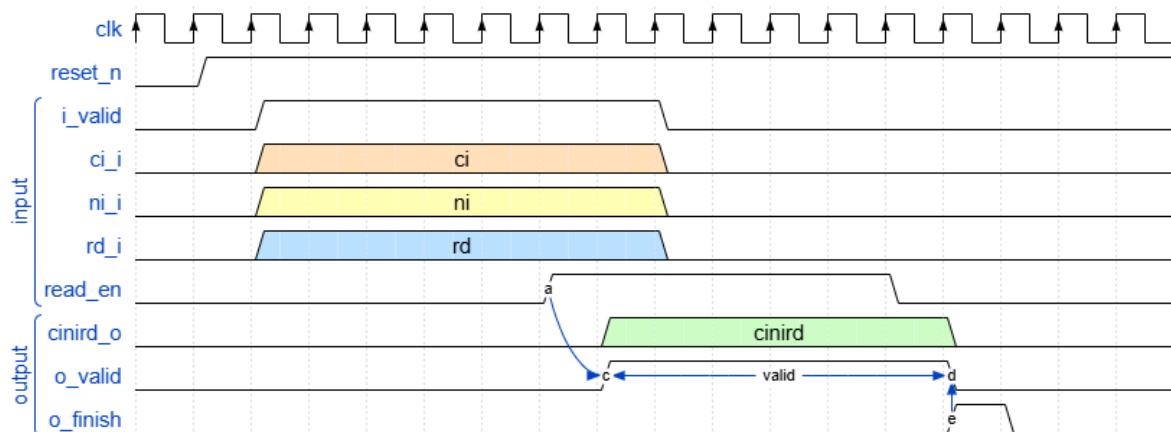
Tên tín hiệu	Độ rộng	Vào/Ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Tín hiệu reset đồng bộ, mức kích hoạt thấp
i_valid	1	Vào	Tín hiệu báo dữ liệu đầu vào là hợp lệ
i_finish	1	Vào	Tín hiệu báo đã hết dữ liệu đầu vào
bit1_i → bit8_i	1	Vào	8 giá trị nhị phân đầu vào
o_valid	1	Ra	Tín hiệu báo dữ liệu đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu báo đã hết dữ liệu đầu ra
data_o	4	Ra	Giá trị riu2

Bảng 2.23. Danh sách các tín hiệu của mô đun RIU2



Hình 2.19. Dạng sóng của mô đun RIU2

#### 2.3.5. Đặc tả mô đun JointHistogram



Hình 2.20. Biểu đồ dạng sóng của mô đun JointHistogram

Mô đun JointHistogram sẽ có mục đích ghép 3 loại dữ liệu CI, NI và RD theo một công thức toán học nào đó để đạt được đặc trưng đầu ra. Công thức 2.2 mô tả cách một đặc trưng được tính toán, mỗi lần đặc trưng này xuất hiện thì giá trị tại bộ nhớ nơi lưu trữ giá trị đấy được tăng lên 1 đơn vị. Vì ci chỉ nhận được giá trị từ 0 -> 1, các giá trị ni và rd sẽ chỉ nhận giá trị từ 0 -> 9 nên thực tế đặc trưng đầu ra có chiều dữ liệu là 200 ứng với mỗi r.

$$f = ci * 100 + ni * 10 + rd \quad (2.2)$$

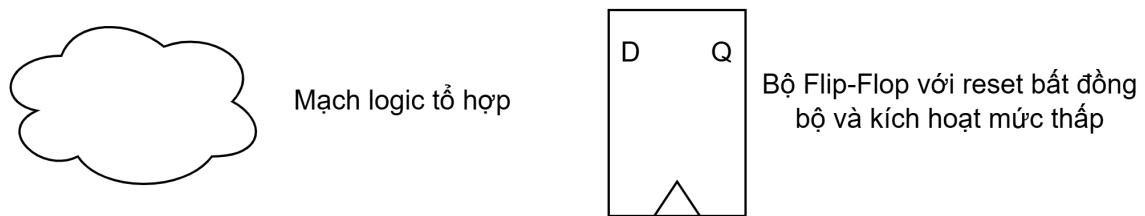
Tên tín hiệu	Độ rộng	Vào/Ra	Mô tả
clk	1	Vào	Tín hiệu clock
rst_n	1	Vào	Tín hiệu reset đồng bộ, mức kích hoạt thấp
i_valid	1	Vào	Tín hiệu báo dữ liệu đầu vào là hợp lệ
ci_i	1	Vào	Mô tả ci đầu vào
ni_i	4	Vào	Mô tả ni đầu vào
rd_i	4	Vào	Mô tả rd đầu vào
read_en	1	Vào	Tín hiệu cho phép đọc từ bộ nhớ
cinird_o	16	Ra	Đặc trưng đầu ra
o_valid	1	Ra	Thông báo dữ liệu đầu ra là hợp lệ
o_finish	1	Ra	Tín hiệu thông báo đã hết dữ liệu đầu ra

Bảng 2.24. Danh sách các tín hiệu của mô đun JointHistogram

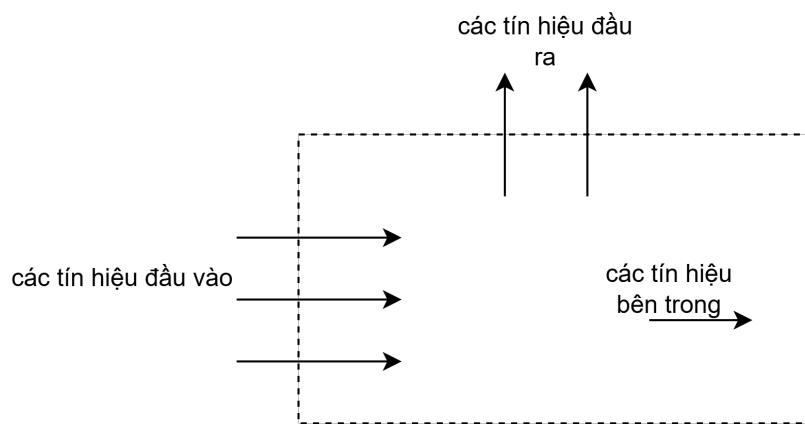
## CHƯƠNG 3

# THIẾT KẾ RTL

Nội dung chương này mô tả về các thiết kế của các mô đun ở mức Register-Transfer Level (RTL). Mỗi phần mô tả một mô đun sẽ bao gồm nội dung về kiến trúc RTL và mô tả sơ đồ chuyển trạng thái. Bên cạnh đó, sẽ giải thích nguyên nhân sử dụng kiến trúc đó, ước tính số chu kỳ thực hiện của từng mô đun. Bộ cục của chương sẽ bắt đầu từ các thành phần mô đun nhỏ đến các mô đun lớn hơn.



Hình 3.1. Định nghĩa các ký hiệu được sử dụng khi mô tả kiến trúc RTL



Hình 3.2. Định nghĩa các tín hiệu ra vào một mô đun

### 3.1. Mô đun MedianProcessing

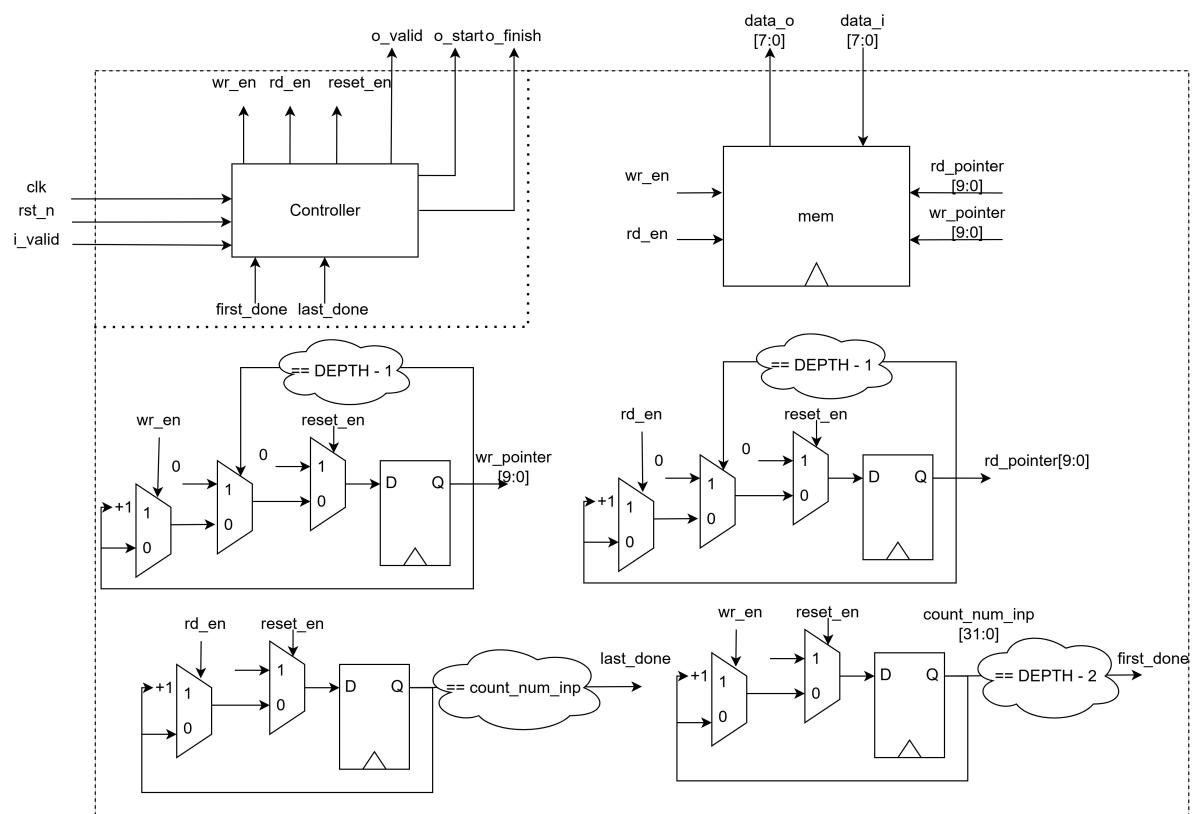
#### 3.1.1. Mô đun LineBuffer

Nguyên lý hoạt động của mô đun LineBuffer là khi có dữ liệu đầu vào, dữ liệu sẽ được ghi vào một vùng nhớ cụ thể, sau khi đạt đến một thời gian hoặc điều kiện đặt ra, dữ liệu từ vùng nhớ đã được ghi sẽ được đọc ra và thứ tự đầu ra sẽ theo nguyên lý FIFO

(First In First Out, dữ liệu ghi đầu trước sẽ được đọc ra trước). Hình 3.3 mô tả kiến trúc RTL của mô đun LineBuffer và hình 3.4 mô tả sơ đồ chuyển trạng thái của bộ controller cho mô đun này. Có thể mô tả ngắn gọn cách thức hoạt động của mô đun theo mô tả sau: Dữ liệu sẽ được đếm vào bộ nhớ, sau khi dữ liệu ở hàng đầu tiên được đếm (tức là lần đầu tiên bộ nhớ đầy) thì lúc này sẽ có tín hiệu cho phép dữ liệu ra, và quá trình này sẽ kết thúc khi toàn bộ dữ liệu đầu vào được đếm đến đầu ra.

*Số lượng chu kỳ từ lúc có dữ liệu vào đến khi có dữ liệu đầu ra: DEPTH*

*Số lượng chu kỳ từ lúc có dữ liệu vào đến khi có dữ liệu đầu ra của mô đun Buffer6Rows: 3 \* DEPTH*

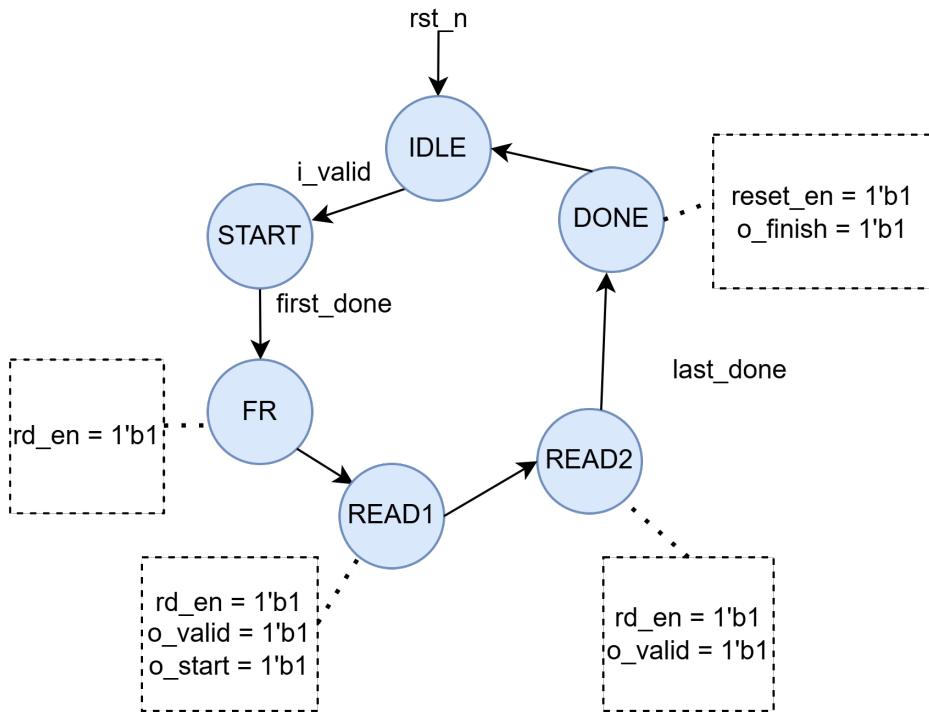


Hình 3.3. Mô tả RTL của mô đun LineBuffer

### 3.1.2. Mô đun ZeroPadding

Mô-đun **ZeroPadding** sẽ được thiết kế riêng biệt cho ba loại cửa sổ là  $3 \times 3$ ,  $5 \times 5$  và  $7 \times 7$ . Tuy nhiên, chúng đều sử dụng chung một bộ điều khiển, hoạt động theo mô tả ở hình 3.5. Bộ điều khiển này bao gồm bốn trạng thái: **IDLE**, **START**, **DATA** và **DONE**.

Trạng thái **START** có chức năng chờ cho đến khi dữ liệu được đếm trong mô-đun ZeroPadding đủ để đáp ứng yêu cầu đầu ra của cửa sổ. Ví dụ, với cửa sổ  $3 \times 3$ , khi xử lý ở



Hình 3.4. Sơ đồ chuyển trạng thái của mô đun LineBuffer

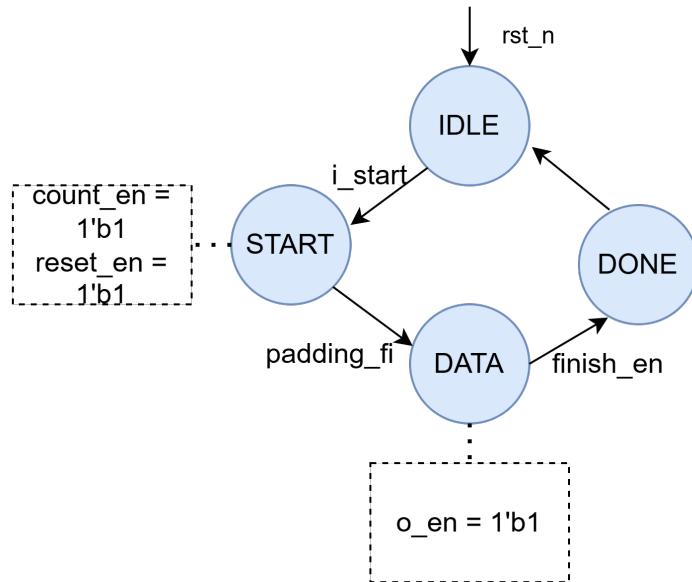
rìa ảnh sẽ cần đếm thêm các giá trị 0. Khi đó, trong mô-đun cần có sẵn ít nhất hai điểm ảnh, để sau khi đếm thêm một điểm ảnh 0 sẽ đủ ba điểm ảnh cho một hàng hoặc một cột của cửa sổ.

Trạng thái **DATA** có chức năng cho phép xuất dữ liệu đầu ra. Khi tín hiệu **o\_en** ở mức logic 1, các thanh ghi chốt (flip-flop) chứa dữ liệu đầu ra mới được phép truyền dữ liệu ra ngoài. Ví dụ, trong hình 3.7, để dữ liệu đầu ra **d0\_o** được phép phát ra ngoài, điều kiện là  $o\_en \& (i\_row\_lt\_1 | i\_col\_lt\_1)$ . Điều kiện này cũng được áp dụng tương tự cho tất cả các phiên bản khác của mô-đun ZeroPadding.

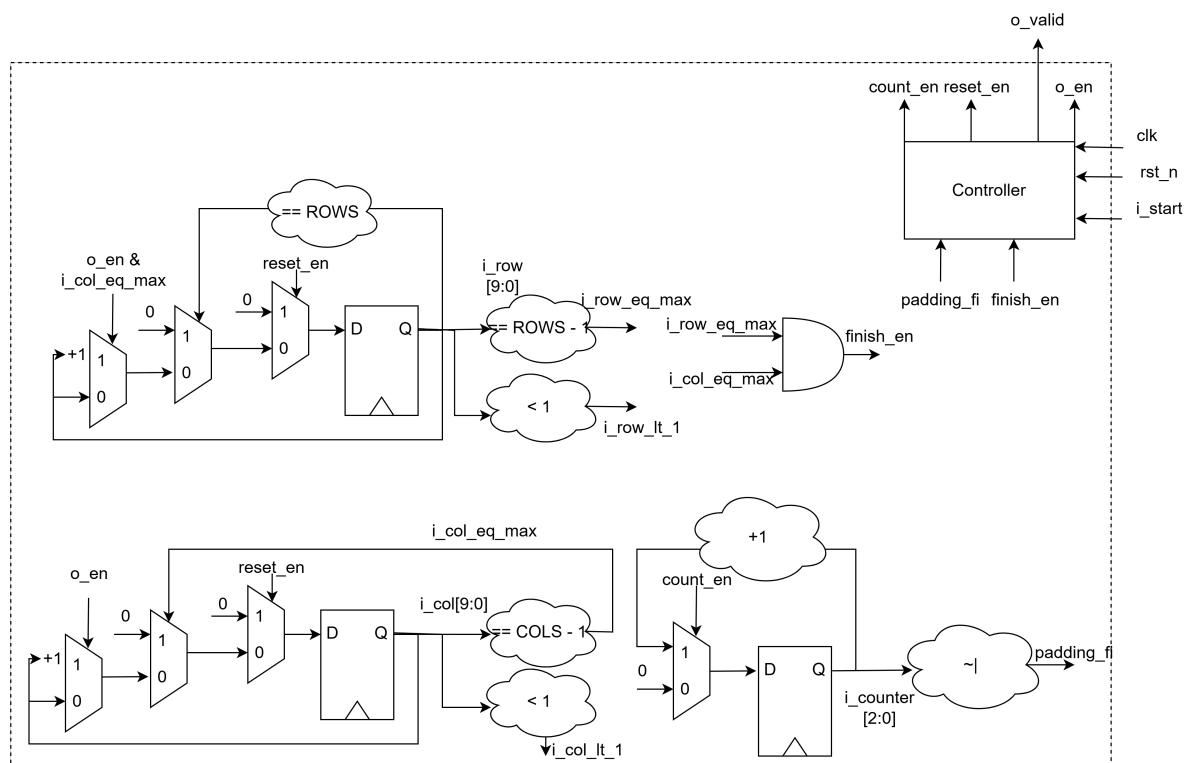
### 3.1.2.1. Cửa sổ 3x3

Hình 3.6 mô tả kiến trúc RTL đối với bộ ZeroPadding của cửa sổ 3x3, dữ liệu đầu vào của từng hàng sẽ được đếm qua 3 thanh ghi để tạo ra 3 giá trị ứng với mỗi hàng của cửa sổ đầu ra. Dữ liệu đầu ra sẽ dựa vào các điều kiện như ở hình 3.7, chính là các tín hiệu điều khiển bộ mạch ghép kênh (mux) để lựa chọn đầu ra là dữ liệu nào.

Bởi vì đối với các cửa sổ 5x5 và 7x7, số lượng các đầu vào và điều kiện cho đầu ra là rất nhiều, khó có thể mô tả bằng hình vẽ, do đó sinh viên sẽ đưa ra bảng giá trị tham chiếu và điều kiện cho từng giá trị đầu ra.



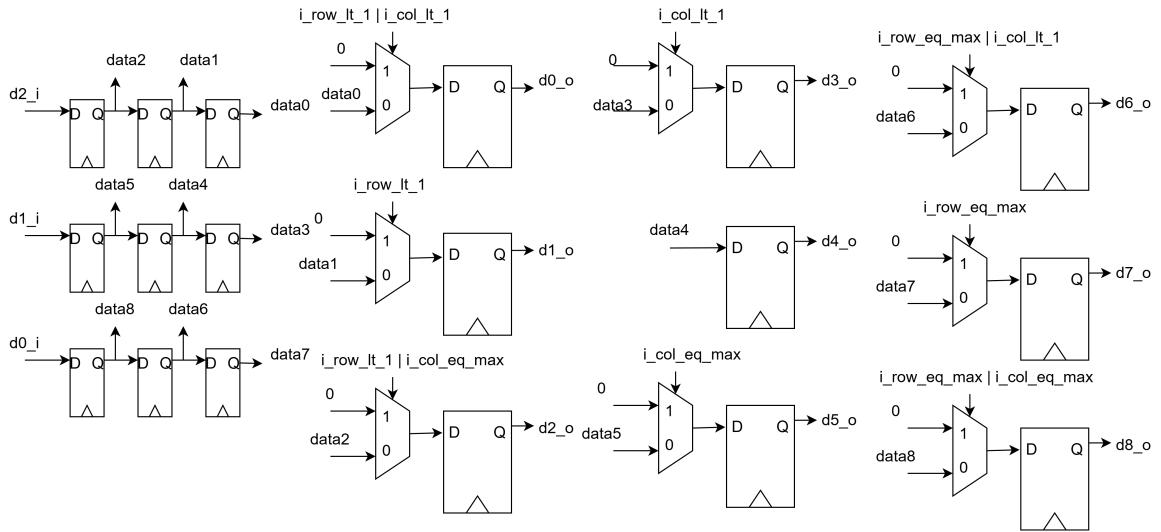
Hình 3.5. Sơ đồ chuyển trạng thái của mô đun ZeroPadding



Hình 3.6. Mô tả RTL (1) của mô đun ZeroPadding ứng với cửa sổ 3x3

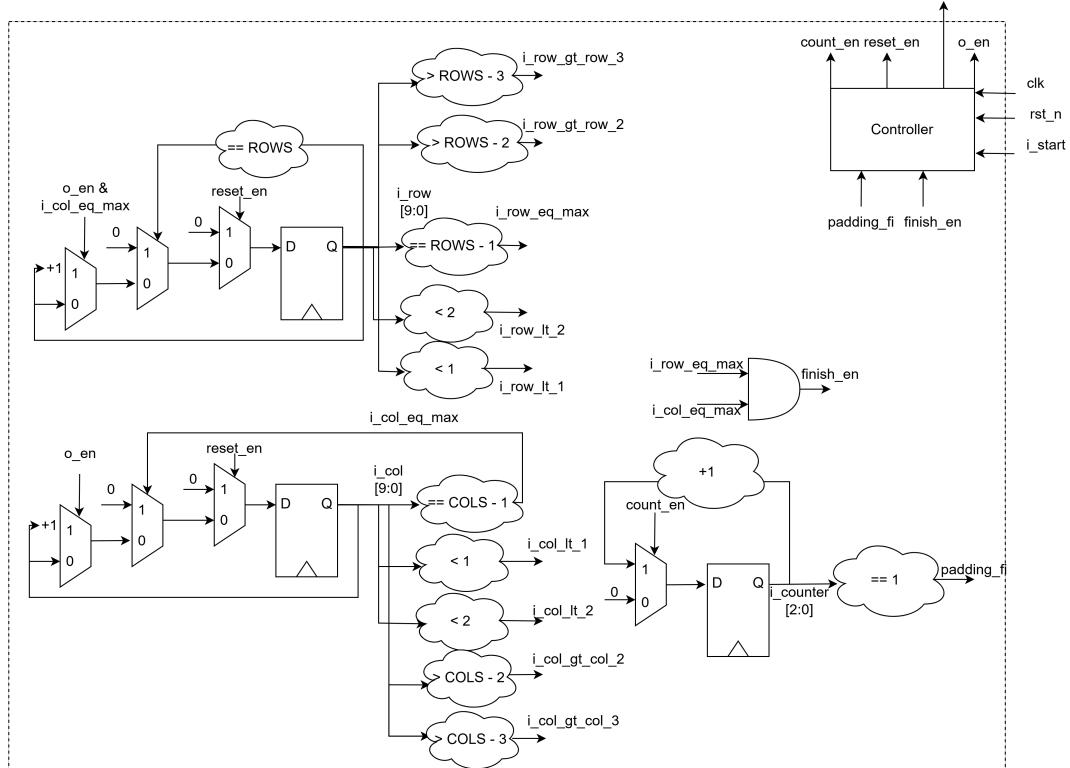
### 3.1.2.2. Cửa sổ 5x5

Hình 3.8 mô tả kiến trúc ở mức RTL cho mô đun ZeroPadding ứng với cửa sổ đầu vào 5x5. Về cơ bản, nguyên lý hoạt động của mô đun này tương tự như đối với cửa sổ



Hình 3.7. Mô tả RTL (2) của mô đun ZeroPadding ứng với cửa sổ 3x3

3x3, nhưng có thêm một vài điều kiện thêm cho đầu ra như  $i\_row\_gt\_row\_3$ , ... Những điều kiện cho đầu ra đã được mô tả chi tiết trong bảng 3.1. Cột điều kiện tương ứng với tín hiệu chọn cho bộ mạch ghép kênh, khi điều kiện đúng thì đầu ra sẽ là 0, khi điều kiện sai, dữ liệu đầu ra sẽ ứng với giá trị của giá trị tham chiếu đến.



Hình 3.8. Mô tả RTL của mô đun ZeroPadding ứng với cửa sổ 5x5

Tên đầu ra	Điều kiện	Giá trị tham chiếu
d0_o	i_row_lt_2   i_col_lt_2	data0
d1_o	i_row_lt_2   i_col_lt_1	data1
d2_o	i_row_lt_2	data2
d3_o	i_row_lt_2   i_col_gt_col_2	data3
d4_o	i_row_lt_2   i_col_gt_col_3	data4
d5_o	i_row_lt_1   i_col_lt_2	data5
d6_o	i_row_lt_1   i_col_lt_1	data6
d7_o	i_row_lt_1	data7
d8_o	i_row_lt_1   i_col_gt_col_2	data8
d9_o	i_row_lt_1   i_col_gt_col_3	data9
d10_o	i_col_lt_2	data10
d11_o	i_col_lt_1	data11
d12_o	– (không có điều kiện)	data12
d13_o	i_col_gt_col_2	data13
d14_o	i_col_gt_col_2	data14
d15_o	i_row_gt_row_2   i_col_lt_2	data15
d16_o	i_row_gt_row_2   i_col_lt_1	data16
d17_o	i_row_gt_row_2	data17
d18_o	i_row_gt_row_2   i_col_gt_col_2	data18
d19_o	i_row_gt_row_2   i_col_gt_col_3	data19
d20_o	i_row_gt_row_3   i_col_lt_2	data20
d21_o	i_row_gt_row_3   i_col_lt_1	data21
d22_o	i_row_gt_row_3	data22
d23_o	i_row_gt_row_3   i_col_gt_col_2	data23
d24_o	i_row_gt_row_3   i_col_gt_col_3	data24

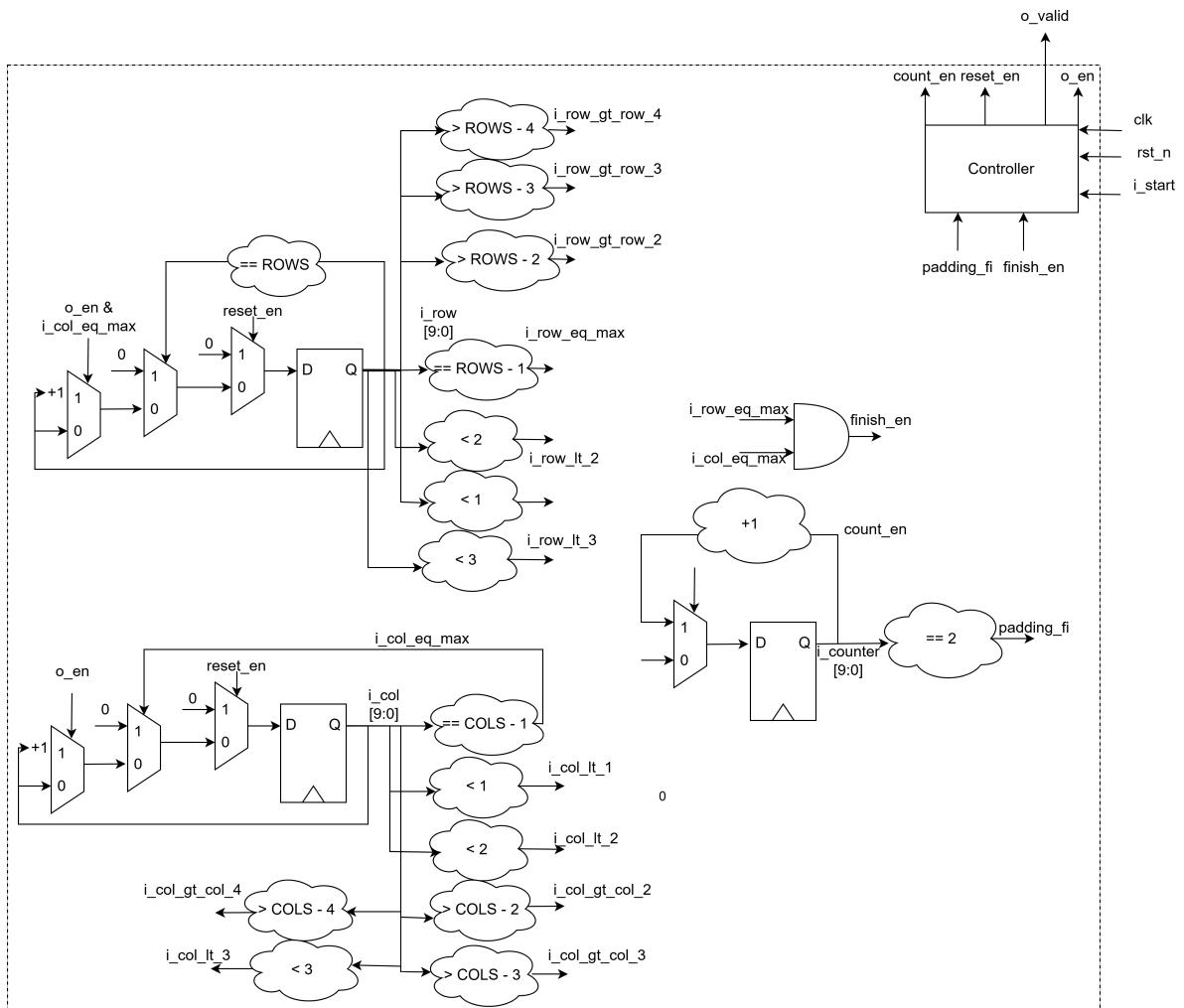
Bảng 3.1. Bảng điều kiện cho dữ liệu đầu ra ứng với cửa sổ 5x5

### 3.1.2.3. Cửa sổ 7x7

Bảng 3.6 mô tả số chu kỳ cần thiết từ lúc có dữ liệu vào đến khi có dữ liệu ra của từng mô đun ZeroPadding ứng với từng loại cửa sổ. Thời gian tính toán tính từ thời điểm mà tín hiệu *i\_start* chuyển trạng thái đến khi mà tín hiệu đầu ra *o\_valid* chuyển trạng thái.

Tên mô đun	Số chu kỳ
ZeroPadding3x3	3 chu kỳ
ZeroPadding5x5	4 chu kỳ
ZeroPadding7x7	5 chu kỳ

Bảng 3.2. Số chu kỳ thực hiện của các mô đun ZeroPadding



Hình 3.9. Mô tả RTL của mô đun ZeroPadding ứng với cù số 7x7

Tên đầu ra	Điều kiện	Giá trị tham chiếu
d0_o	i_row_lt_3   i_col_lt_3	data0
d1_o	i_row_lt_3   i_col_lt_2	data1
d2_o	i_row_lt_3   i_col_lt_1	data2

Tên đầu ra	Điều kiện	Giá trị tham chiếu
d3_o	i_row_lt_3	data3
d4_o	i_row_lt_3   i_col_gt_col_2	data4
d5_o	i_row_lt_3   i_col_gt_col_3	data5
d6_o	i_row_lt_3   i_col_gt_col_4	data6
d7_o	i_row_lt_2   i_col_lt_3	data7
d8_o	i_row_lt_2   i_col_lt_2	data8
d9_o	i_row_lt_2   i_col_lt_1	data9
d10_o	i_row_lt_2	data10
d11_o	i_row_lt_2   i_col_gt_col_2	data11
d12_o	i_row_lt_2   i_col_gt_col_3	data12
d13_o	i_row_lt_2   i_col_gt_col_4	data13
d14_o	i_row_lt_1   i_col_lt_3	data14
d15_o	i_row_lt_1   i_col_lt_2	data15
d16_o	i_row_lt_1   i_col_lt_1	data16
d17_o	i_row_lt_1	data17
d18_o	i_row_lt_1   i_col_gt_col_2	data18
d19_o	i_row_lt_1   i_col_gt_col_3	data19
d20_o	i_row_lt_1   i_col_gt_col_4	data20
d21_o	i_col_lt_3	data21
d22_o	i_col_lt_2	data22
d23_o	i_col_lt_1	data23
d24_o	– (không có điều kiện)	data24
d25_o	i_col_gt_col_2	data25
d26_o	i_col_gt_col_3	data26
d27_o	i_col_gt_col_4	data27
d28_o	i_row_gt_row_2   i_col_lt_3	data28
d29_o	i_row_gt_row_2   i_col_lt_2	data29
d30_o	i_row_gt_row_2   i_col_lt_1	data30
d31_o	i_row_gt_row_2	data31
d32_o	i_row_gt_row_2   i_col_gt_col_2	data32
d33_o	i_row_gt_row_2   i_col_gt_col_3	data33
d34_o	i_row_gt_row_2   i_col_gt_col_4	data34

Tên đầu ra	Điều kiện	Giá trị tham chiếu
d35_o	i_row_gt_row_3   i_col_lt_3	data35
d36_o	i_row_gt_row_3   i_col_lt_2	data36
d37_o	i_row_gt_row_3   i_col_lt_1	data37
d38_o	i_row_gt_row_3	data38
d39_o	i_row_gt_row_3   i_col_gt_col_2	data39
d40_o	i_row_gt_row_3   i_col_gt_col_3	data40
d41_o	i_row_gt_row_3   i_col_gt_col_4	data41
d42_o	i_row_gt_row_4   i_col_lt_3	data42
d43_o	i_row_gt_row_4   i_col_lt_2	data43
d44_o	i_row_gt_row_4   i_col_lt_1	data44
d45_o	i_row_gt_row_4	data45
d46_o	i_row_gt_row_4   i_col_gt_col_2	data46
d47_o	i_row_gt_row_4   i_col_gt_col_3	data47
d48_o	i_row_gt_row_4   i_col_gt_col_4	data48

Bảng 3.3. Bảng điều kiện cho dữ liệu đầu ra ứng với cửa sổ 7x7

### 3.1.3. Mô đun MedianCalculation

Mô đun MedianCalculation sẽ tính toán giá trị trung vị đầu ra dựa trên các điểm ảnh đầu vào. Vì sẽ tính toán cho riêng biệt 3 cửa sổ là 3x3, 5x5 và 7x7, nên để tối ưu, sinh viên sẽ thiết kế riêng 3 bộ tính trung vị ứng với từng cửa sổ.

#### 3.1.3.1. Thuật toán tính toán trung vị

Đầu tiên, một mạng sắp xếp(sorting network) được định nghĩa là một chuỗi các hoạt động so sánh và hoán đổi các phần tử. Mặc dù một mạng sắp xếp với một số lượng phân tử cố định cần yêu cầu nhiều phép so sánh hơn so với các phương pháp so sánh như sắp xếp nhanh, ... Tuy nhiên, nó có một lợi thế là không phải phụ thuộc vào kết quả của những phép so sánh trước đó, do đó không cần sự điều khiển. Từ đó, nó sẽ phù hợp với các bài toán tính toán song song.

Hình 3.10 mô tả một mạng sắp xếp cho 3 phần tử với out0, out1 và out2 lần lượt là các giá trị nhỏ nhất, trung vị và lớn nhất trong 3 phần tử đó. Các ô 1, 2 và 3 là các bộ so sánh và hoán đổi có kiến trúc được mô tả ở hình 3.11. **Chú ý:** *Ở trong các hình ảnh bên dưới, mạng sắp xếp sẽ được gọi là Sorting\_network và bộ so sánh và hoán đổi được gọi*

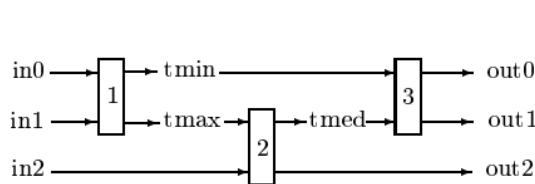
là **Node**. Thuật toán 3.1 mô tả cách tính toán giá trị trung vị ứng với một mảng có kích thước  $N \times N$ , bao gồm 3 bước chính là sắp xếp từng hàng, sắp xếp từng cột, và sau đó sắp xếp các đường chéo với điều kiện xác định. Thuật toán này rất phù hợp với các bộ có kích thước nhỏ, và thành phần phù hợp để triển khai là các mạng sắp xếp.

---

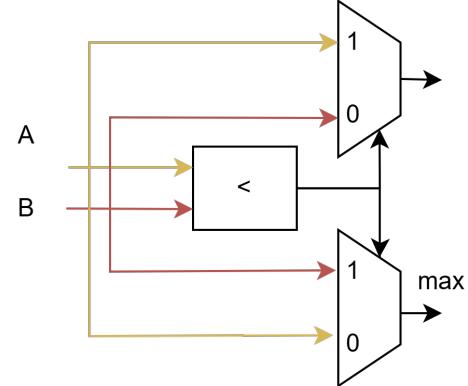
### Thuật toán 3.1 Tìm trung vị của một mảng $N \times N$ với $N$ là số lẻ [18]

---

- 1: **Đầu vào:** Một mảng  $A$  có kích thước  $N \times N$
  - 2: **Đầu ra:** Giá trị trung vị của mảng
  - 3:  $M = \frac{N-1}{2}$
  - 4: Sắp xếp các hàng của mảng theo thứ tự tăng dần
  - 5: Sắp xếp các cột của mảng theo thứ tự tăng dần
  - 6: Sắp xếp các đường chéo có độ dốc  $k$
  - 7: **for**  $k = 1$  to  $M$  **do**
  - 8:     **for**  $s = k \cdot (M + 1)$  to  $k \cdot (M - 1) + (N - 1)$  **do**
  - 9:         Dòng được sắp xếp được xác định bởi phương trình  $k \cdot r + c = s$
  - 10:         Với mọi  $r$ :  $A[r - 1, s - k \cdot (r - 1)] \leq A[r, s - k \cdot r]$
  - 11:     **end for**
  - 12: **end for**
  - 13: **Trả về:**  $A[M, M]$
- 



Hình 3.10. Mô tả về mạng sắp xếp với 3 phần tử [18]

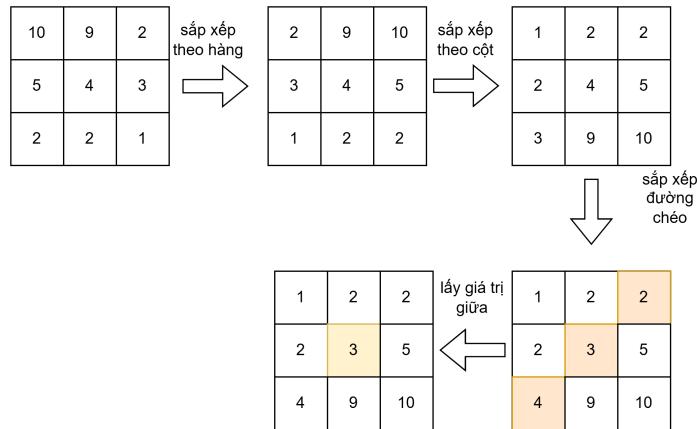


Hình 3.11. Mô tả cấu trúc bộ so sánh và hoán đổi

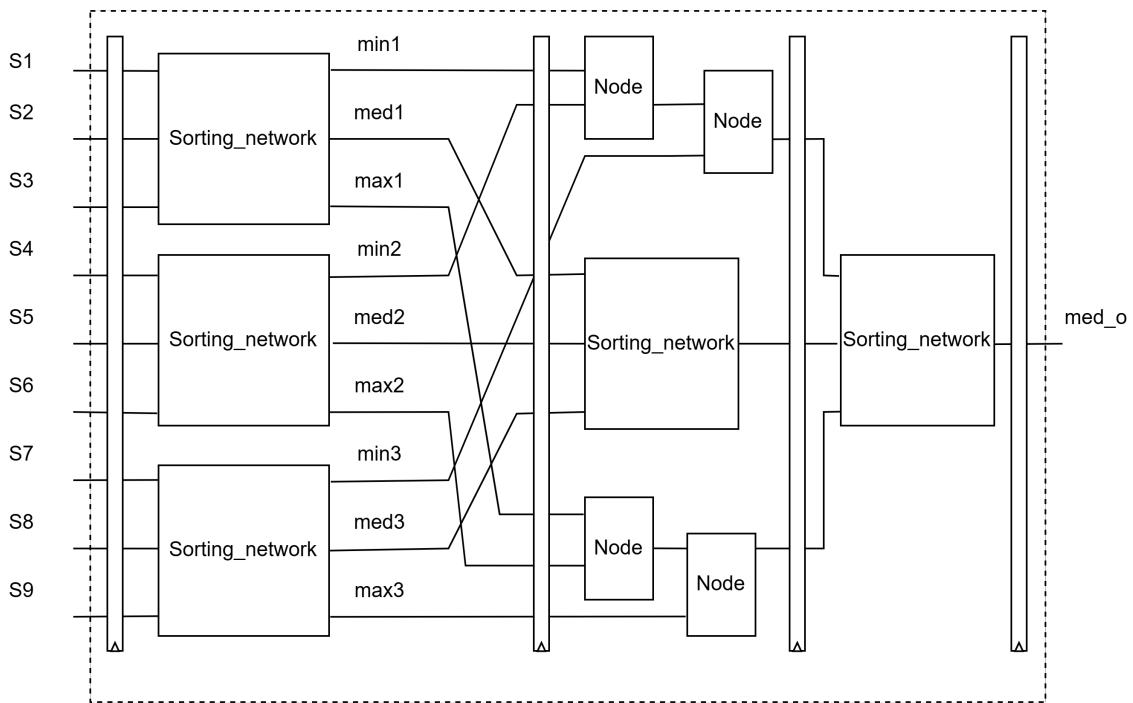
#### 3.1.3.2. Cửa sổ $3 \times 3$

Hình 3.12 mô tả nguyên lý và ví dụ về cách tìm giá trị trung vị của một ma trận kích thước  $3 \times 3$ . Với chuỗi đầu vào là 10, 9, 2, 5, 4, 3, 2, 2, 1. Giá trị trung vị ta mong đợi đạt được là 3. Các bước thực hiện bao gồm việc sắp xếp các hàng và các cột tăng dần. Sau khi đã xong hai bước trên, lúc này đường chéo gồm các phần tử 2, 4, 3. Lúc này, sẽ thực hiện sắp xếp theo thứ tự tăng dần, kết quả đạt được là 2, 3, 4. Vậy giá trị trung vị đạt được là 3, đã giống với giá trị mong đợi đạt được. Hình 3.13 mô tả kiến trúc RTL của mô

đun MedianCalculation với cửa sổ  $3 \times 3$ . Sinh viên đã thay thế các mảng sắp xếp khi đến bước sắp xếp cột để giảm độ tài nguyên phần cứng sử dụng (thay bộ Sorting\_network bằng chỉ 2 Node, vì không cần đủ 3 giá trị cho bước tiếp theo), hai là đã chèn thêm các thanh ghi giữa các bước để giảm trễ lan truyền, giúp tăng tần số hoạt động của mạch.



Hình 3.12. Thực hiện và ví dụ của tìm trung vị của cửa sổ  $3 \times 3$

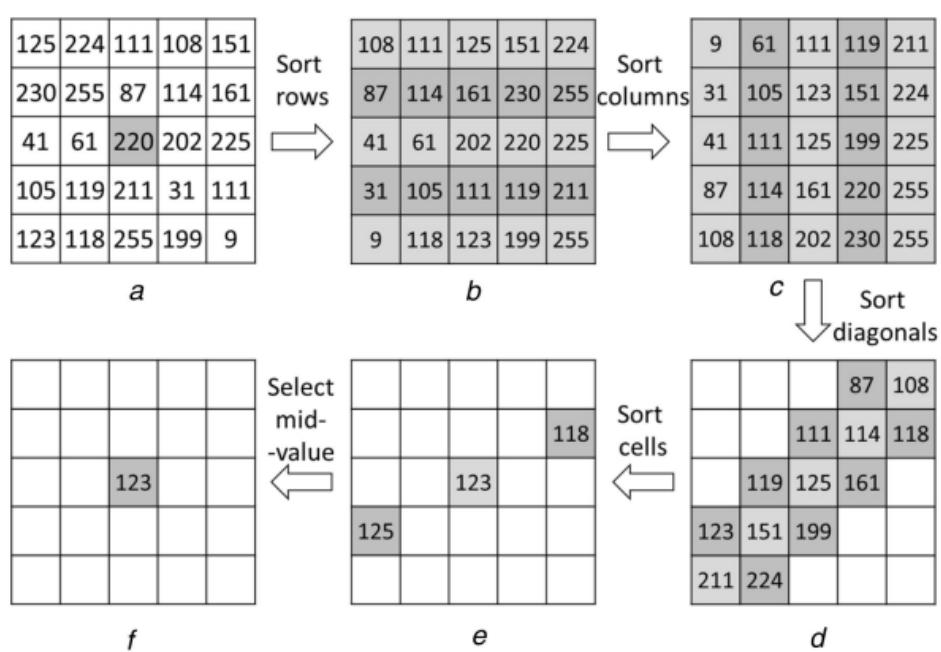


Hình 3.13. Thực hiện và ví dụ của tìm trung vị của cửa sổ  $3 \times 3$

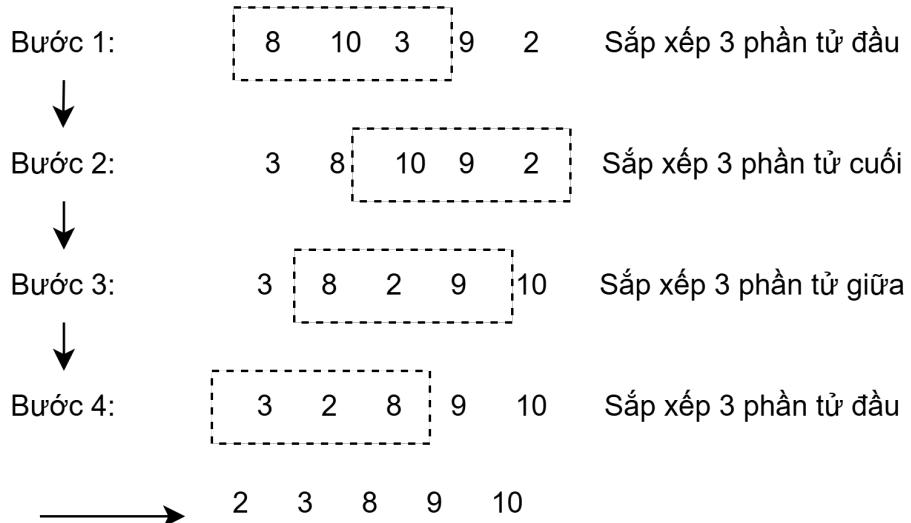
### 3.1.3.3. Cửa sổ $5 \times 5$

Hình 3.14 mô tả nguyên lý và ví dụ về cách tìm giá trị trung vị đối với cửa sổ  $5 \times 5$ . Để tối ưu cho tốc độ sắp xếp và sự không phụ thuộc, sinh viên sẽ thiết kế một sắp xếp 5

phần tử theo thứ tự tăng dần theo các bước được mô tả trong hình 3.16.



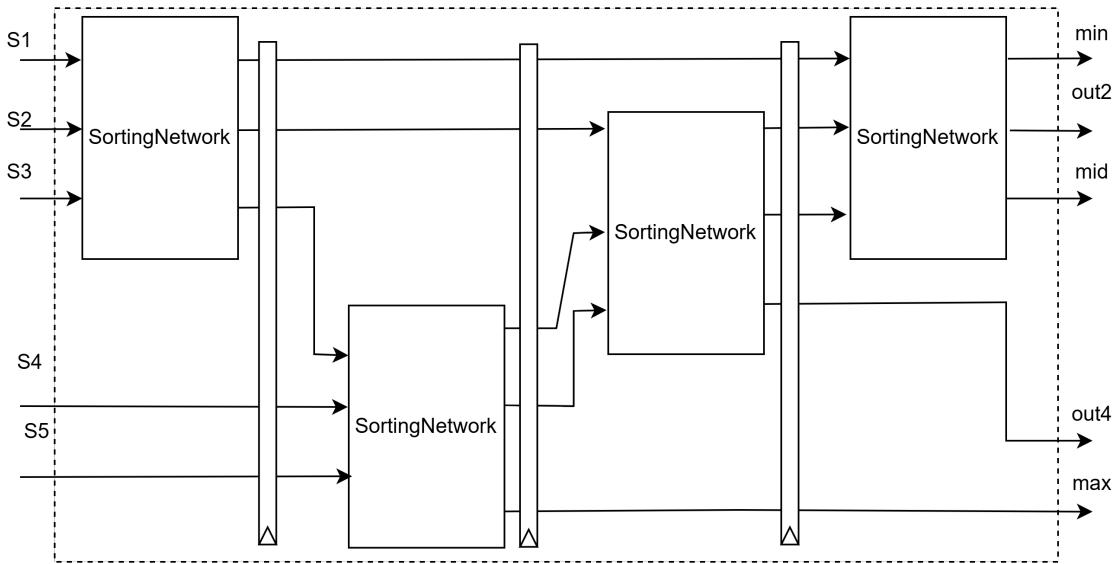
Hình 3.14. Thực hiện và ví dụ của tìm trung vị của cửa sổ 5x5 [19]



Hình 3.15. Xây dựng bộ sắp xếp 5 phần tử dựa trên bộ sắp xếp 3

#### 3.1.3.4. Cửa sổ 7x7

Hình 3.17 mô tả cách tìm ra giá trị trung vị đối với một ma trận kích thước 7x7. Điểm khác biệt đối với cửa sổ này là sau khi đã sắp xếp hàng và sắp xếp cột xong, ta sẽ tìm ra 25 phần tử thỏa mãn điều kiện, sau đó dựa vào bộ tìm trung vị đối với ma trận



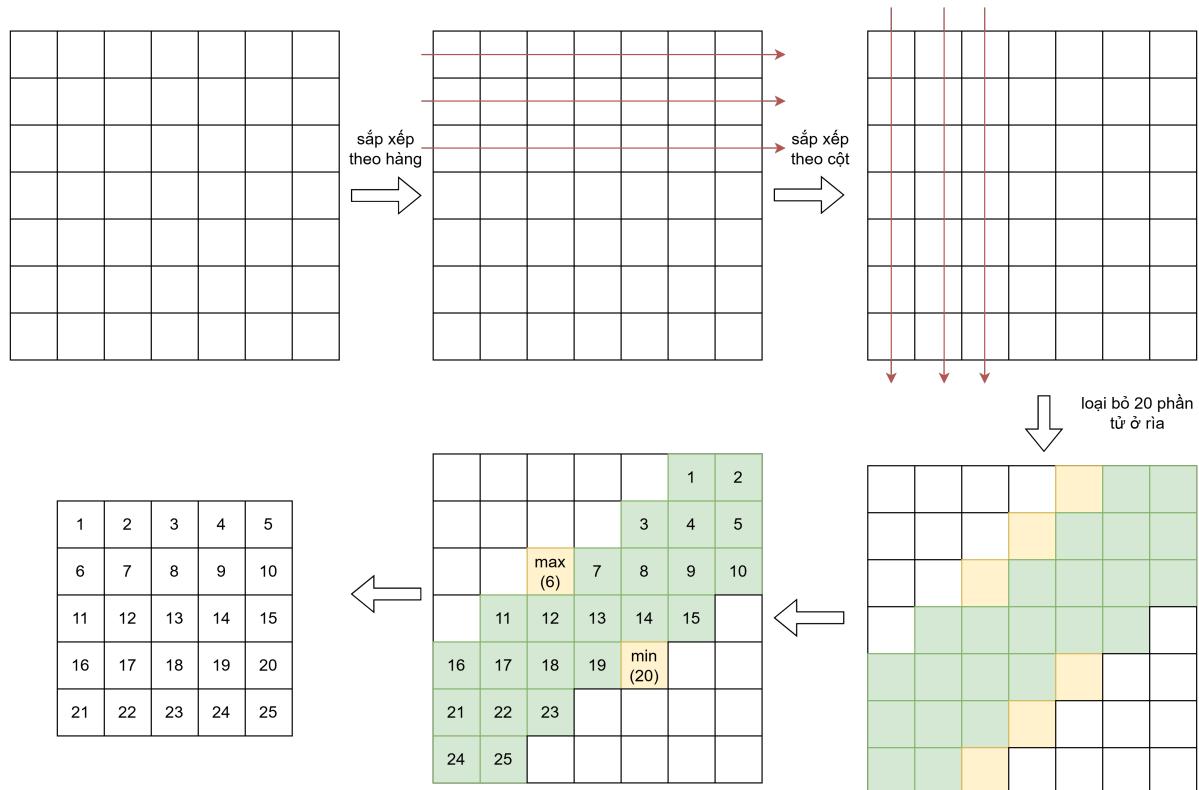
Hình 3.16. Kiến trúc của bộ sắp xếp tăng dần 5 phần tử

5x5 để tìm trung vị chứ không thực hiện trực tiếp việc sắp xếp đường chéo theo mô tả tại thuật toán 3.1. Sau khi sắp xếp theo hàng và cột xong, giá trị tại các ô xanh trong hình 3.17 đã thỏa mãn điều kiện, tuy nhiên ở mỗi góc sẽ tồn tại 3 giá trị như mô tả tại ô màu vàng. Đối với phía trên, ta cần tìm giá trị lớn nhất của nó và đối với phía dưới, ta cần tìm giá trị nhỏ nhất. Từ đó, ta sẽ có đủ 25 phần tử và sử dụng nó có thể tìm kiếm được giá trị trung vị.

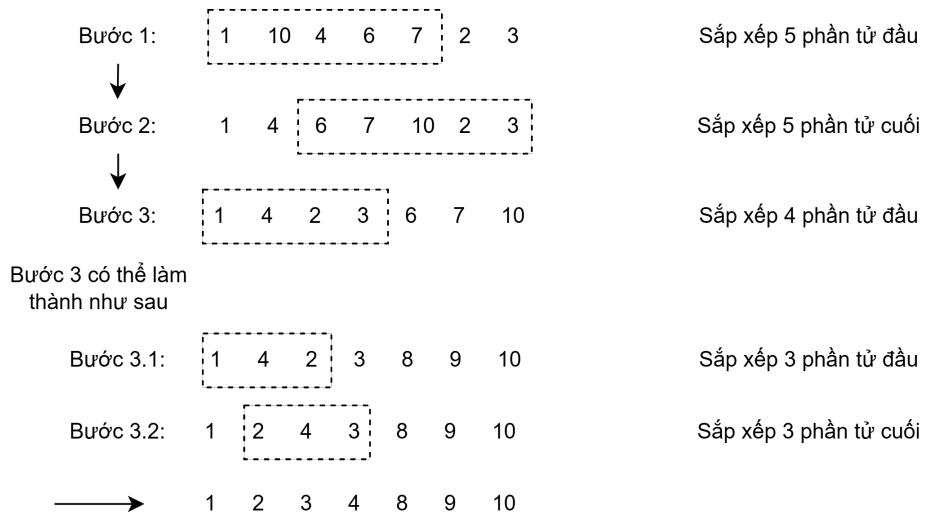
Để thực hiện sắp xếp tăng dần cho một cửa sổ 7x7, ta cần bộ sắp xếp tăng dần cho 7 phần tử, nó có thể được xây dựng trên các bộ sắp xếp 5 và bộ sắp xếp 3.

Tên mô đun	Số chu kỳ
Bộ sắp xếp 3 phần tử	1 chu kỳ
MedianCalculation3x3	<b>4 chu kỳ</b>
Bộ sắp xếp 5 phần tử	3 chu kỳ
MedianCalculation5x5	<b>14 chu kỳ</b>
Bộ sắp xếp 7 phần tử	9 chu kỳ
MedianCalculation7x7	<b>35 chu kỳ</b>

Bảng 3.4. Số chu kỳ thực hiện của các mô đun mô đun sắp xếp và mô đun MedianCalculation



Hình 3.17. Thực hiện và ví dụ của tìm trung vị của cửa sổ  $7 \times 7$



Hình 3.18. Xây dựng bộ sắp xếp 7 phần tử dựa trên bộ sắp xếp 5 và bộ sắp xếp 3

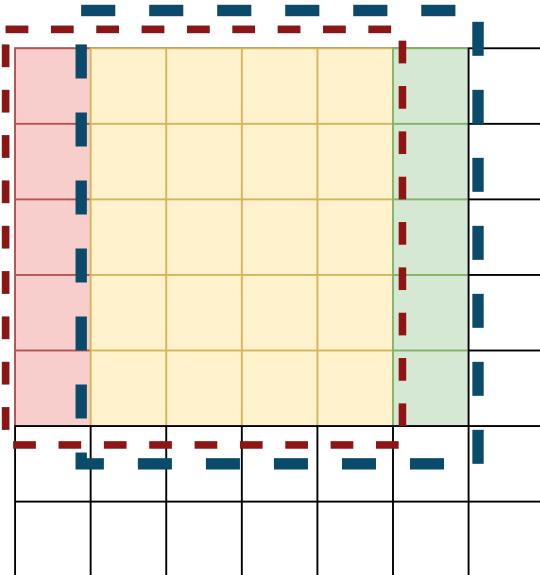
### 3.2. Mô đun CI

Mô đun CI thực chất là tập hợp của các 3 mô đun MRELBP\_CI, trong mỗi mô đun đó là khối PatchSum nối với một mạch logic tổ hợp để nhằm mục đích so sánh và đưa ra giá trị so sánh đối với các phần tử trung tâm của một cửa sổ. Về cơ bản 3 mô đun

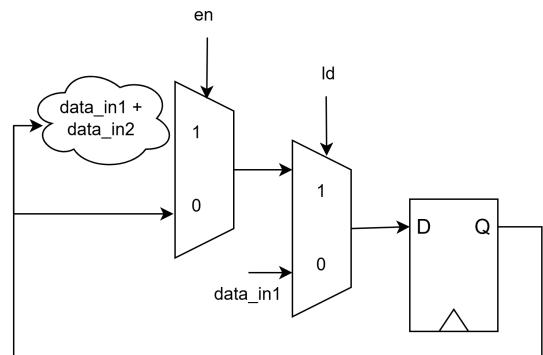
PatchSum đều xây dựng trên nguyên tắc chung sẽ được trình bày tại phần ngay sau.

### 3.2.1. Cơ sở xây dựng mô đun PatchSum

Một cách đơn giản nhất để tính tổng của các cửa sổ là cộng tất cả các giá trị trong cửa sổ lại với nhau, nếu với cửa sổ kích thước  $5 \times 5$ , ta sẽ cần cộng khoảng 25 giá trị trong 1 chu kỳ (nếu không sử dụng phương pháp đường ống), hoặc thực hiện một bộ cộng tuần tự, tuy nhiên nó sẽ giảm khả năng xử lý thời gian thực. Để giải quyết vấn đề này, sinh viên sẽ thực hiện một kỹ thuật triển khai giống với cửa sổ trượt. Hình 3.19 mô tả một ví dụ về kỹ thuật cửa sổ trượt. Cửa sổ mà có viền màu đỏ là cửa sổ ban đầu. Cửa sổ mà có viền màu xanh là cửa sổ ngay sau cửa sổ màu đỏ. Ta thấy, tổng của 2 cửa sổ này đều có một đặc điểm là có các giá trị ở các ô màu vàng. Giá trị tổng của cửa sổ sau sẽ bằng giá trị của cửa sổ trước đó trừ đi giá trị ở các ô màu đỏ và cộng với các giá trị ở các ô màu xanh. Bằng nguyên lý đó, ta có thể giảm bớt số lượng phép cộng cần thực hiện trong 1 chu kỳ.



Hình 3.19. Ví dụ về nguyên lý cửa kỹ thuật cửa sổ trượt

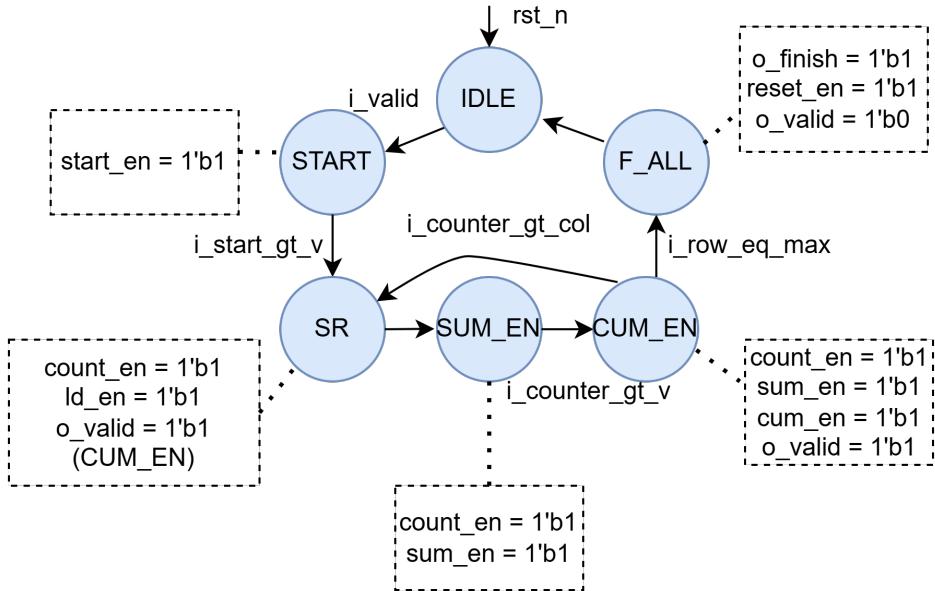


Hình 3.20. Kiến trúc của mô đun sum\_cum

### 3.2.2. Xây dựng mô đun PatchSum

#### 3.2.2.1. Sơ đồ chuyển trạng thái

Vì sẽ xây dựng 3 mô đun PatchSum ứng với 3 giá trị bán kính  $r$  khác nhau, tuy nhiên cả 3 mô đun này đều có cùng 1 nguyên lý hoạt động, do đó sinh viên sẽ xây dựng chung 1 bộ sơ đồ chuyển trạng thái, được mô tả tại hình 3.21.



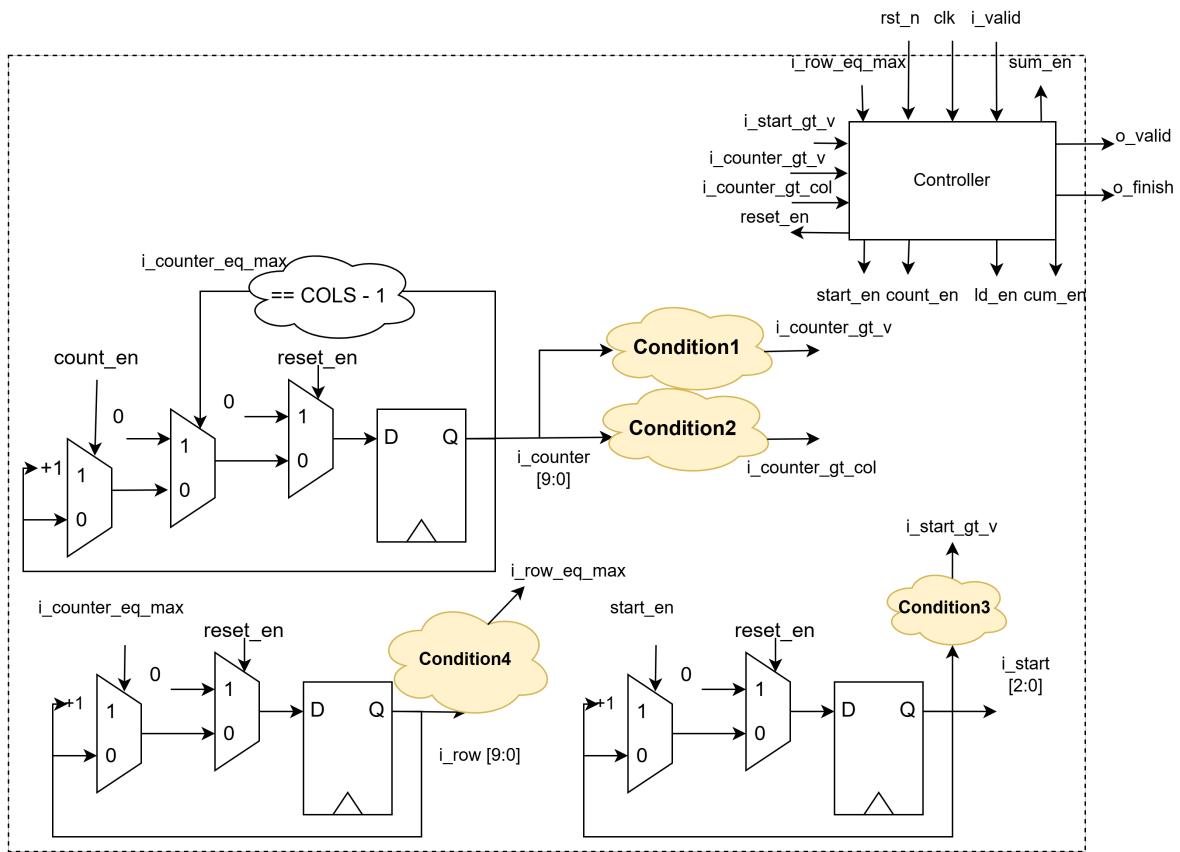
Hình 3.21. Sơ đồ chuyển trạng thái của mô đun PatchSum

### 3.2.2.2. Kiến trúc RTL

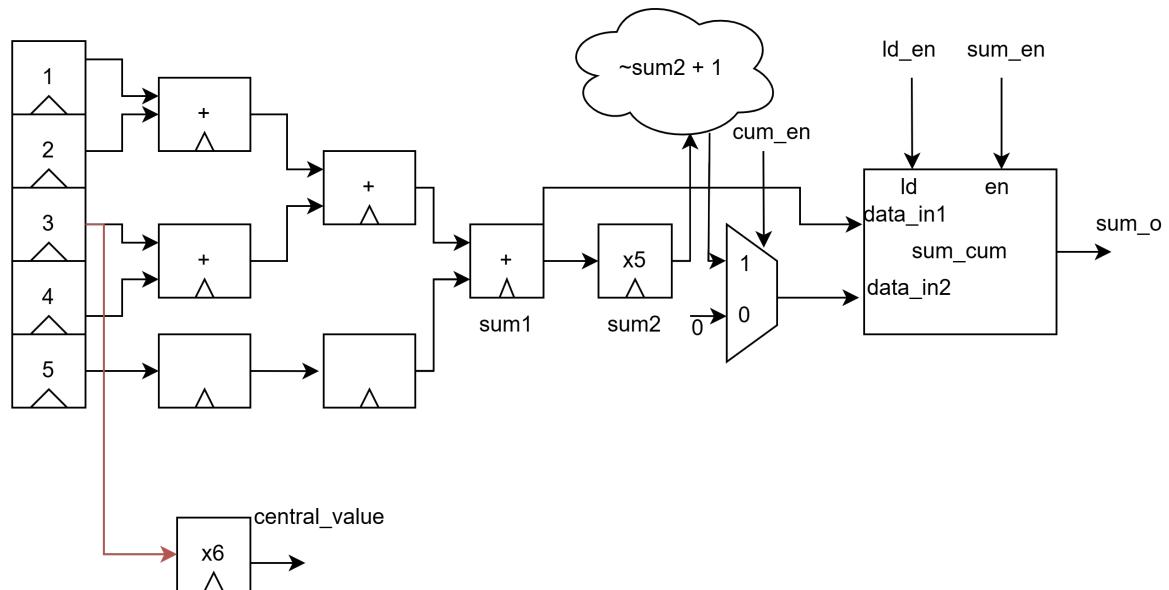
Hình 3.22 mô tả kiến trúc RTL chung của cả 3 bộ PatchSum ứng với các bán kính  $r = 2, 4, 6$ . Đây là các bộ giúp kiểm tra các điều kiện để máy trạng thái chuyển trạng thái, cả 3 mô đun ứng với 3 loại  $r$  khác nhau đều sử dụng các bộ này, tuy nhiên thì mỗi bán kính sẽ ứng với các điều kiện khác nhau và các điều kiện Condition sẽ được mô tả tại bảng 3.5. Một mô đun PatchSum ứng với một giá trị  $r$  cụ thể sẽ có mô tả RTL ở cả 2 hình 3.22 và 3.23. Tuy nhiên hình 3.23 là mô tả RTL đầu ra cho mô đun PatchSum với  $r = 2$ , với  $r = 4$  và  $r = 6$ , kiến trúc sẽ có sự khác biệt về số lượng thanh ghi, số chu kỳ thực hiện, nhưng về nguyên lý hoạt động là tương tự nhau. Hình 3.20 mô tả cấu trúc của mô đun sum\_cum được sử dụng ở cuối kiến trúc RTL (2) của mô đun PatchSum.

Loại điều kiện \ Bán kính	$r = 2$	$r = 4$	$r = 6$
Condition1	$> 3$	$> 7$	$> 11$
Condition2	COLS - 2	COLS - 2	COLS - 2
Condition3	$> 1$	$> 2$	$> 2$
Condition4	ROWS - 4	ROWS - 8	ROWS - 12

Bảng 3.5. Bảng điều kiện cho mô tả hình 3.22



Hình 3.22. Kiến trúc RTL (1) của mô đun PatchSum



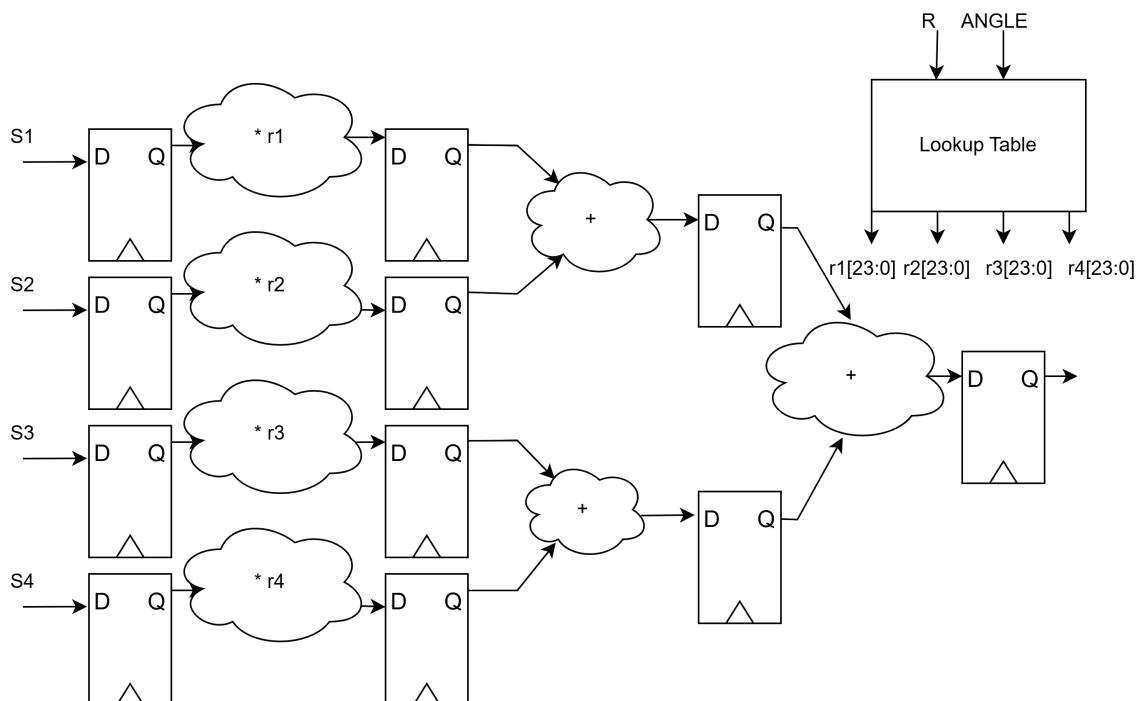
Hình 3.23. Kiến trúc RTL (2) của mô đun PatchSum với  $r = 2$

### 3.3. Mô đun NIRD

Mô đun NIRD có sơ đồ khôi được mô tả theo hình 2.15 bao gồm khá nhiều mô đun con, tuy nhiên các thành phần đó đã được mô tả một phần ở các nội dung trước, do đó trong phần này, sinh viên sẽ trình bày về kiến trúc RTL của các mô đun con bao gồm mô đun **Interpolation**, mô đun **RIU2**.

#### 3.3.1. Mô đun Interpolation

Mô đun Interpolation sẽ có đầu vào là 4 điểm ảnh và đầu ra là giá trị nội suy từ 4 điểm ảnh đó. Ở đây, sinh viên sử dụng một **Lookup Table** với các giá trị được tính toán trước đó từ mã python, với mỗi bán kính và góc khác nhau, sẽ có thể lấy ra được tương ứng 4 giá trị  $r1, r2, r3, r4$  ứng với 4 giá trị nhân với 4 đầu vào. Sinh viên sử dụng số thập phân với dấu phẩy tĩnh 24 bit với 8 bit cao nhất là giá trị phần nguyên, còn lại là giá trị thập phân, như vậy giá trị nội suy lối ra tương ứng cũng sẽ là 24 bit.

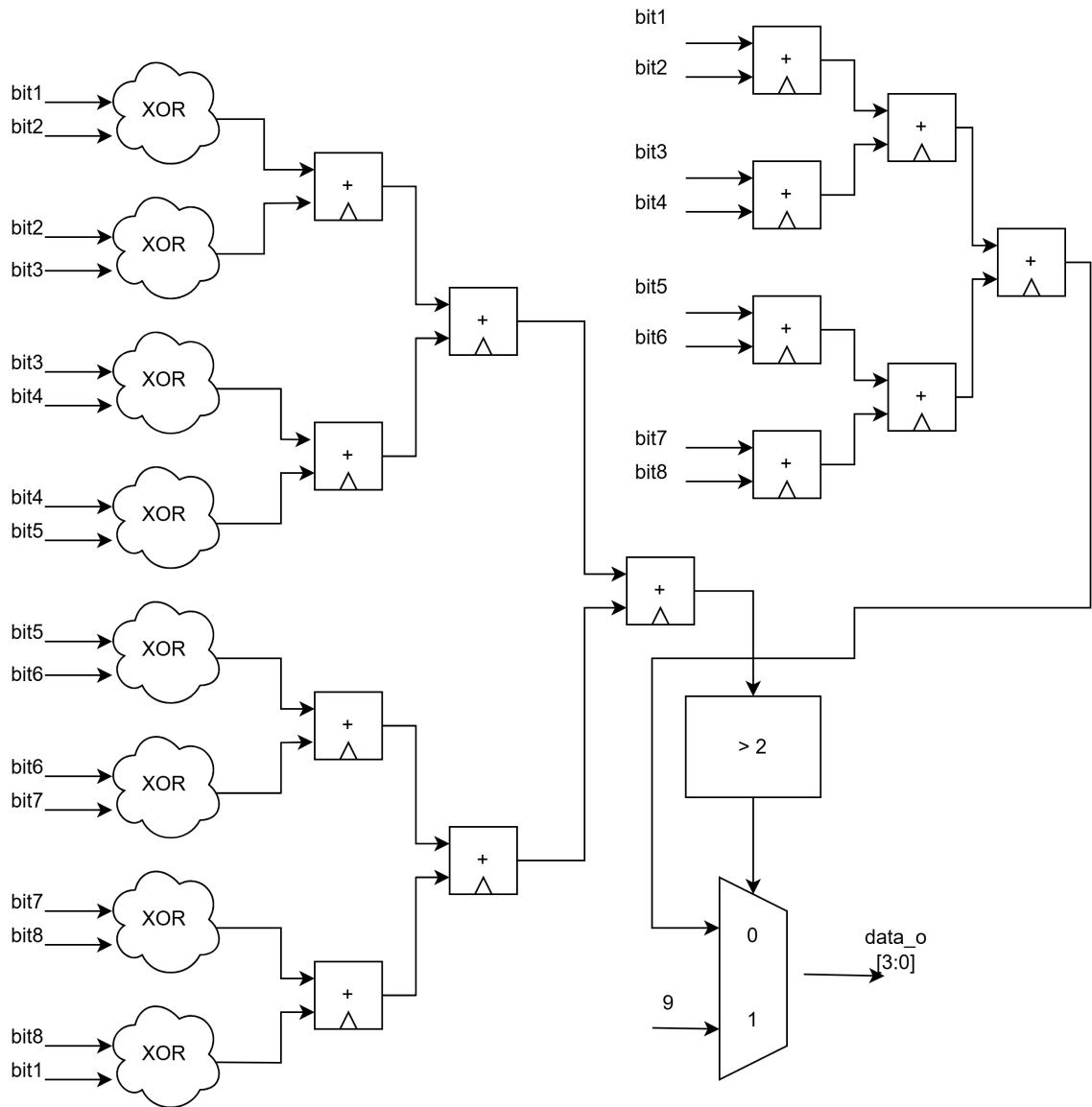


Hình 3.24. Kiến trúc RTL của mô đun Interpolation

#### 3.3.2. Mô đun RIU2

Mô tả với tên là RIU2 bao gồm 2 phần là RI và U2. RI là tìm giá trị nhỏ nhất khi xoay theo vòng tròn của dữ liệu trong khi đó U2 là ngưỡng của sự chuyển bit trong dữ liệu tối đa là 2. Tuy nhiên thì ta thực tế không cần quan tâm đến RI và giá trị lớn nhất

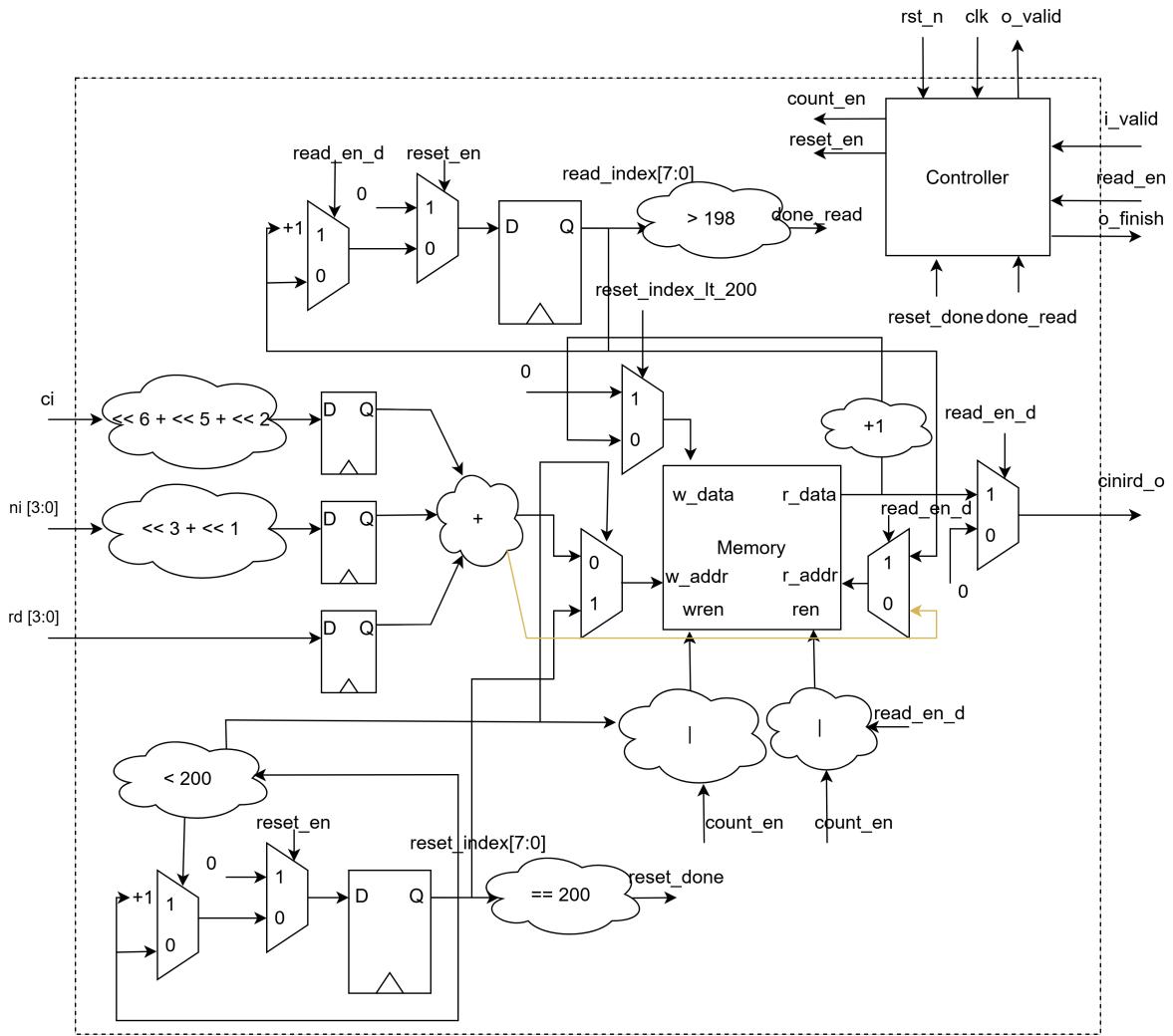
hay nhỏ nhất cũng sẽ không ảnh hưởng tới số lượng chuyển bit trong dữ liệu, hay số lần chuyển bit trong dữ liệu là không đổi dù có thực hiện xoay vòng tròn. Do đó, mô đun này sẽ tìm ra số lượng chuyển bit trong dữ liệu và quyết định đầu ra là gì. Ta biết, hai bit nếu khác nhau thì khi thực hiện phép **XOR**, giá trị đầu ra sẽ ra 1. Từ đó, ta sẽ xây dựng được kiến trúc mô tả trong hình 3.25.



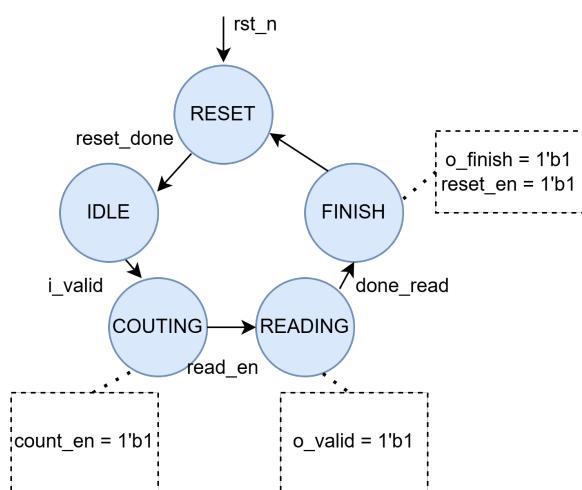
Hình 3.25. Kiến trúc RTL của mô đun RIU2

### 3.4. Mô đun JointHistogram

Mô đun JointHistogram được triển khai theo kiến trúc và bộ điều khiển được mô tả lần lượt lại hình 3.26, 3.27.



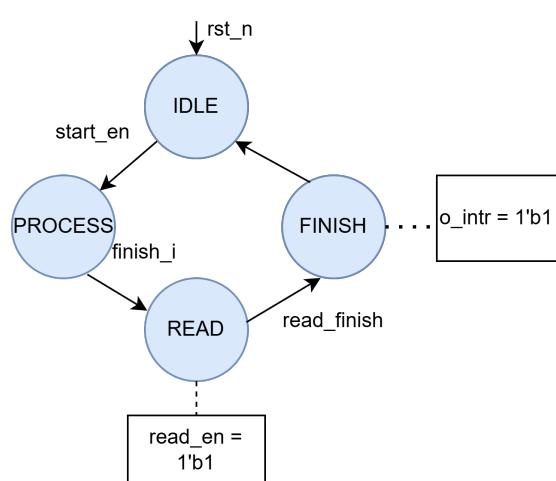
Hình 3.26. Kiến trúc RTL của mô đun JointHistogram



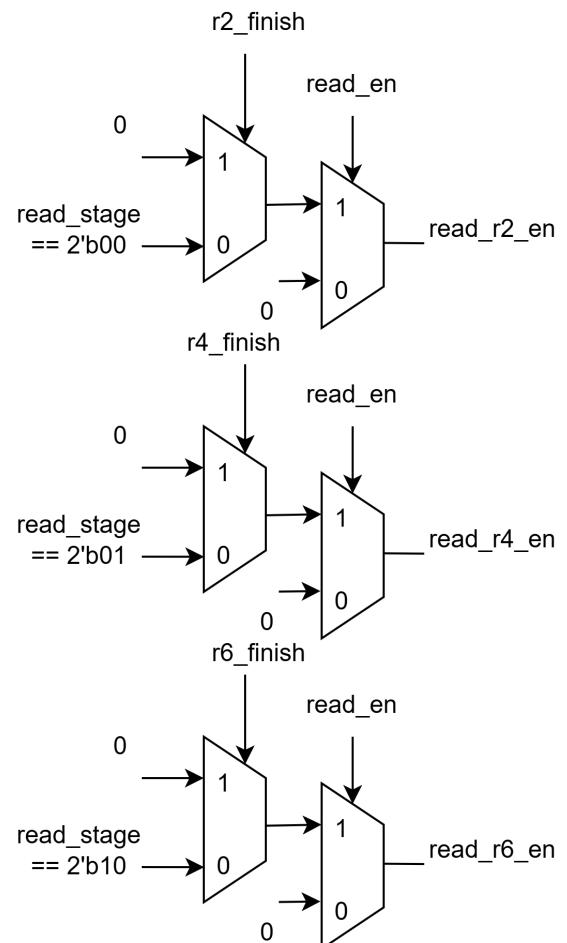
Hình 3.27. Sơ đồ chuyển trạng thái của mô đun JointHistogram

### 3.5. Mô đun MRELBP

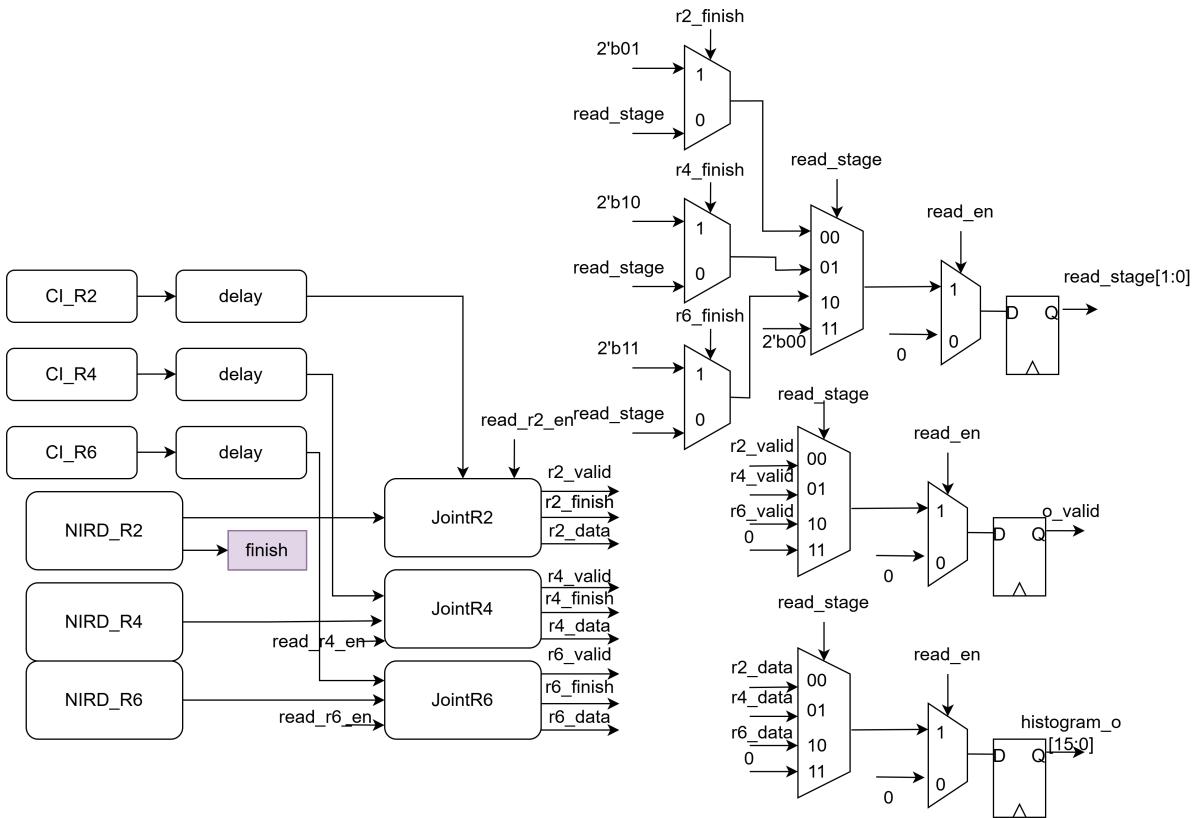
Mô đun MRELBP hay còn gọi là top mô đun, là mô đun chứa các thành phần đã nêu ở các phần trên, đồng thời còn có thêm các tín hiệu điều khiển quá trình đọc ghi. Vì mô đun JointHistogram sẽ lưu giá trị đầu ra trong một bộ nhớ, và sẽ được đọc ra theo một yêu cầu nhất định, vì vậy, mô đun MRELBP ngoài là một lớp chứa các thành phần trên ra còn có thêm các tín hiệu điều khiển cho mô đun JointHistogram đọc các giá trị từ trong bộ nhớ của nó ra ngoài. Nguyên nhân là vì thực tế chỉ có 1 đầu ra mà sẽ có 3 đặc trưng ứng với 3 bán kính khác nhau, nên cần có một bộ điều phối đầu ra của cả 3 sao cho chúng là tuần tự. Hình



Hình 3.28. Sơ đồ chuyển trạng thái của mô đun MRELBP



Hình 3.29. Mô tả các tín hiệu yêu cầu đọc dữ liệu (1) của mô đun MRELBP



Hình 3.30. Mô tả các tín hiệu yêu cầu đọc dữ liệu (2) của mô đun MRELBP

### 3.6. Tính toán thời gian hoạt động của toàn bộ mô đun

Tên mô đun	Số chu kỳ thực hiện
Buffer6Rows	3 * COLS chu kỳ
ZeroPadding3x3	3 chu kỳ
ZeroPadding5x5	4 chu kỳ
ZeroPadding7x7	5 chu kỳ
MedianCalculation3x3	4 chu kỳ
MedianCalculation5x5	14 chu kỳ
MedianCalculation7x7	35 chu kỳ
MedianProcessing	3 * COLS + 40 chu kỳ
<b>Tổng với kích thước ảnh H * W</b>	<b>(H + 3)* W + 635 chu kỳ</b>

Bảng 3.6. Số chu kỳ thực hiện của các mô đun ZeroPadding

Minh chứng mô phỏng với các kích thước ảnh như sau:

- Ảnh đầu vào kích thước 128 \* 128: 17403 chu kỳ
- Ảnh đầu vào kích thước 256 \* 256: 66939 chu kỳ
- Ảnh đầu vào kích thước 128 \* 108: 14783 chu kỳ
- Ảnh đầu vào kích thước 108 \* 156: 17951 chu kỳ

## CHƯƠNG 4

### MÔ PHỎNG VÀ KIỂM THỬ

Để đánh giá độ chính xác của thiết kế, một bước quan trọng trong quá trình thiết kế là cần có các bài mô phỏng và các trường hợp kiểm thử. Chương 4 sẽ mô tả chi tiết về một số phương pháp kiểm thử được sử dụng, các điều kiện để đánh giá độ chính xác của kiểm thử, mô hình giúp tự động hóa quá trình kiểm thử.

#### **4.1. Cơ sở lý thuyết kiểm thử**

##### *4.1.0.1. Lý thuyết về độ bao phủ*

Độ bao phủ (coverage) là phương pháp thống kê trong quá trình kiểm tra thiết kế để xác định được chất lượng của quá trình kiểm tra. Độ bao phủ là một yếu tố quan trọng để khẳng định được thiết kế có được kiểm tra theo các yêu cầu đưa ra hay chưa. Từ đó, có thể xem xét tạo ra các bài kiểm tra để đảm bảo bao quát được các trường hợp.

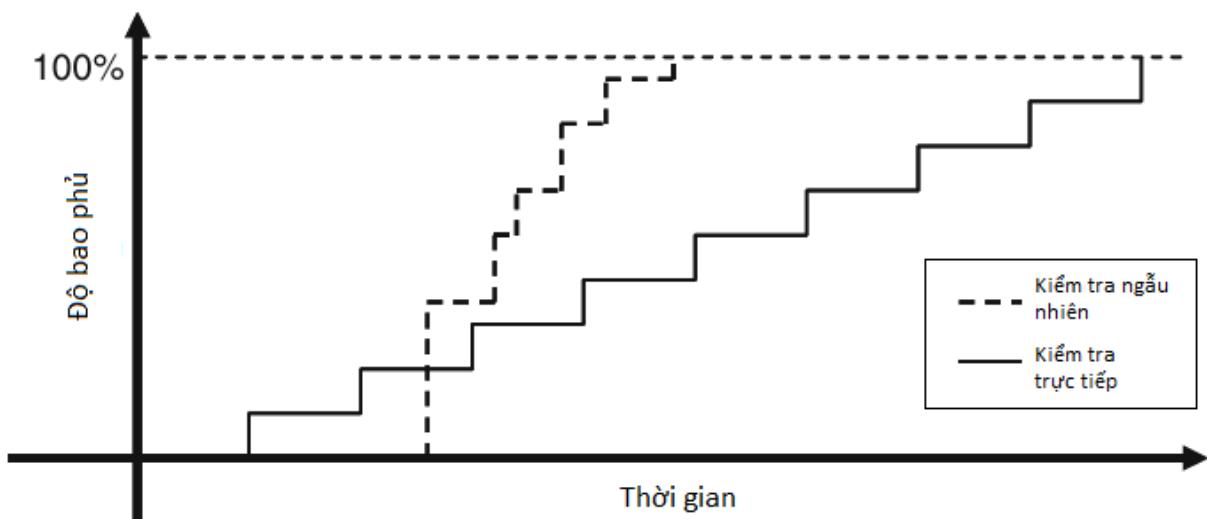
Có hai yếu tố bao phủ thường được đánh giá là độ bao phủ về mã nguồn (code coverage) và độ bao phủ về mặt chức năng (functional coverage). Trong đó, độ bao phủ về mã nguồn sẽ đánh giá xem là các điều kiện ví dụ các điều kiện rẽ nhánh có được thực hiện ít nhất 1 lần hay không, do đó nó không có ý nghĩa về mặt đánh giá độ chính xác của thiết kế mà chỉ đảm bảo rằng bộ kiểm thử sinh ra đã bao quát được hết mã nguồn. Độ bao phủ về mặt chức năng sẽ đánh giá độ bao phủ của thiết kế dựa trên tính năng đã được kiểm tra. Do đó, việc định nghĩa ra các tính năng nào cần được đánh giá sẽ quyết định chất lượng của độ bao phủ về mặt chức năng. Độ bao phủ về mặt mã nguồn thường được thu thập từ các phần mềm sử dụng để thiết kế ví dụ Vivado, QuetaSim,... Trong đó, độ bao phủ về mặt chức năng phải do kỹ sư tự định nghĩa, kỹ sư cần tự định nghĩa điểm cần bao phủ. Ví dụ về kiểm tra về mặt chức năng, giả sử kỹ sư cần kiểm tra một biến có thay đổi theo như mong muốn hay không. Nếu đúng, biến đấy phải thay đổi giá trị từ 3 -> 5 -> 7 chẳng hạn. Độ bao phủ về mặt mã nguồn chỉ biết là biến đấy đã thành 3, 5 hoặc 7 mà không thể đánh giá được về mặt thứ tự xuất hiện.

##### *4.1.0.2. Các phương pháp kiểm thử*

Trong thiết kế nói chung, sau khi đã thiết kế được các mạch từ mã nguồn hoặc thông qua các công cụ, kỹ sư cần thiết kế các bài kiểm thử để đánh giá tính đúng đắn của

thiết kế. Thông thường, đối với thiết kế số, kỹ sư sẽ thiết kế ra các phương pháp kiểm thử trực tiếp (directed testing). Khi sử dụng phương pháp này, kỹ sư sẽ nhìn vào các yêu cầu kỹ thuật, viết ra các trường hợp có thể xảy ra và kiểm tra nó với một kết quả đã biết trước. Để kiểm tra, kỹ sư có thể nhìn dạng sóng mô phỏng, sử dụng các điều kiện để kiểm tra. Đây là một phương pháp nhanh, phù hợp với kỹ sư cần kiểm tra ngay lập tức thiết kế là đúng hay sai, nhưng sẽ khó để đảm bảo hoàn toàn về mặt thiết kế. Giả sử, nếu thiết kế có 10, 100 tín hiệu đầu vào, vậy nếu viết tay và tính toán các trường hợp kiểm thử sẽ rất tốn thời gian và có thể dễ mắc đến các sai lầm.

Vậy để có thể kiểm tra được toàn bộ thiết kế một cách đầy đủ, các kỹ sư sẽ thiết kế ra các kích thích sinh ngẫu nhiên với ràng buộc (constrained-random stimulus). Các kích thích này sẽ sinh ra các tín hiệu ngẫu nhiên giá trị, tuy nhiên phải tuân theo các ràng buộc cho trước. Ví dụ, kỹ sư có thể yêu cầu khi sinh ra dữ liệu điểm ảnh, thì tín hiệu hợp lệ phải ở mức 1. Từ đó, kỹ sư có thể kiểm tra được nhiều trường hợp hơn với những dữ liệu ngẫu nhiên đó. Hình 4.1 mô tả biểu đồ phân tích thời gian và độ bao phủ của các bộ kiểm thử. Có thể thấy, với cách tạo ra các kích thích trực tiếp, thời gian để đạt độ bao phủ cần thiết là rất lớn, trong khi đó với các kích thích được sinh ngẫu nhiên với các ràng buộc, thời gian này đã giảm đi một cách đáng kể.

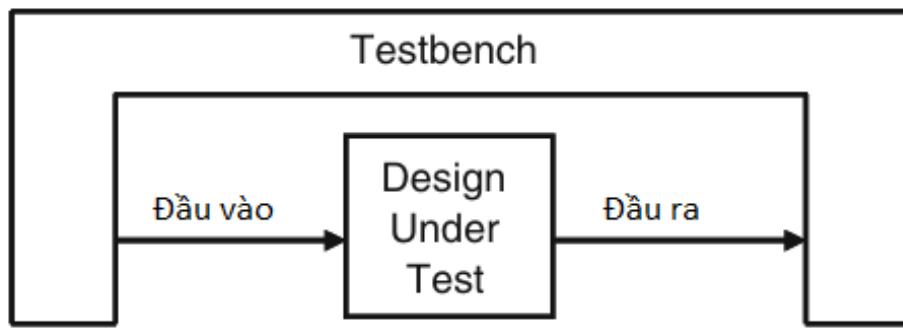


Hình 4.1. Biểu đồ phân tích thời gian và độ bao phủ của các bộ kiểm thử

## 4.2. Phương pháp xây dựng kiểm thử

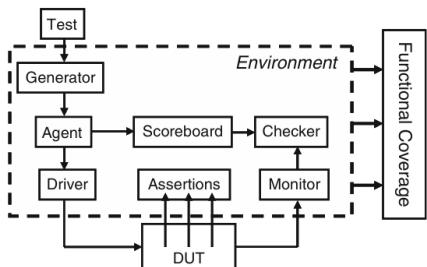
Hình ?? mô tả các thành phần cơ bản của một bộ kiểm tra, bao gồm testbench sẽ sinh ra các kích thích đầu vào và sau đó thu thập các dữ liệu đầu ra. Trong khi thiết kế, kỹ sư sẽ cần kiểm tra ngay lập tức chức năng của một hoặc nhiều mô đun để đảm bảo

tính chính xác một cách chưa đầy đủ, tức là kiểm tra mô đun đó đã hoạt động đúng tính năng mong muốn hay chưa, tuy nhiên có thể có những trường hợp ngoại lệ mà kỹ sư có thể không nghĩ đến. Do đó, thường thì kỹ sư sẽ kiểm tra bằng cách tạo ra các bộ kiểm thử với kích thích sinh trực tiếp để tiết kiệm về mặt thời gian. Do đó, đối với các mô đun nhỏ, sinh viên sẽ tự đưa ra các bộ kích thích trực tiếp và sau đó kiểm tra kết quả với đầu ra đã có trước.

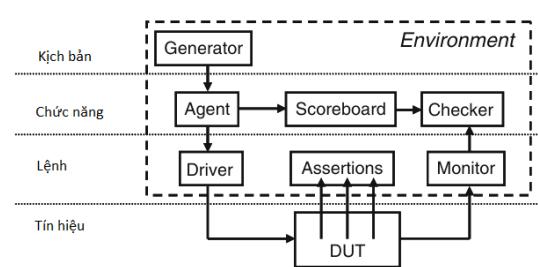


Hình 4.2. Các thành phần cơ bản của một bộ kiểm tra

Tuy nhiên, khi cần kiểm tra tính đúng đắn của toàn bộ thiết kế, sinh viên sẽ sử dụng một thiết kế kiểm tra gọi là kiểm tra lớp (layered test-bench) được viết bằng ngôn ngữ SystemVerilog. Bộ kiểm thử lớp này có vẻ sẽ phức tạp hơn so với thiết kế trực tiếp, tuy nhiên thực tế nó sẽ giúp quản lý các công việc một cách dễ dàng hơn bằng cách chia mã nguồn thành các thành phần nhỏ hơn. Hình 4.4 mô tả các lớp của bộ kiểm tra lớp và hình 4.3 mô tả các đầy đủ các thành phần của bộ kiểm tra lớp.



Hình 4.3. Các thành phần của bộ kiểm tra lớp



Hình 4.4. Các lớp của bộ kiểm tra lớp

Ở lớp dưới cùng là lớp tín hiệu, lớp này sẽ bao gồm các tín hiệu được kết nối với testbench. Lớp phía trên ngay nó là lớp lệnh. Các tín hiệu vào của DUT được điều khiển

bởi các lệnh. Các dữ liệu đầu ra của DUT sẽ được bộ giám sát thu được và chuyển chúng thành các lệnh. Lớp chức năng sẽ nhận được các phiên từ các lớp cao hơn và chuyển chúng thành các lệnh riêng biệt hoặc các phiên. Các lệnh này cũng sẽ được gửi tới bộ scoreboard để dự đoán kết quả và bộ kiểm tra sẽ ....

#### **4.3. Đánh giá kết quả kiểm thử**

## **CHƯƠNG 5**

### **THỰC THI VÀ ĐÁNH GIÁ**

**5.1. Thông tin về board ZCU016 Ultrascale**

**5.2. Xây dựng hệ thống SoC**

**5.3. Đánh giá thực tế**

## TÀI LIỆU THAM KHẢO

### Tiếng Anh

- [1] Li Liu, Songyang Lao, Paul W. Fieguth, Yulan Guo, Xiaogang Wang, Matti Pietikäinen, "Median Robust Extended Local Binary Pattern for Texture Classification", *IEEE Transactions on Image Processing*, 2016.
- [2] Li Liu, Songyang Lao, Paul W. Fieguth, Yulan Guo, Xiaogang Wang, Matti Pietikäinen, "Local binary features for texture classification: Taxonomy and experimental study", *Pattern Recognition Volumne 62*, 2017.
- [3] enjamin Stratton , "AI Industry Growth Statistics: Exploring Key Metrics Driving Growth of AI (updated for 2025)", 2025.  
[Online]. Available: <https://bluetree.digital/ai-industry-growth-metrics>
- [4] "The state of AI in 2022—and a half decade in review", 2022.  
[Online]. Available: <https://www.mckinsey.com/capabilities/quantumblack/our-insights/the-state-of-ai-in-2022-and-a-half-decade-in-review>
- [5] "AI Accelerator Market Size, Share & Trends Analysis Report By AI Accelerator Types (GPUs, TPUs), By Technology Integration, By End-use (IT & Telecom, Automotive), By Region, And Segment Forecasts, 2024 - 2030", 2023.  
[Online]. Available: <https://www.grandviewresearch.com/industry-analysis/ai-accelerator-market-report>
- [6] "FPGAs for Artificial Intelligence: Possibilities, Pros, and Cons", 2018.  
[Online]. Available: <https://www.apriorit.com/dev-blog/586-fpgas-for-ai>
- [7] Gaurav Kumar, Pradeep Kumar Bhatia , "A Detailed Review of Feature Extraction in Image Processing Systems", *2014 Fourth International Conference on Advanced Computing & Communication Technologies*, 2014.
- [8] April Khademi; Sridhar Krishnan , "Medical image texture analysis: A case study with small bowel, retinal and mammogram images", *2008 Canadian Conference on Electrical and Computer Engineering*, 2008.
- [9] Rodrigo da Silva Ferreira; Andrea Britto Mattos; Emilio Vital Brazil; Renato Cerqueira; Marco Ferraz; Sérgio Cersosimo , "Multi-scale Evaluation of Texture Features for Salt Dome Detection", *2016 IEEE International Symposium on Multimedia (ISM)*, 2016.
- [10] Monika Jhuria; Ashwani Kumar; Rushikesh Borse , "Image processing for smart farming: Detection of disease and fruit grading", *2013 IEEE Second International Conference on Image Information Processing (ICIIP-2013)*, 2013.

- [11] Mohammad Reza Keyvanpour, Shokofeh Vahidiansadegh, Zahra Mirzakhani , "An analytical review of texture feature extraction approaches", *International Journal of Computer Applications in Technology* , 2021.
- [12] T. Ojala, M. Pietikäinen, and D. Harwood , "Performance evaluation of texture measures with classification based on Kullback discrimination of distributions", *Proceedings of the 12th IAPR International Conference on Pattern Recognition* , 1994.
- [13] Larry S. Davis , "Polarograms: A new tool for image texture analysis", *Pattern Recognition Volume 13, Issue 3, pages 219-223*, 1981.
- [14] T. Ojala, M. Pietikainen, T. Maenpaa , "Multiresolution gray-scale and rotation invariant texture classification with local binary patterns", *IEEE Transactions on Pattern Analysis and Machine Intelligence Volume 24, Issue 7* , 2002.
- [15] Di Huang, Caifeng Shan, Mohsen Ardabilian, Yunhong Wang, Liming Chen , "Local Binary Patterns and Its Application to Facial Image Analysis: A Survey", *IEEE Transactions on Systems, Man, and Cybernetics, Part C (Applications and Reviews) Volume 41, Issue 6* , 2011.
- [16] Yanjun Zhang, Mengnan Wang , "Real-Time Texture Extraction Based on the Improved Median Robust Extended Local Binary Pattern", *ICCP 2020: 2020 9th International Conference on Computing and Pattern Recognition* , 2020.
- [17] Rasheed, A.H., "FPGA-based optimized systolic design for median filtering algorithms", *International Journal of Applied Engineering Research*, 2017.
- [18] P. Kolte, R. Smith, W. Su, "A fast median filter using AltiVec", *Proceedings 1999 IEEE International Conference on Computer Design: VLSI in Computers and Processors (Cat. No.99CB37040)*, 1999.
- [19] Vineet Kumar1, Abhijit Asati1, Anu Gupta1, "Low-latency median filter core for hardware implementation of 5×5 median filtering", 2017, *IET Image Processing*, 2017.