

1 原理图设计

1.1 产品需求分析、成本评估。

1.2 方案选择。

1.2.1 AC 整流

1.2.1.1 整流二极管

1.2.1.1.1 耐压一般选 2 倍于输入电压。

1.2.1.1.2 220V 可选 600V,1000V,但 1000V 常用。

1.2.1.2 输入处理

1.2.1.2.1 X 电容

1.2.1.2.1.1 滤除差模干扰，两线之间，对 10M 以下有明显作用。

1.2.1.2.2 Y 电容

1.2.1.2.2.1 滤除共模干扰，为两根线分别对地。对 10M 以上有明显作用。

1.2.1.2.3 共模电感

1.2.1.3 输出处理

1.2.1.3.1 常用于工程计算：按 RC 时间常数近似等于 3~5 倍电源周期估算（全桥整流）。

1.2.1.3.1.1 负载情况： $R=U/I$

1.2.1.3.1.2 $RC=3T$ 或 $RC=5T$

1.2.2 DC-DC

1.2.2.1 芯片选型

1.2.2.1.1 输入，输出电压、电流，效率。

1.2.2.2 电感选型

1.2.2.2.1 考虑因素

1.2.2.2.1.1 电感量：感值大，纹波小，滤波电容小，尺寸大。

1.2.2.2.1.2 自谐频率：超过频率 f ，表现为电容；低于才表现为电感。

1.2.2.2.1.3 DCR：效率，发热；成本考虑。

1.2.2.2.1.4 饱和电流：电感量下降 30% 时对应的 DC 电流值。

1.2.2.2.1.5 温升电流：电感表面上升到 40 度时的等效电流值。

1.2.2.2.2 选择标准

1.2.2.2.2.1 电感自谐频率需 10 倍于开关频率以上。

1.2.2.2.2.2 饱和电流 I_{sat} 和有效电流 I_{rms} 中最低值需大于 DC-DC 额定电流 1.3 倍以上。

1.2.2.2.2.3 DCR 越低越好。

1.2.2.2.2.4 叠层电感比绕线电感好（损耗小）。

1.2.2.2.2.5 带屏蔽的比不带屏蔽的好（EMI）。

1.2.2.3 常见现象

1.2.2.3.1 纹波

1.2.2.3.1.1 纹波是由于直流稳定电源的电压波动而造成的一种现象。

1.2.2.3.1.2 直流稳定电源一般是由交流电源经整流稳压、滤波等环节而形成。

1.2.2.3.1.3 叠加在直流稳定量上的交流分量就称之为纹波。

1.2.2.3.1.4 波动频率与开关的频率相同。

1.2.2.3.1.5 纹波电压是纹波的波峰与波谷之间的峰峰值。

1.2.2.3.1.6 其大小与开关电源的输入电容和输出电容的容量及品质有关。

1.2.2.3.1.7 纹波分类

1.2.2.3.1.7.1 低频纹波

1.2.2.3.1.7.2 与开关工作频率相同频率的高频纹波

1.2.2.3.1.7.3 寄生参数引起的共模纹波噪声

1.2.2.3.1.7.4 高频整流二极管和功率开关节电容引起的超高频谐振噪声

1.2.2.3.1.7.5 闭环调节控制引起的噪声

1.2.2.3.1.8 纹波抑制方法（对各种纹波都有效）

1.2.2.3.1.8.1 输出用 π 型滤波电路。

1.2.2.3.1.8.2 增大电容(铝电解电容+低 ESR 陶瓷电容)。

1.2.2.3.1.8.3 增大电感。

1.2.2.3.1.8.4 合理布线。

1.2.2.3.1.9 测试标准及测试方法

1.2.2.3.1.9.1 测量纹波时使用交流耦合，1M ohm 阻抗，20M 带宽，测量端为电源芯片的输出端，要求不能超过电压幅值的 2%。

1.2.2.3.1.9.2 测量噪声时使用交流耦合，50 ohm/1M ohm 阻抗，全带宽，测量端为功能芯片的电源输入端，要求不能超过电压幅值的 3% (模拟) /5% (数字)。

1.2.2.3.1.9.3 芯片电源输入端电压范围不超过芯片要求的 4% (一般为 5%，留 1% 裕量)，对要低压特别关注。

1.2.2.3.1.9.4 电源芯片的输出端只做纹波要求，且纹波要求不超过 2%。1.2V 及 1.2V 以下不超过 25mV，12V 以上不超过 200mV。

1.2.2.3.1.9.5 芯片输入电压的测试点为尽量靠近芯片的电容管脚处，开关电源的纹波为开关芯片输出的最后滤波电容处。

1.2.2.3.1.9.6 对于小信号测量使用 1: 1 放大倍数测量，较小误差。

1.2.2.3.2 过冲

1.2.2.3.2.1 过冲就是第一个峰值或谷值超过设定电压
--对于上升沿是指最高电压而对于下降沿是指最低电压。

1.2.2.3.2.2 过分的过冲能够引起保护二极管工作，导致过早地失效。

1.2.2.3.3 下冲

1.2.2.3.3.1 下冲是指下一个谷值或峰值。

1.2.2.3.3.2 过分的下冲能够引起假的时钟或数据错误(误操作)。

1.2.2.3.4 振铃

1.2.2.3.4.1 过冲非常相关的是振铃,它紧随过冲发生。

1.2.2.3.4.2 信号会跌落到低于稳态值，然后可能会反弹到高于稳态。

1.2.2.3.4.3 这个过程可能持续一段时间，直到稳定接近于稳态。

1.2.2.3.4.4 振铃持续的时间也叫做安定时间。

1.2.2.3.4.5 振荡(ringing)和环绕振荡(rounding)的现象是反复出现过冲和下冲。

1.2.2.3.4.6 信号的振荡和环绕振荡由线上过度的电感和电容引起。

1.2.2.3.4.7 振荡属于欠阻尼状态而环绕振荡属于过阻尼状态。

1.2.2.3.4.8 信号振铃产生的原因：信号的反射。

1.2.2.3.4.9 振铃的危害：辐射超标。

1.2.2.3.4.10 振铃的解决方案：串行端接；减小传输线距离。

1.2.2.3.5 回沟

1.2.2.3.5.1 上电过程电源不是线性增加，而会出现电压降低的现象，称为上电回沟。

1.2.2.3.5.2 高速电路上信号线的回沟：反射，串扰，负载瞬变。

1.2.2.3.5.3 电源电路上的回沟：和上电时序有一定关系。

1.2.2.3.5.4 回沟原因

1.2.2.3.5.4.1 上电时序：线性上电时，后端的电突然起来导致有回沟。

1.2.2.3.5.4.2 芯片自身的电压倒灌。

1.2.2.3.5.4.3 电源负载突然增加或者变动。

1.2.2.3.5.5 回沟解决办法

1.2.2.3.5.5.1 保证上电顺序，可以在 DC/DC 的
EN 管脚加上 RC 延时电路。

1.2.2.3.5.5.2 电源芯片的输出端加电容，用于储
能蓄电。

1.2.2.3.6 解决电源问题的思想

1.2.2.3.6.1 解决问题的时候要看下毛刺的频率。

1.2.2.3.6.2 先看输入，再看输出。

1.2.2.3.6.3 上电时序也很关键。

1.2.2.3.6.4 负载绝对是影响电源质量的关键因素之一。

1.2.2.3.6.5 解决电源问题的三大法宝：电容、电感、
延时。一般都是加大。

1.2.3 LDO

1.2.3.1 即 low dropout regulator, 是一种低压差线性稳压器。

1.3 扩展设计、模块设计。

1.3.1 晶振

1.3.2 通讯总线

1.3.2.1 UART

1.3.2.1.1 电气线路

1.3.2.1.1.1 常用为 9 针接口：主要有 RXD, TXD, GND

1.3.2.1.2 通讯协议

1.3.2.1.2.1 起始位：0

1.3.2.1.2.2 资料位：可以是 5, 6, 7, 8 位, 低位在前。

1.3.2.1.2.3 奇偶校验位

1.3.2.1.2.4 停止位：可以使 1, 1.5 位, 2 位的高电平。

1.3.2.1.2.5 空闲位：1

1.3.2.1.2.6 波特率：为传输字符数, 常用: 9600, 115200。

1.3.2.1.2.7 比特率：为 bit 数。

1.3.2.1.3 区别

1.3.2.1.3.1 UART

1.3.2.1.3.1.1 嵌入式常用：为 TTL 电平。

1.3.2.1.3.2 RS232

1.3.2.1.3.2.1 电脑串口：为负逻辑电平。

1.3.2.1.4 测试

1.3.2.1.4.1 回环测试

1.3.2.1.5 Layout 设计

1.3.2.2 I2C

1.3.2.2.1 电气线路

1.3.2.2.1.1 SCL,SDA,GND

1.3.2.2.1.2 上拉电阻

1.3.2.2.1.2.1 电源电压限制了上拉电阻的最小

值, 避免灌电流太大, 一般不小于 1K

欧姆。

1.3.2.2.1.2.2 负载电容(总线电容)限制了上拉电阻的最大值,一般不高于10K 欧姆。

1.3.2.2.1.2.3 和模式有关,不同模式的负载电容变化,标准模式负载电容最大。

1.3.2.2.1.3 扩展能力

1.3.2.2.1.3.1 负载能力为400pF,可根据线路等效电容估算。

1.3.2.2.2 通讯协议

1.3.2.2.2.1 起始:在SCL高电平期间,SDA由高到低.

1.3.2.2.2.2 地址:7位地址,1为读,0为写。

1.3.2.2.2.3 数据:高位在前。

1.3.2.2.2.4 ACK,NACK

1.3.2.2.2.5 停止:在SCL高电平期间,SDA由低到高.

1.3.2.2.3 模式

1.3.2.2.3.1 标准模式:100Kbit/s,负载电容 $\leq 400\text{pF}$

1.3.2.2.3.2 快速模式:400Kbit/s,负载电容 $\leq 200\text{pF}$

1.3.2.2.3.3 高速模式:3.4Mbit/s

1.3.2.2.4 Layout 设计

1.3.2.3 SPI

1.3.2.3.1 电气线路

1.3.2.3.1.1 高速(几Mbps),全双工,同步通信。

1.3.2.3.1.2 CS, MOSI, MISO, SCLK, GND。

1.3.2.3.2 通讯协议

1.3.2.3.2.1 主器件时钟控制

1.3.2.3.2.2 数据按位传输，高位在前。

1.3.2.3.3 模式

1.3.2.3.4 Layout 设计

1.3.2.4 USB

1.3.2.4.1 电气线路

1.3.2.4.1.1 USB 版本

- | | | | | |
|---|---------------|-----------------|---------------------------|-------------------|
| 2 | 1.3.2.4.1.1.1 | USB 版本理论最大传输速率 | 速率称号 | 最大输出电 |
| | | 流 | 推出时间 | |
| 3 | 1.3.2.4.1.1.2 | USB1.0 | 1.5Mbps(192KB/s) | 低速 (Low-Speed) |
| | | 5V/500mA | 1996 年 1 月 | |
| 4 | 1.3.2.4.1.1.3 | USB1.1 | 12Mbps(1.5MB/s) | 全速 (Full-Speed) |
| | | 5V/500mA | 1998 年 9 月 | |
| 5 | 1.3.2.4.1.1.4 | USB2.0 | 480Mbps(60MB/s) | 高速 (High-Speed) |
| | | 5V/500mA | 2000 年 4 月 | |
| 6 | 1.3.2.4.1.1.5 | USB3.0 | 5Gbps(500MB/s) | 超高速 (Super-Speed) |
| | | 5V/900mA | 2008 年 11 月 / 2013 年 12 月 | |
| 7 | 1.3.2.4.1.1.6 | USB 3.1 Gen 2 | 10Gbps(1280MB/s) [1] | 超高速 |
| | | +(Super-speed+) | 20V/5A | 2013 年 12 月 |

7.1.1.1.1.1 USB 2.0

7.1.1.1.1.1.1 VBUS, D-, D+, (ID), GND。

7.1.1.1.1.2 USB 3.0

7.1.1.1.1.2.1 VBUS,D-,D+,GND,RX-,RX+,GND
,TX-,TX+。

7.1.1.1.1.2.2 TX 线上增加 100nF 交流耦合电容.

7.1.1.1.1.2.3 对称放置电容并靠近 USB 连接座.

7.1.1.1.1.3 USB OTG

7.1.1.1.1.3.1 USB On-The-Go

7.1.1.1.1.3.2 从而使 mini-A 插头、mini-B 插头和
mini-AB 插座增添了第五个引脚 (ID),
以用于识别不同的电缆端点。

7.1.1.1.1.3.3 mini-A 插头中的 ID 引脚接地,
mini-B 插头中的 ID 引脚浮空。

7.1.1.1.1.3.4 当 OTG 设备检测到接地的 ID 引
脚时,表示默认的是 A 设备(主机),
而检测到 ID 引脚浮空的设备则认为
是 B 设备(外设)。

7.1.1.1.2 通讯协议

7.1.1.1.2.1 数据传输模式

7.1.1.1.2.1.1 控制传输类型

7.1.1.1.2.1.2 等时传输类型 (或称同步类型)

7.1.1.1.2.1.3 中断传输类型

7.1.1.1.2.1.4 数据块 (Bulk) 传输类型

7.1.1.1.3 测试

7.1.1.1.4 Layout 设计

7.1.1.1.4.1 TVS 器件必须靠近插座位置, 在 PCB 设计时大面积接地。

7.1.1.1.4.2 布局保证信号流经 TVS 后再到共模电源。

7.1.1.1.4.3 差分线特性 90 欧姆 \pm 10%阻抗, 等长误差为 5mil

7.1.1.1.4.4 两组差分线之间保持 4w, 并与其他信号或灌铜保持 4w。

7.1.1.1.4.5 为抑制电磁辐射, USB 信号建议 PCB 内层走线, 如在 PCB 表层走线, 请注意用地线做整组包地处理。

7.1.1.2 1-Wire

7.1.1.2.1 电气线路

7.1.1.2.1.1 Signal, GND。(需要电容器储能, 用于在数据真正交换器件储存电容给自身供电)

7.1.1.2.1.2 Vcc, Signal, GND。

7.1.1.2.1.3 设备并联连接, 常用 4.7K 电阻上拉, 保持总线未被驱动时为 1。

7.1.1.2.2 通讯协议

7.1.1.2.2.1 是半双工, 单主机, 多从机, 异步串行数据总线。

7.1.1.2.2.2 主设备使用枚举协议（特定的广播消息）

来发现所有已连接的设备。

7.1.1.2.3 测试

7.1.1.2.4 Layout 设计

7.1.1.3 网口 ETH

7.1.1.3.1 电气线路

7.1.1.3.1.1 TD+,TD-,TCT,NC,NC,RCT/MCT,RD+/M

X+,RD-/MX-,9~12LED,13~14 外壳地或固

定脚。

7.1.1.3.2 通讯协议

7.1.1.3.2.1 OSI 七层模型

7.1.1.3.2.1.1 应用层(Application) HTTP,TFTP,
FTP, NFS, WAIS、SMTP

7.1.1.3.2.1.2 表示层 (Presentation) Telnet,
Rlogin, SNMP, Gopher

7.1.1.3.2.1.3 会话层 (Session) SMTP, DNS

7.1.1.3.2.1.4 传输层 (Transport) TCP, UDP

7.1.1.3.2.1.5 网络层 (Network) IP, ICMP, ARP,
RARP, AKP, UUCP

7.1.1.3.2.1.6 数据链路层 (Data Link) FDDI,
Ethernet, Arpanet, PDN, SLIP, PPP

7.1.1.3.2.1.7 物理层 (Physical) IEEE 802.1A,
IEEE 802.2 到 IEEE 802.11

7.1.1.3.2.2 TCP/IP 四层模型

7.1.1.3.2.2.1 应用层

7.1.1.3.2.2.1.1 应用层 (Application) HTTP,
TFTP, FTP, NFS, WAIS、SMTP

7.1.1.3.2.2.1.2 表示层 (Presentation) Telnet,
Rlogin, SNMP, Gopher

7.1.1.3.2.2.1.3 会话层 (Session) SMTP, DNS

7.1.1.3.2.2.2 传输层

7.1.1.3.2.2.2.1 传输层 (Transport) TCP, UDP

7.1.1.3.2.2.3 网络层

7.1.1.3.2.2.3.1 网络层 (Network) IP, ICMP,
ARP, RARP, AKP, UUCP

7.1.1.3.2.2.4 数据链路层

7.1.1.3.2.2.4.1 数据链路层 (Data Link) FDDI,
Ethernet, Arpanet, PDN, SLIP, PPP

7.1.1.3.2.2.4.2 物理层 (Physical) IEEE 802.1A,
IEEE 802.2 到 IEEE 802.11

7.1.1.3.3 测试

7.1.1.3.4 Layout 设计

7.1.1.3.4.1 以太网芯片靠近 RJ-45 放置，一般距离不超过 5inch。

7.1.1.3.4.2 交流器件放置在中间位置。

7.1.1.3.4.3 TX+,TX-,RX+,TX- 尽量走表层，组内差分 5mil, 组件不做等长, 但间距要在 4w 以上。

7.1.1.3.4.4 外壳地与 GND 之间的桥接电容要靠近外壳地管脚放置，并且走线要加粗处理。

7.1.1.3.4.5 RJ-45 接口区域内做挖空处理，外壳地与 GND 之间要做到 2mm 距离，或最少 1mm 以上。

7.1.2 DDR

7.1.2.1 内存分代

7.1.2.1.1 SDRAM (Synchronous Dynamic Random Access Memory): 为同步动态随机存取内存。

7.1.2.1.2 SDRAM 亦可称为 SDR SDRAM (Single Data Rate SDRAM), Single Data Rate 为单倍数据传输率。

7.1.2.1.3 DDR SDRAM (Double Data Rate SDRAM): 为双信道同步动态随机存取内存。

7.1.2.1.4 DDR2 SDRAM (Double Data Rate Two SDRAM): 为双信道两次同步动态随机存取内存。

7.1.2.1.5 DDR3 SDRAM (Double Data Rate Three SDRAM): 为双信道三次同步动态随机存取内存。

7.1.2.1.6 DDR4 SDRAM (Double Data Rate Fourth SDRAM)

7.1.2.2 内存区别

7.1.2.2.1 核心频率分别为 133MHz 到 200MHz 的情况下。

7.1.2.2.2 DDR2 1.8V 4bits 533~800 MT/s

7.1.2.2.2.1 有 60/68/84 球 FBGA 封装三种规格。

7.1.2.2.3 DDR3 1.5V 8bits 800~1600 MT/s

7.1.2.2.3.1 8bit 芯片采用 78 球 FBGA 封装。

7.1.2.2.3.2 16bit 芯片采用 96 球 FBGA 封装。

7.1.2.2.3.3 新增功能

7.1.2.2.3.3.1 ASR (Automatic Self-Refresh)

7.1.2.2.3.3.2 SRT (Self-Refresh Temperature)

7.1.2.2.4 DDR3L 1.35V (向后兼容 1.5V) 8bits
800~1600 MT/s

7.1.2.2.5 DDR3 1.2V 16bits 2133~3200 MT/s

7.1.2.3 DDR3L 分析-MT41K256M16TW-107:P

7.1.2.3.1 内存大小: 32 Meg x 16 x 8 banks

7.1.2.3.2 工作电压: 1.35V (向后兼容 1.5V)

7.1.2.3.3 96-ball 8mm x 14mm FBGA

7.1.2.3.4 关键时序参数

7.1.2.3.4.1 MT/s 意思是 megatransfers/s, 也就是说 MT/s 中文解释为百万次/秒。

7.1.2.3.4.2 由于 HT 总线（端到端总线技术）是双向传输, 所以换算成我们平时所熟悉的 MHz 需要除以 2。

7.1.2.3.4.3 速度等级: -107 速率: 1866MT/s 13-13-13 tRCD: 13.91ns tRP: 13.91ns CL: 13.91ns

7.1.2.3.4.4 tCK = 1.07ns, CL = 13

7.1.2.3.5 引脚分析

7.1.2.3.5.1 A[14:13], A12/BC#, A11, A10/AP, A[9:0] input 地址输入, 行、列地址输入。

7.1.2.3.5.2 BA[2:0] input Bank 地址输入。

7.1.2.3.5.3 CK, CK# input 时钟, 差分时钟输入。

7.1.2.3.5.4 CKE input 时钟使能。

7.1.2.3.5.5 CS# input 片选。

7.1.2.3.5.6 LDM input 输入数据屏蔽, LDM 是低八位数据。

7.1.2.3.5.7 UDM input 输入数据屏蔽, UDM 是高八位数据。

7.1.2.3.5.8 ODT input 片上终端电阻使能。

7.1.2.3.5.9 RAS#, CAS#, WE# input 控制命令输入。

7.1.2.3.5.10RESET# input 复位。

7.1.2.3.5.11DQ[7:0] I/O 数据输入输出, 低 8 位。

7.1.2.3.5.12DQ[15:8] I/O 数据输入输出, 高 8 位。

7.1.2.3.5.13LDQS, LDQS# I/O 低 8 位数据选通。

7.1.2.3.5.14UDQS, UDQS# I/O 高 8 位数据选通。

7.1.2.3.5.15VDD 电源输入。

7.1.2.3.5.16VDDQ DQ 电源输入 (芯片内部隔离电源)。

7.1.2.3.5.17VREFCA 用于控制, 命令, 地址的参考电源。

7.1.2.3.5.18VREFDQ 用于数据的参考电源。

7.1.2.3.5.19VSS 地

7.1.2.3.5.20VSSQ DQ 地 (隔离底)。

7.1.2.3.5.21ZQ 输出驱动校正的外部参考引脚, 外接 240 欧姆电阻到地。

7.1.2.3.5.22NC 无连接, 预留。

7.1.2.4 DDR 测试

7.1.2.4.1 DDR3 Software leveling

7.1.2.4.1.1 其目的在于根据当前板卡的实际布线情况, 通过 leveling 算法优化当前的 DDR3 的参数配置。

7.1.2.5 Layout 设计

7.1.2.5.1 时钟线最长，时钟线差分特性 100 欧姆，+/-10%，小于 5mil。

7.1.2.5.2 地址，控制，命令参考时钟做等长，小于 200mil。

7.1.2.5.3 DQS 组内差分特性 100 欧姆，+/-10%，小于 5mil。

7.1.2.5.4 其他非差分线为 50 欧姆，+/-10%。

7.1.2.5.5 DATA0-DATA7，DQM0，DQS0P/DQS0M 为一组，组内等长小于 200mil。3W 线宽要求。

7.1.2.5.6 DATA8-DATA15，DQM1，DQS1P/DQS1M 为一组，组内等长小于 200mil。3W 线宽要求。

7.1.2.5.7 所有线和孔间距大于 0.125mm 或 0.15mm。

7.1.3 存储设备

7.1.3.1 NOR FLASH

7.1.3.1.1 块擦除，字编程 (8,16,32)。

7.1.3.1.2 芯片内执行 (eXecute In Place, XIP) 技术。

7.1.3.1.3 地址映射后不需要初始化。

7.1.3.1.4 标准寄存器级接口：通用闪存接口和 CFI。

7.1.3.2 NAND FLASH

7.1.3.2.1 分类

7.1.3.2.1.1 单层单元 (SLC)，擦除周期 100K。

7.1.3.2.1.2 多 (2) 层单元 (MLC)，擦除周期 10K。

7.1.3.2.1.3 三层单元 (TLC)，擦除周期 1K。

7.1.3.2.2 块擦除，页读写。

7.1.3.2.3 错误检查和纠正 (ECC) 技术

7.1.3.2.3.1 SLC：汉明码（可纠正 1 个出错位）。

7.1.3.2.3.2 MLC,TLC：BCH（可纠正 8 个出错位）。

7.1.3.2.3.3 纠错码存储在带外（out of band，OOB）。

7.1.3.2.3.3.1 SLC 通常每 32 字节额外有 1 字节
OOB 区域。

7.1.3.2.3.3.2 如 2KB 大小页面 OOB 是 64 字节
每页。

7.1.3.2.3.3.3 MLC 和 TLC 芯片 OOB 所占比例
更大。

7.1.3.2.4 标准寄存器级接口：开放式 NAND 闪存接口
(ONFi)

7.1.3.3 托管闪存

7.1.3.3.1 本质

7.1.3.3.1.1 集成多个闪存芯片及一个微控制器。

7.1.3.3.1.2 并提供与传统文件系统兼容。

7.1.3.3.1.3 是一个小扇区存储设备。

7.1.3.3.2 分类

7.1.3.3.2.1 安全数字 (Secure Digital, SD) 卡及嵌入式
变体 eMMC。

7.1.3.3.2.2 多媒体卡 (MMC)。

7.1.3.3.2.3 小型快闪卡 (CompactFlash, CF)。

7.1.3.3.2.4 USB 闪存驱动器。

7.1.3.3.2.5 通用闪存 (universal flash storage, UFS)。

7.1.3.3.3 通讯方式: 串行传输(现在多使用多位传输)。

7.1.4 视频

7.1.4.1 视频输入

7.1.4.1.1 Camera Sensor

7.1.4.1.1.1 Image Sensor 类型

7.1.4.1.1.1.1 YUV Sensor: data 格式为 YUV, 一般在 5M 以下。

7.1.4.1.1.1.2 Raw Sensor: data 格式为 Raw, 为当前主流。

7.1.4.1.1.2 硬件接口

7.1.4.1.1.2.1 DVP

7.1.4.1.1.2.1.1 并口传输, 时钟PCLK 极限96M, 常控制在72M 及以下, 最大500W。

7.1.4.1.1.2.1.2 PCLK,VSYNC,HSYNC,D[0:11]
(支持 8/10/12 位数据)

7.1.4.1.1.2.1.3 使用过的方案

7.1.4.1.1.2.1.3.1 HI 3518EV200 (海思) +
SC2235 (SmartSens)

1080P@60fps 200W

8 1.3.5.1.1.2.1.3.1.1 D2-D11,PCLK,FSYNC (帧同步),LREF (行同步)

8.1.1.1.1.1.1.1.1 Ambarella S2L33M + Sony

IMX323 1080P@30fps

9 1.3.5.1.1.2.1.3.2.1 D0-D11,PCLK,FSYNC (帧同步),LREF (行同步)

9.1.1.1.1.1.1 MIPI-CSI-2

9.1.1.1.1.1.1.1 CSI 定义了一个位于处理器和
摄像模组之间的高速串行接口。

9.1.1.1.1.1.1.2 CSI-1,CSI-2 (专门针对摄像头
芯片接口设计),CSI-3。

9.1.1.1.1.1.1.3 LVDS 接口耦合, 800W 以上。

9.1.1.1.1.1.1.4 CLKP/N, DATAP/N。

9.1.1.1.1.1.1.5 一对 DATAP/N 为一个 lane,
最大支持 4-lane, 一般 2-lane。

9.1.1.1.1.1.1.6 使用过的方案

9.1.1.1.1.1.1.6.1 Ambarella S5L66 +

Omnivision OS08A10

4K@60fps

10 1.3.5.1.1.2.2.6.1.1 MCP/N, MDP[0:3]/N[0:3]

10.1.1.1.1.1.1.1 Layout 设计

10.1.1.1.1.1.1.1.1 建议内层走线，表层的

话需要包地。

10.1.1.2 视频输出

10.1.1.2.1 液晶屏接口

10.1.1.2.1.1 RGB TTL 接口

10.1.1.2.1.1.1 信号类型是 TTL 电平。

10.1.1.2.1.1.2 信号的内容是 RGB666 或者 RGB888 还有行场同步和时钟。

10.1.1.2.1.2 LVDS 接口

10.1.1.2.1.2.1 LVDS

10.1.1.2.1.2.1.1 即

LowVoltageDifferentialSignaling ,

是一种低压差分信号技术接口。

10.1.1.2.1.2.1.2 电压摆幅 (约 350mV)。

10.1.1.2.1.2.1.3 几百 Mbit/s 的速率传输。

10.1.1.2.1.2.1.4 低噪声和低功耗。

10.1.1.2.1.2.2 信号类型是 LVDS 信号 (低电压差分对)

10.1.1.2.1.2.3 信号的内容是 RGB 数据还有行场同步和时钟。

10.1.1.2.1.3 MIPI DSI 接口

10.1.1.2.1.3.1 DSI 定义了一个位于处理器和显示模组之间的高速串行接口。

10.1.1.2.1.3.2 信号类型是 LVDS 信号。

10.1.1.2.1.3.3 信号的内容是视频流数据和控制指令。

10.1.1.3 图像解析度

10.1.1.3.1 简称 (代号) 分辨率 像素

10.1.1.3.2 subQCIF : 128 x 96 QCIF : 176 X 144 CGA :
320 x 200

10.1.1.3.3 Quarter-VGA: 320 x 240

10.1.1.3.4 CIF : 352 x 288 10W

10.1.1.3.5 EGA : 640 x 350

10.1.1.3.6 VGA : 640 x 480 30W

10.1.1.3.7 SVGA : 800 x 600

10.1.1.3.8 XGA : 1024 x 768

10.1.1.3.9 XGA-W : 1280 x 768

10.1.1.3.10 QVGA : 1280 x 960 120W

10.1.1.3.11 SXGA : 1280 x 1024

10.1.1.3.12 SXGA+ : 1400 x 1050

10.1.1.3.13 SXGA-W : 1600 x 1024

10.1.1.3.14 UGA : 1600 x 1200

10.1.1.3.15 HDTV : 1920 x 1080 200W

10.1.1.3.16 UXGA : 1900 x 1200

10.1.1.3.17 UXGA-W : 1920 x 1200

10.1.1.3.18 QXGA : 2048 x 1536 320W

10.1.1.3.19 QSXGA : 2560 x 2048 500W+

10.1.1.3.20 QUXGA : 3200 x 2400 700W+

10.1.1.3.21 QUXGA-W : 3840 x 2400 900W+

10.1.2 音频

10.1.2.1 I2S

10.1.2.1.1 电气线路

10.1.2.1.1.1主时钟 MCLK, 用于同步, 是采样频率的
256 倍或 384 倍。

10.1.2.1.1.2串行时钟 SCLK, 也叫位时钟 (BCLK)。

10.1.2.1.1.3帧时钟 LRCK, (也称 WS), 用于切换左右
声道的数据。

10.1.2.1.1.4串行数据 SDATA, 就是用二进制补码表
示的音频数据。

10.1.2.1.1.4.1 数据输入

10.1.2.1.1.4.2 数据输出

10.1.2.1.1.5模式控制附加引脚

10.1.2.1.2 通讯协议

10.1.2.1.2.1支持全双工和半双工。

10.1.2.1.2.2支持主/从模式。

10.1.2.1.3 测试

10.1.2.1.4 Layout

10.1.2.2 MIC

10.1.2.2.1 模拟接口 MEMS MIC

10.1.2.2.1.1 输出阻抗典型值为几百欧姆。

10.1.2.2.1.2 如 200 欧姆 MIC 后接 2K 欧姆。

10.1.2.2.1.3 存在偏置电压。

10.1.2.2.1.4 信号包地，不能跨越平面。

10.1.2.2.2 数字接口 MEMS MIC

10.1.2.2.2.1 VDD, GND, CLK, DAT, L/R (通道选择)。

10.1.2.3 功放

10.1.2.3.1 甲类

10.1.2.3.2 乙类

10.1.2.3.3 甲乙类

10.1.2.3.4 丁类 (D 类, 数字式放大器)

10.1.2.3.5 功放额定输出阻抗: 常见 8 欧姆, 4 欧姆。

10.1.2.4 Speak

10.1.2.4.1 SPK+, SPK- 走类差分, 需要包地, 不能跨平面。

10.1.2.4.2 功放与音响匹配---阻抗匹配

10.1.2.4.2.1 音箱=功放: 最佳设计负载线。

10.1.2.4.2.2 音箱>功放: 输出功率变小, 音量低。

10.1.2.4.2.3 音箱<功放: 输出功率增大, 音质失真,
功放可能过载。

10.1.3 HDMI

10.1.3.1 电气线路

10.1.3.1.1 4 对 TMDS 差分信号：1 对时钟+3 对数据。

10.1.3.1.1.1 TMDS 通道 0 传输 B 信号，同时 H 信号和 V 信号也嵌入该通道

10.1.3.1.1.2 TMDS 通道 1 传输 G 信号

10.1.3.1.1.3 TMDS 通道 2 传输 R 信号，R 和 G 通道的多余位置用来传输音频信号

10.1.3.1.2 CEC: 消费电子控制通道，通过这条通道可以控制设备。

10.1.3.1.3 DDC: 就是 I²C 信号，主要是获取显示器的基本信息(比如 EDID 信息)。

10.1.3.1.4 HPD: 热插拔信号，该信号比较重要，当 HPD 引脚大于 2V，TMDS 才会输出。因此，如果屏幕没有显示，首先要测量该信号!!!

10.1.3.1.5 HDMI 接口连接器

10.1.3.1.5.1 Type A

10.1.3.1.5.2 Type B

10.1.3.1.5.3 Type C

10.1.3.1.6 每种类型的接口分别由用于设备端的插座和线材端的插头组成，使用 5V 低电压驱动，阻抗都是 100 欧姆。

10.1.3.2 通讯协议

10.1.3.2.1 HDMI 1.0 支持从 DVD 到蓝光格式的视频流, 而且具备 CEC (consumer electronics control) 功能, 也就是在应用中, 可以在所有连接设备间形成一种共通的联络, 对设备组具备更方便的控制。

10.1.3.2.2 HDMI 1.1 新增对 DVD 音频的支持

10.1.3.2.3 HDMI 1.2 带宽 4.95Gbps 1080P

10.1.3.2.4 HDMI 1.3 带宽 10.2Gbps 1080P

10.1.3.2.5 HDMI 1.4 带宽 10.2Gbps
3840×2160@30FPS

10.1.3.2.6 HDMI 2.0 带宽 18Gbps
3840×2160@50FPS 或 60FPS

10.1.3.2.7 HDMI 2.1 带宽 48Gbps 7680×4320@60Hz

10.1.3.3 测试

10.1.3.3.1 输出兼容性测试

10.1.3.3.2 端口插拔可靠性测试

10.1.3.3.3 输出的可靠性测试

10.1.3.3.4 检测标准

10.1.3.3.5 输出端口功能测试

10.1.3.4 Layout 设计

10.1.3.4.1 组内差分 100 欧姆, +/-15%, 小于等于 5mil,
组间等长。

10.1.3.4.2 HDMI TX 信号的参考时钟为 HDMI TXC，
所以包括时钟在内的四组差分对都需要做等长
处理。

10.1.3.4.3 ESD 器件靠近 HDMI 连接座放置。

10.1.3.4.4 HDMI 信号需要保证走线参考面是一个连续
完整的参考面，不被分割。

10.1.3.4.5 在 PCB 表层走线请注意用地线做整组包地处
理。

10.1.3.4.6 差分对之间不需要伴随地走线。

10.1.3.4.7 可以直接顺序扇出到 HDMI 连接座，走线
中应该尽可能的减少换层过孔，过孔会造成线路
阻抗的不连续。

10.1.3.4.8 每对换层的差分对旁边就近安排一个 GND
过孔。

10.2 防护设计，EMC。

10.2.1 雷击浪涌（一级，二级，三级，反应速度依次提升）

10.2.1.1 气体放电管

10.2.1.2 压敏电阻

10.2.1.3 TVS 管

10.2.2 ESD

10.2.2.1 ESD 静电保护二极管

10.2.3 电磁兼容性（EMC）

10.2.3.1 电磁发射 (EMI)

10.2.3.1.1 传导(Conducted Emission) (150kHz~30MHz).

10.2.3.1.2 辐射(Radiated Emission) (30MHz~300MHz)。

10.2.3.1.3 谐波 (Harmonic) (2~40 次谐波)。

10.2.3.1.4 闪烁 (Flicker) 电压变化与闪烁测试。

10.2.3.2 电磁抗扰度 (EMS)

10.2.3.2.1 静电放电抗扰度。

10.2.3.2.2 辐射电磁场 (80MHz~1000 MHz) 抗扰度。

10.2.3.2.3 电快速瞬变/脉冲群抗扰度。

10.2.3.2.4 浪涌 (雷击) 抗扰度。

10.2.3.2.5 注入电流 (150kHz~230MHz) 抗扰度。

10.2.3.2.6 电压暂降和短时中断抗扰度。

10.3 生成 BOM 清单

11 Layout 设计

11.1 创建封装，创建板框，原理图导入。

11.1.1 创建封装

11.1.1.1 封装类型

11.1.1.1.1 插件，贴片。

11.1.1.1.2 规则，异形。

11.1.1.2 封装构成

11.1.1.2.1 焊盘

11.1.1.2.2 丝印外框

11.1.1.2.3 1 脚标识

11.1.2 创建板框

11.1.2.1 手绘板框

11.1.2.2 导入 dxf 结构图转换为板框

11.2 设计前准备，布局，布线，地孔。

11.2.1 设计前准备

11.2.1.1 显示颜色设置

11.2.1.2 远点设置

11.2.1.3 板层参数

11.2.1.3.1 PCB 构成

11.2.1.3.1.1 一层 PP (半固化片，又称预浸材料，粘合芯板的作用)，一层 core (芯板，硬质的，特定厚度的两面包铜的材料，FR-4)。

11.2.1.3.1.2 通常多层板最外层的两个介质层都是浸润层。

11.2.1.3.1.3 表面铜箔厚度有：12um，18um，35um。

1OZ 约为 35um 或 1.4mil。

11.2.1.3.1.4 8 层板叠层图

11.2.1.3.2 层叠设计原则

11.2.1.3.2.1 元件面相邻层为地平面，如主元件在顶层，顶层信号尽可能短，第二层为完整的地平面。

11.2.1.3.2.2所有信号层尽可能与地平面相邻。

11.2.1.3.2.3关键信号线尽可能与地平面相邻。

11.2.1.3.2.4尽量避免两个信号层直接相邻。否则要采用横平竖直的走线方式。

11.2.1.3.2.5主电源尽可能与其对应地平面相邻，且芯板厚度不宜过后，以便获得较低的传输线阻抗。

11.2.1.3.2.6确定电源和地平面层数，地平面等于或多于电源平面。减小共模 EMI。

11.2.1.3.2.7兼顾层压结构对称。

11.2.1.3.2.8采用偶数层结构。

11.2.1.3.3 多层 PCB 层叠设计方案

11.2.1.3.3.1 四层板

11.2.1.3.3.1.1 方案 1

11.2.1.3.3.1.1.1 信号层（元器件，微带线）

11.2.1.3.3.1.1.2 接地平面

11.2.1.3.3.1.1.3 电源平面

11.2.1.3.3.1.1.4 信号层（元器件，微带线）

11.2.1.3.3.1.2 方案 2

11.2.1.3.3.1.2.1 信号层（元器件，微带线）

11.2.1.3.3.1.2.2 电源平面

11.2.1.3.3.1.2.3 接地平面

11.2.1.3.3.1.2.4 信号层（元器件，微带线）

11.2.1.3.3.1.3 方案 3

11.2.1.3.3.1.3.1 接地平面（元器件）

11.2.1.3.3.1.3.2 信号层

11.2.1.3.3.1.3.3 信号层

11.2.1.3.3.1.3.4 电源平面（元器件）

11.2.1.3.3.2 六层板

11.2.1.3.3.2.1 方案 1

11.2.1.3.3.2.1.1 信号层（元器件，微带线）

11.2.1.3.3.2.1.2 接地平面

11.2.1.3.3.2.1.3 信号层（带状线）

11.2.1.3.3.2.1.4 接地平面

11.2.1.3.3.2.1.5 电源平面

11.2.1.3.3.2.1.6 信号层（元器件，微带线）

11.2.1.3.3.2.2 方案 2

11.2.1.3.3.2.2.1 信号层（元器件，微带线）

11.2.1.3.3.2.2.2 接地平面

11.2.1.3.3.2.2.3 信号层（带状线）

11.2.1.3.3.2.2.4 信号层（带状线）

11.2.1.3.3.2.2.5 电源平面

11.2.1.3.3.2.2.6 信号层（元器件，微带线）

11.2.1.3.3.2.3 方案 3

11.2.1.3.3.2.3.1 信号层（元器件、微带线）

11.2.1.3.3.2.3.2 信号层（埋入式微带线）

11.2.1.3.3.2.3.3 接地平面

11.2.1.3.3.2.3.4 电源平面

11.2.1.3.3.2.3.5 信号层（埋入式微带线）

11.2.1.3.3.2.3.6 信号层（元器件，微带线）

11.2.1.3.3.3 八层板

11.2.1.3.3.3.1 方案 1

11.2.1.3.3.3.1.1 信号层（元器件，微带线）

11.2.1.3.3.3.1.2 接地平面

11.2.1.3.3.3.1.3 信号层（带状线）

11.2.1.3.3.3.1.4 接地平面

11.2.1.3.3.3.1.5 电源平面

11.2.1.3.3.3.1.6 信号层（带状线）

11.2.1.3.3.3.1.7 接地平面

11.2.1.3.3.3.1.8 信号层（元器件，微带线）

11.2.1.3.3.3.2 方案 2

11.2.1.3.3.3.2.1 信号层（元器件，微带线）

11.2.1.3.3.3.2.2 接地平面

11.2.1.3.3.3.2.3 信号层（带状线）

11.2.1.3.3.3.2.4 电源平面

11.2.1.3.3.3.2.5 接地平面

11.2.1.3.3.2.6 信号层（带状线）

11.2.1.3.3.2.7 电源平面

11.2.1.3.3.2.8 信号层（元器件，微带线）

11.2.1.3.3.3 方案 3

11.2.1.3.3.3.1 信号层（元器件、微带线）

11.2.1.3.3.3.2 信号层（埋入式微带线）

11.2.1.3.3.3.3 接地平面

11.2.1.3.3.3.4 信号层（带状线）

11.2.1.3.3.3.5 信号层（带状线）

11.2.1.3.3.3.6 电源平面

11.2.1.3.3.3.7 信号层（埋入式微带线）

11.2.1.3.3.3.8 信号层（元器件，微带线）

11.2.1.4 过孔设置

11.2.1.4.1 工艺

11.2.1.4.1.1 板厚与钻孔尺寸比为 8:1

11.2.1.4.2 常用过孔参数

11.2.1.4.2.10503：直径 0.5mm，钻孔 0.3mm

11.2.1.4.2.20402：直径 0.4mm，钻孔 0.2mm

11.2.1.4.2.33502：直径 0.35mm，钻孔 0.2mm

11.2.1.5 设计规则

11.2.1.5.1 安全间距

11.2.1.5.1.1 线宽：大板 0.2mm；高密度板 0.125mm。

11.2.1.5.1.2 同一网络：0mm。

11.2.1.5.1.3 孔与孔，元件与元件：0mm。

11.2.1.5.1.4 板边距离：0.25-0.3mm。

11.2.1.5.1.5 铜箔：0.2mm。

11.2.1.5.1.6 其他：大板 0.2mm；高密度板 0.1mm。

11.2.2 布局

11.2.2.1 单位及栅格设置

11.2.2.2 结构件优先布局

11.2.2.3 整齐划一，模块式布局

11.2.3 布线

11.2.3.1 天线

11.2.3.1.1 阻抗 50 欧姆

11.2.3.1.1.1.12 层板：0.8mm，1，2 层间距大

11.2.3.1.1.2 多层板：0.2mm，1，2 层间距小

11.2.3.1.2 禁布

11.2.3.1.2.1 20mil 左右

11.2.3.1.3 地孔

11.2.3.1.3.1 天线周边均匀分布

11.2.3.1.4 ANT RF 线相邻的层挖空，参考相邻的第二层。

11.2.3.1.4.1 如 RF 线布在第 6 层，RF 线正下方第 5 层 GND 挖空，参考第四层做阻抗设计。

11.2.3.1.4.2 且要保持参考层的完整性

11.2.3.2 等长线

11.2.3.2.1 建立匹配长度的网络组。

11.2.3.2.2 设置等长线规则。

11.2.3.2.3 电子表格实时显示。

11.2.3.3 蛇形走线

11.2.3.3.1 振幅 Lp: 应尽量减小。

11.2.3.3.2 间隙 S: 应尽量增大。

11.2.3.3.3 设置蛇形走线的振幅和间隙。

11.2.3.3.4 添加蛇形走线。

11.2.3.4 差分走线

11.2.3.4.1 组内小于等于 5mil

11.2.3.4.2 组间看具体要求

11.2.4 地孔

11.2.4.1 间距为 3-5mm，边缘可间距小一些。

11.3 检查，导出 Gerber 文件，阻抗说明。

11.3.1 验证设计

11.3.1.1 间距检查

11.3.1.2 连接性

11.3.2 导出 Gerber 文件

11.3.2.1 光绘文件又称为 Gerber，菲林，也可称为 CAM

文件

11.3.2.2 一个正常的光绘文件应包括 (n+6) 个文件。其

中 n 指层数; 6 指:

11.3.2.2.1 顶层丝印层, Silkscreen Top

11.3.2.2.2 底层丝印层, Silkscreen Bottom

11.3.2.2.3 顶层阻焊层, Solder Mask Top

11.3.2.2.4 底层阻焊层, Solder Mask Bottom

11.3.2.2.5 钻孔参考层, Drill Drawing

11.3.2.2.6 NC 钻孔层, NC Drill

11.3.3 导出 SMT 文件

11.3.3.1 顶层锡膏层, Solder Paste Top

11.3.3.2 底层锡膏层, Solder Paste Bottom

11.3.3.3 贴片坐标文件

11.3.4 阻抗说明

11.3.4.1 单端阻抗常为 50 欧姆 (无线电用同轴电缆 50 欧姆。视频为 75 欧姆)

11.3.4.2 差分阻抗常为 100 欧姆

11.3.4.3 USB 差分阻抗 90 欧姆

11.3.4.4 误差常为 +/-10%, +/-5% 看工厂能力。

12 硬件调试

12.1 电源测试

12.2 功能测试

12.3 信号分析

12.4 优化分析

13 嵌入式开发

13.1 嵌入式开发流程

13.1.1 选择或编译交叉工具链

13.1.2 配置 U-boot

13.1.3 编译及启动 U-Boot

13.1.4 配置设备树 Device Tree 和内核，构建文件系统

13.1.5 编译及启动内核，挂载文件系统

13.1.6 运行 init 启动程序

13.2 嵌入式开发分析

13.3 编译链接流程

13.3.1 阶段（别名） 命令 输入 输出

13.3.2 源码 (.c)

13.3.3 预处理 (cpp) gcc -E .c .i

13.3.4 编译 (cc) gcc -S .i .s

13.3.5 汇编 (as) gcc -c .s .o

13.3.6 链接 (ld) gcc .o .out

13.3.7 注意事项：.S 文件可包含预处理指令，因为后期会进行 预处理操作。

13.4 内存管理之堆栈

13.4.1 栈 (stack)

13.4.1.1 先进后出

13.4.1.2 小内存，自动化

13.4.1.3 保存局部变量（非静态局部变量）

13.4.1.4 预定栈大小不灵活，怕溢出

13.4.2 堆 (heap)

13.4.2.1 动态内存管理

13.4.2.2 大块内存管理，手工分配/使用/释放

13.4.2.3 申请

13.4.2.3.1 malloc

13.4.2.3.2 calloc：将返回的内存初始化为 0

13.4.2.3.3 realloc：修改已分配内存块大小

13.4.2.4 释放

13.4.2.4.1 free

13.4.2.5 优劣势：管理大块内存，灵活，容易内存泄漏

13.4.3 静态存储区

13.4.3.1 静态局部变量

13.4.3.2 全局变量

14 Linux 驱动开发

14.1 并发控制

14.1.1 并发与竞态

14.1.1.1 解决竞态的途径：保证对共享资源的互斥访问。

14.1.1.2 互斥途径

14.1.1.2.1 中断屏蔽

14.1.1.2.2 原子操作

14.1.1.2.3 自旋锁

14.1.1.2.4 信号量

14.1.1.2.5 互斥体

14.1.2 编译乱序和执行乱序（多核中）

14.1.3 自旋锁

14.1.3.1 原地打转

14.1.3.2 主要操作

14.1.3.2.1 定义自旋锁

14.1.3.2.2 初始化自旋锁

14.1.3.2.3 获得自旋锁

14.1.3.2.4 释放自旋锁

14.1.3.3 自旋锁特点

14.1.3.3.1 适合占用时间短的场合。

14.1.3.3.2 可能导致死锁

14.1.4 信号量

14.1.4.1 进入休眠

14.1.5 互斥体

14.2 leds 子系统

14.3 input 子系统

14.4 Backlight 背光子系统

15 Linux 应用开发

15.1 进程与线程的区别

15.1.1 操作系统要求实现宏观上的并行

15.1.1.1 微观上的串行：单核心

15.1.1.2 微观上的并行：多核心

15.1.2 进程

15.1.2.1 进程是最小的资源分配的单元。

15.1.2.2 一个内存的内存空间是共享的，每个线程都可以使用。

15.1.2.3 进程之间切换代价大，非常消耗时间和资源。

15.1.3 线程

15.1.3.1 Linux 中，线程称为轻量级的进程。

15.1.3.2 线程必须基于进程而存在。

15.1.3.3 切换代价低。

15.1.4 在当前多核心 CPU 的优化下，多线程有完美的运行环境。

16 C 语言

16.1 Linux 下 C 程序员的内存映像

16.1.1 保留区域 (0x0000_0000-0x0804_8000)

16.1.2 代码 (text) 段、只读数据段 (rodata)

16.1.2.1 对应程序中的代码 (函数)，代码段在 linux 中又叫文本段 (.text)。

16.1.2.2 rodata 段常用于存储常量数据。

16.1.3 数据段、bss 段

16.1.3.1 data 段: 存放被初始化为非 0 的全局变量和 static 局部变量。

16.1.3.2 bss 段: 存放未被初始化的全局变量和 static 局部变量。

16.1.4 运行时堆区

16.1.5 文件映射区

16.1.5.1 进程打开后的文件, 被从硬盘读到进程的文件映射区。

16.1.6 用户栈区 (stack)

16.1.7 内核映射区 (0xC000_0000-0xFFFF_FFFF)

16.2 链表, 二叉树, 哈希表

16.2.1 链表

16.2.1.1 单链表

16.2.1.2 双向链表

16.2.1.3 静态链表

16.2.2 二叉树

16.2.2.1 节点除了有数据成员之外还有两个指针域,

16.2.2.2 这两个指针域又分别是另外两个二叉树(左子树和右子树)的根指针。

16.2.2.3 遍历方法

16.2.2.3.1 前序遍历

16.2.2.3.2 中序遍历

16.2.2.3.3 后序遍历

16.2.2.3.4 层序遍历

16.2.3 哈希表

16.2.3.1 首先分配一个指针数组,数组的每个元素是一个链表的头指针。

16.2.3.2 每个链表称为一个槽 (Slot) 。

16.2.3.3 设计一个好的哈希函数可以把数据比较均匀地分布到各个槽中。

17 算法

17.1 概念

17.1.1 算法: 对特定问题的解决办法。

17.1.2 准确性

17.1.3 可停止性

17.2 专用于数论计算的算法

17.2.1 求解最大公约数的辗转相除法

17.2.2 求解联立方程的高斯消元法

17.2.3 求解定积分近似值的梯形公式

17.2.4 求解质数的艾拉斯托斯特尼筛法

17.3 对一组乱序的数据进行排序的算法

17.3.1 选择排序

17.3.2 冒泡排序

17.3.3 插入排序

17.3.4 希尔排序

17.3.5 归并排序

17.3.6 快速排序

17.4 在大数据中找出目标数据的搜索算法

17.4.1 线性搜索 (linear search)

17.4.2 二分搜索 (binary search)

17.5 字符串匹配算法

17.5.1 简单字符串搜索

17.5.2 KMP 算法

17.5.3 BM 算法