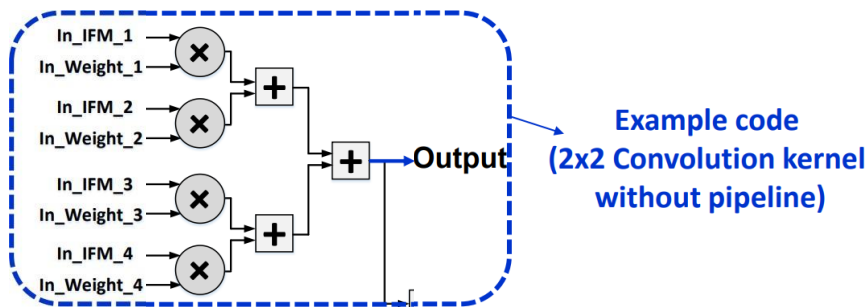


數位積體電路 HW4 311511057 張詔揚

■ 4-1 Minimal Energy-Delay Product

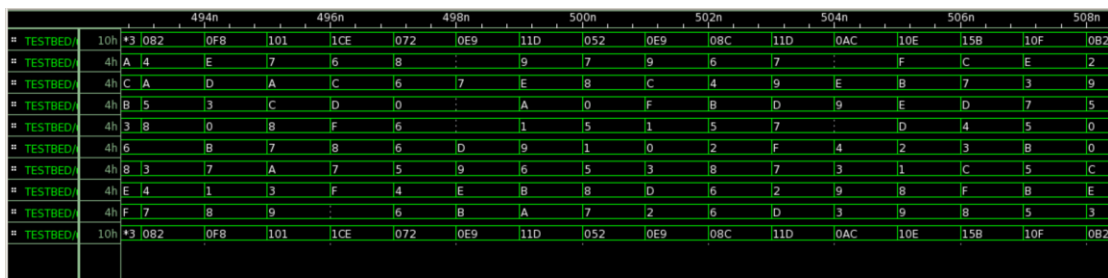
本次的作業是要 based on ASAP 7nm standard cells 設計出 2x2 convolution kernel，下圖為 2x2 convolution 的 block diagram，接著開始合成並跑 Spice 模擬。



(圖一: 2x2 convolution 的 block diagram)

設計出來的 verilog 會如上圖所示，採用 FSM 的架構，有輸入、convolution 計算、輸出的狀態，完成一個簡單的 pipeline 系統。另外，在乘法器和加法器的部分也充分運用到了 parallel 的技巧，convolution 時會用很多的硬體同時做計算。

首先，先進行波型圖比對電路輸出的與正確的波型是否吻合，下圖 Verilog 系統層級的波形模擬。



(圖二: Verilog波形模擬)

接下來會把寫好的 code 進行合成,合成時將一個 clock cycle 設為 1000，得到由 standard cells 組成的 gate level code，同時，也會產生 timing 和 area 的分析報告。

Point	Incr	Path

input external delay	0.00	0.00 f
IFM_3[0] (in)	0.00	0.00 f
U10/Y (INVxp33 ASAP7_75t_R)	14.92	14.92 r
U80/Y (NOR2xp33 ASAP7_75t_R)	27.38	42.30 f
DP_OP_10J1_122_2300/U122/CON (FAx1_ASAP7_75t_R)	22.80	65.11 r
U15/Y (INVxp33 ASAP7_75t_R)	26.32	91.43 f
DP_OP_10J1_122_2300/U106/CON (FAx1_ASAP7_75t_R)	34.69	126.11 r
DP_OP_10J1_122_2300/U106/SN (FAx1_ASAP7_75t_R)	16.44	142.55 f
U47/Y (INVxp33 ASAP7_75t_R)	33.93	176.48 r
DP_OP_10J1_122_2300/U99/CON (FAx1_ASAP7_75t_R)	26.90	203.38 f
U62/Y (INVx1 ASAP7_75t_R)	16.71	220.09 r
DP_OP_10J1_122_2300/U80/SN (FAx1_ASAP7_75t_R)	65.73	285.83 r
U19/Y (INVxp33 ASAP7_75t_R)	33.56	319.39 f
U137/Y (MAJ1xp5 ASAP7_75t_R)	43.51	362.90 r
U139/Y (MAJ1xp5 ASAP7_75t_R)	29.23	392.13 f
U141/Y (MAJx2 ASAP7_75t_R)	33.88	426.01 f
U143/Y (MAJ1xp5 ASAP7_75t_R)	23.71	449.72 r
U144/Y (INVx1 ASAP7_75t_R)	19.85	469.57 f
U145/CON (FAx1 ASAP7_75t_R)	18.24	487.81 r
U145/SN (FAx1 ASAP7_75t_R)	11.38	499.19 f
Output[8] (out)	0.00	499.19 f
data arrival time		499.19
max_delay	500.00	500.00
output external delay	0.00	500.00
data required time		500.00

data required time		500.00
data arrival time		-499.19

slack (MET)		0.81

(圖三: 合成後的 timing 分析)

通常 slack 代表邏輯閘運算時間有無超過循序電路一個 cycle 的時間，以及有無違反 setup time 和 hold time，如果超過的話，slack 是負值，則會得到錯誤的運算結果。

```

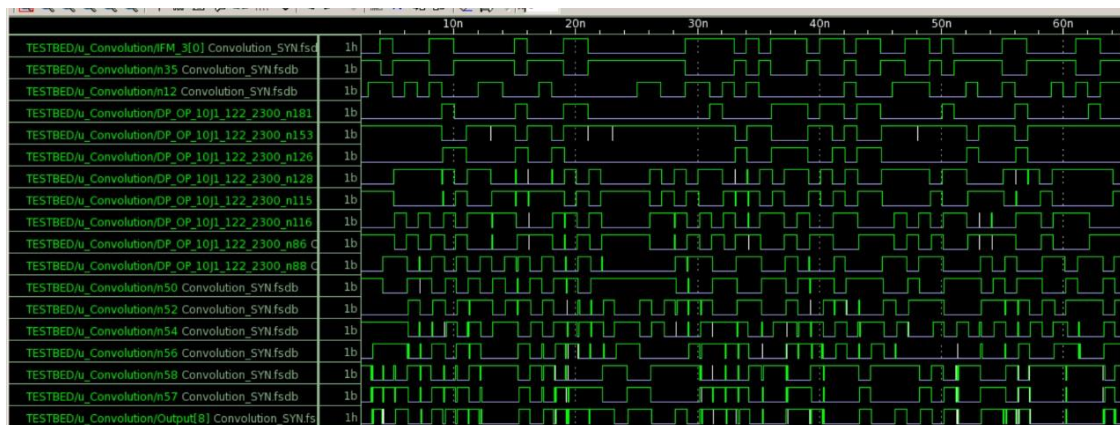
Number of ports:                43
Number of nets:                 272
Number of cells:                195
Number of combinational cells:  195
Number of sequential cells:     0
Number of macros/black boxes:   0
Number of buf/inv:              55
Number of references:           15

Combinational area:             311.895357
Buf/Inv area:                   38.724481
Noncombinational area:          0.000000
Macro/Black Box area:           0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                311.895357
Total area:                     undefined
1

```

(圖四: 合成後的 area 分析報告)



(圖五: Hspice 的波形模擬)

轉換 verilog code 為 hspice code 進行後續的模擬與分析。首先，利用上方的合成後的 timing 分析報告對照 convolution_SYN 檔尋找它的 critical path 的節點。

接著會寫超過二十組的 pattern，並且包含 timing 分析報告中一致的那條 critical path，接下去進行調整電壓的模擬與量測。

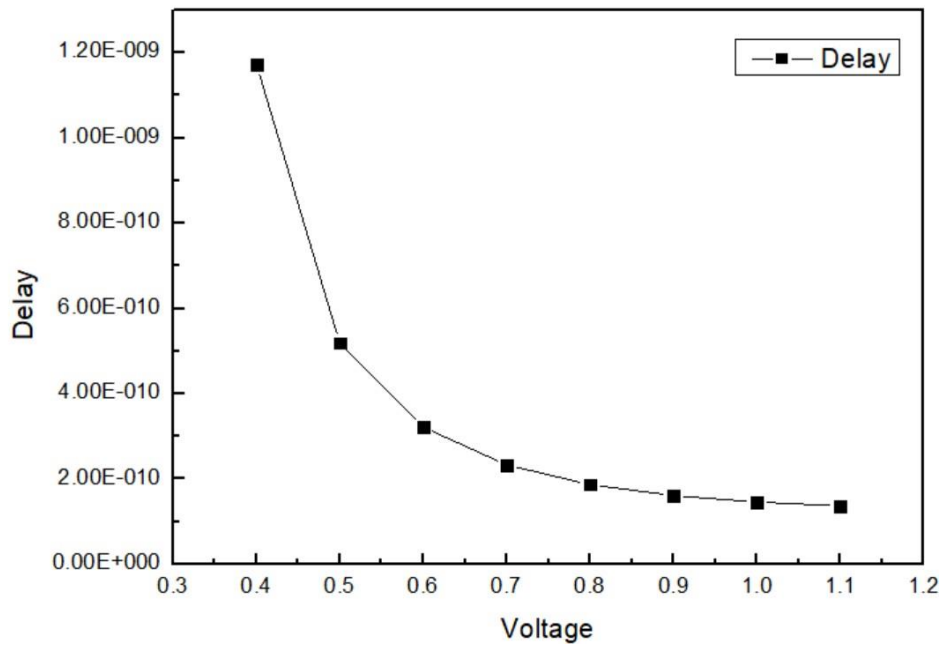
如上圖所示，可以驗證轉換之後電路的功能性依舊正確，能讀進輸入的訊號，並產生正確的輸出。

下方為量測 critical path 上的 delay time 和 power 所得到的結果，可以觀察到隨著 Voltage 的上升，delay 時間會有明顯的下降，而 power 也會隨之上升。

$V_{DD}(V)$	delay(s)	power(W)	product(s-W)
0.4	1.17078E-9	2.36914E-6	2.77373E-15
0.5	5.19072E-10	4.02556E-6	2.08956E-15
0.6	3.21409E-10	6.22843E-6	2.00187E-15
0.7	2.33027E-10	8.90882E-6	2.076E-15
0.8	1.86974E-10	1.21928E-5	2.27973E-15
0.9	1.6125E-10	1.62321E-5	2.61742E-15
1	1.46039E-10	2.1158E-5	3.08989E-15
1.1	1.36791E-10	2.72224E-5	3.72378E-15

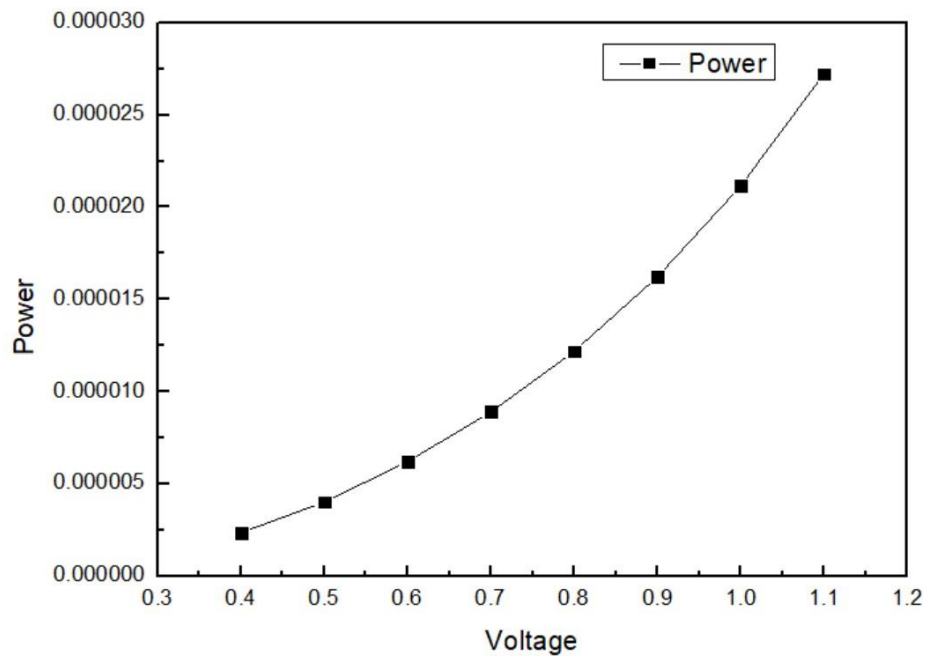
(圖七: Voltage 變化時 delay 和 power 的量測數據)

1



(圖八: delay 和電壓的關係圖)

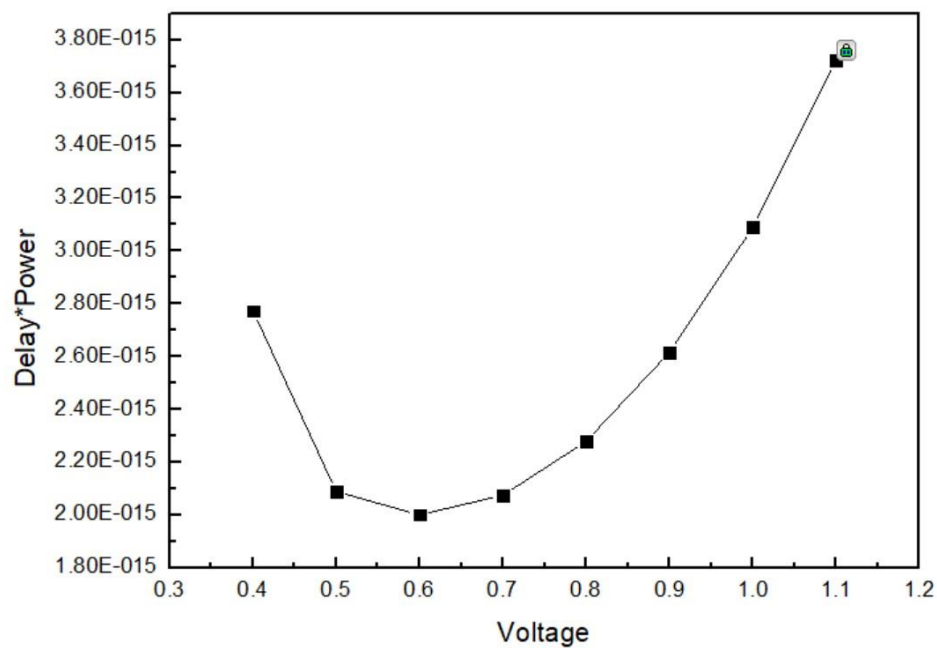
1



(圖九: power 和電壓的關係圖)

最後，可以透過 power 和 delay 相乘，找出最佳的 voltage 設定，約在 0.6V 附近，能有適中的 power 和 delay 數值，如下圖所示。

1



(圖十: power- delay 和電壓關係圖)

■ 4-2 Minimal Energy-Delay Product

Report : area

Design : Comparator

Version: T-2022.03

Date : Mon Dec 11 20:30:40 2023

Library(s) Used:

asap7sc7p5t_SIMPLE_RVT_TT_08302018 (File: /RAID2/COURSE/dic/dic290/test2/02_SYN/asap7sc7p5t_SIMPLE_RVT_TT_08302018.db)

Number of ports: 129
Number of nets: 210
Number of cells: 82
Number of combinational cells: 82
Number of sequential cells: 0
Number of macros/black boxes: 0
Number of buf/inv: 0
Number of references: 6




Combinational area: 161.663038
Buf/Inv area: 0.000000
Noncombinational area: 0.000000
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (No wire load specified)

Total cell area: 161.663038

Total area: undefined

1

(圖十一：合成後的 area 分析報告)

 pwr=1.65u
 temper=25
 tphl1=483p

Information: Updating design information... (UID-85)

Report : timing

-path full

-delay max

-max_paths 1

Design : Comparator

Version: T-2022.03

Date : Mon Dec 11 20:30:40 2023

Operating Conditions: PVT_0P7V_25C Library: asap7sc7p5t_INVBUF_RVT_TT_08302018

Wire Load Model Mode: top

Startpoint: B[47] (input port)

Endpoint: Out (output port)

Path Group: default

Path Type: max

Point	Incr	Path

input external delay	0.00	0.00 r
B[47] (in)	0.00	0.00 r
U79/Y (XNOR2xp5_ASAP7_75t_R)	14.28	14.28 r
U87/Y (NAND4xp25_ASAP7_75t_R)	18.47	32.74 f
U74/Y (NOR5xp2_ASAP7_75t_R)	26.10	58.84 r
U83/Y (NAND4xp25_ASAP7_75t_R)	21.97	80.81 f
U10/Y (NOR5xp2_ASAP7_75t_R)	17.38	98.19 r
Out (out)	0.00	98.19 r
data arrival time		98.19
max_delay	280.00	280.00
output external delay	0.00	280.00
data required time		280.00

data required time		280.00
data arrival time		-98.19

slack (MET)		181.81