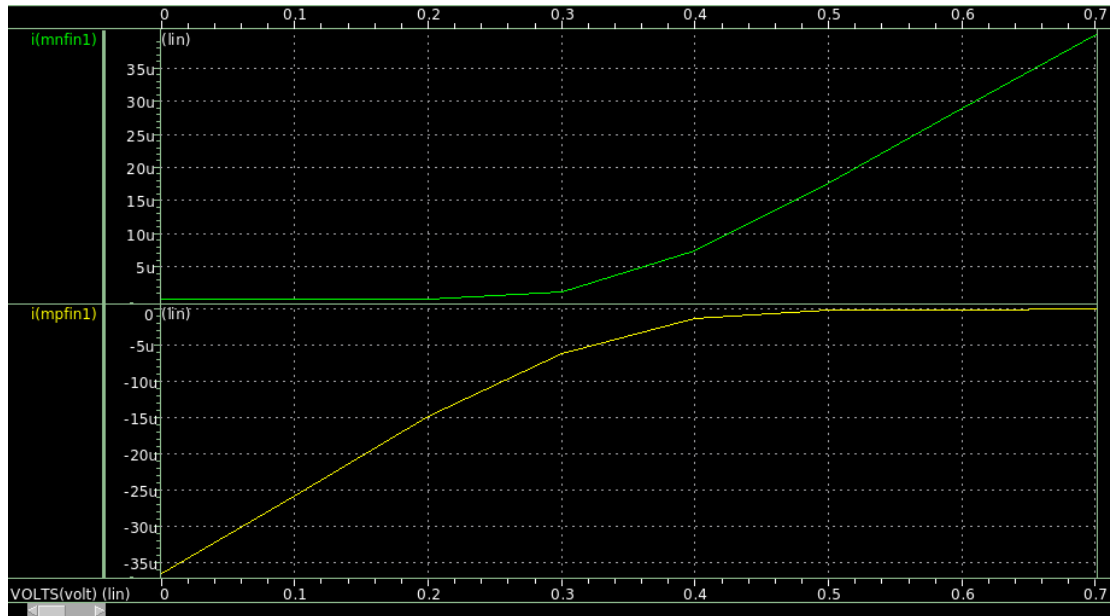


DIC HW1
311511057 張詔揚

Exercise 1-1:

➤ Plot $V_{gs}-I_{ds}$ of FinFET (N-FinFET& P-FinFET) figure



(圖一、 n-type finFET $V_{gs}-I_{ds}$ 圖)

Finfet:選擇 7nm model，並使用 regular threshold voltage (rvt)，fin 數量為 1

電壓設定: $V_{dd} = 0.7$ V， V_{ds} 設為定值 0.7 V， V_{gs} : 0 V ~ 0.7 V

當輸入電壓 $V_{gs} > V_{th}$ 時，會開始有電流。

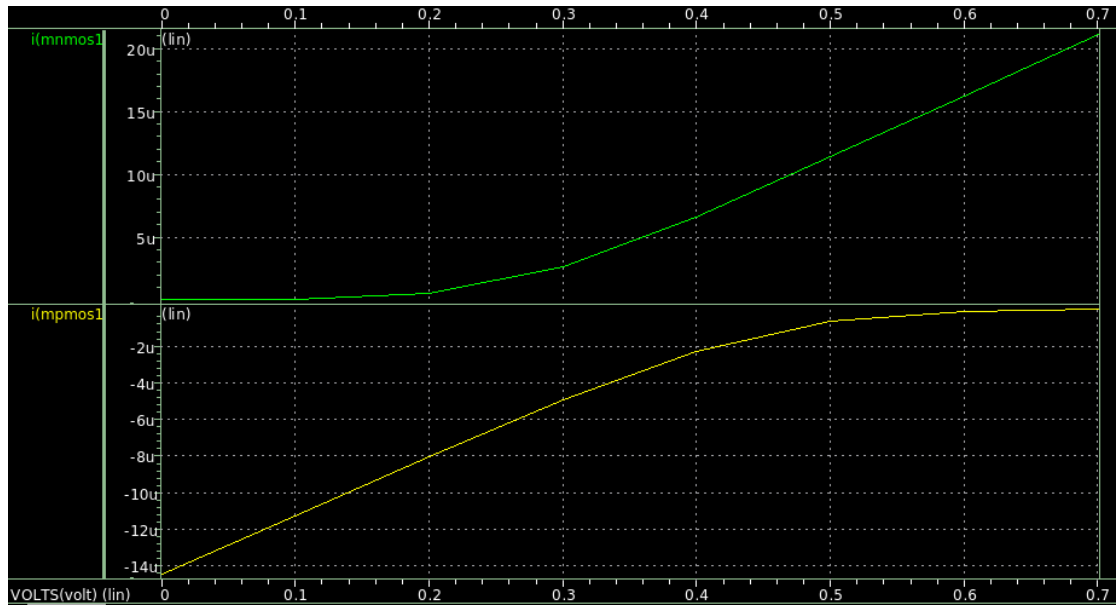
下方為 p-type finFET $V_{sg}-I_{ds}$ 圖

電壓設定: $V_{dd} = 0.7$ V， V_{ds} 為定值 0.7 V， V_{sg} : 0.7 V ~ 0 V

I_{ds} 電流方向與 n-type finFET 相反，故為負號。

當輸入電壓 $V_{sg} > V_{th}$ 時，開始有電流。

➤ Plot $V_{gs}-I_{ds}$ of CMOS (NMOS& PMOS) figure



(圖二、為 nmos V_{gs} - I_{ds} 圖)

MOS:選擇 16nm model，W 設為 16nm，L 設為 16nm

上圖為 nmos V_{gs} - I_{ds} 圖

電壓設定:Vdd = 0.7 V，Vds 設為定值 0.7 V，Vgs: 0 V ~ 0.7 V

當輸入電壓 $V_{gs} > V_{th}$ 時，會開始有電流。

下圖為 pmos V_{sg} - I_{ds} 圖

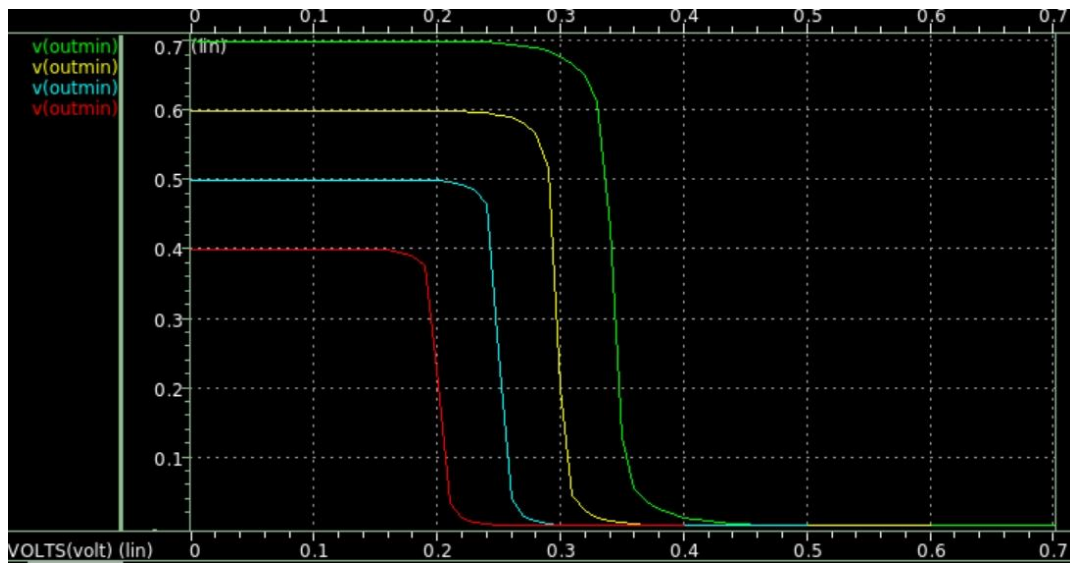
電壓設定:Vdd = 0.7 V，Vds 為定值 0.7 V，Vsg: 0.7 V ~ 0 V

I_{ds} 電流方向與 nmos 相反，故為負號。

當輸入電壓 $V_{sg} > V_{th}$ 時，開始有電流。

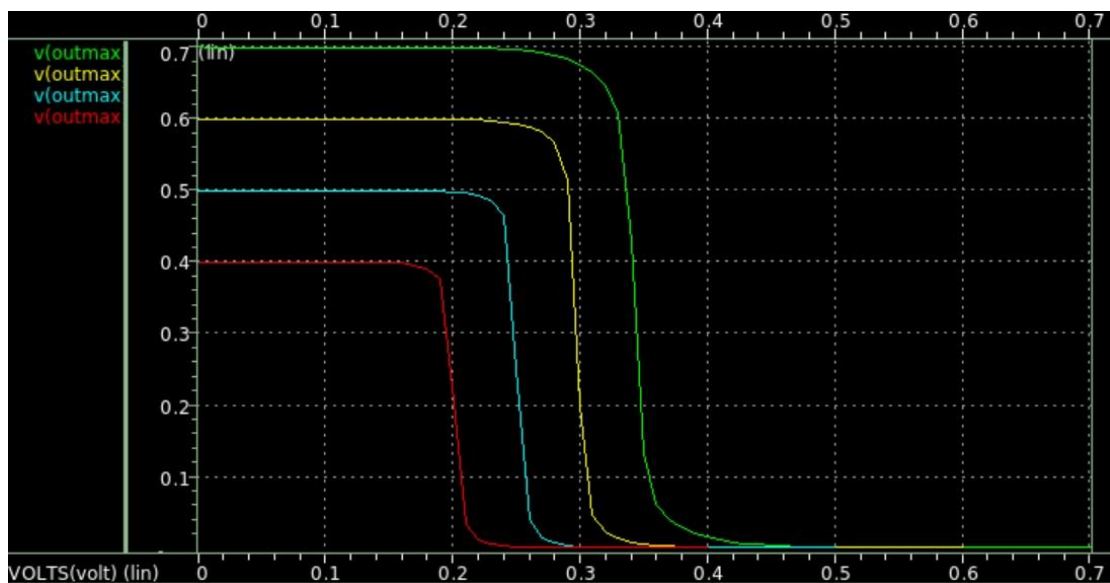
Exercise 1-2:

- Smallest and Largest Inverters under Different Voltage



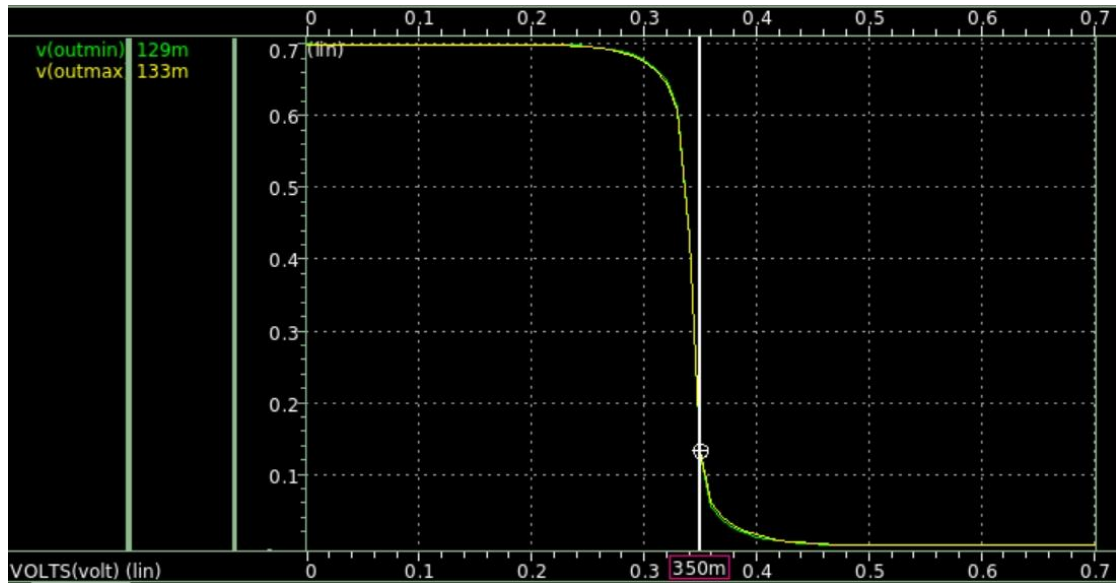
(圖三、最小的 inverter 的 VTC curve)

根據題目敘述，先從 standard library asap7sc7p5t_INVBUF_RVT 中選取最大和最小的 inverter，接著觀察它們在不同電壓下的 VTC curve。上圖中四條線分別代表不同的 V_{dd} ，綠線為 $V_{dd}=0.7$ V，黃線為 $V_{dd}=0.6$ V，藍線為 $V_{dd}=0.5$ V，紅線為 $V_{dd}=0.4$ V，從圖中可以看出不同 V_{dd} 設置對 VTC curve 所帶來的差異。

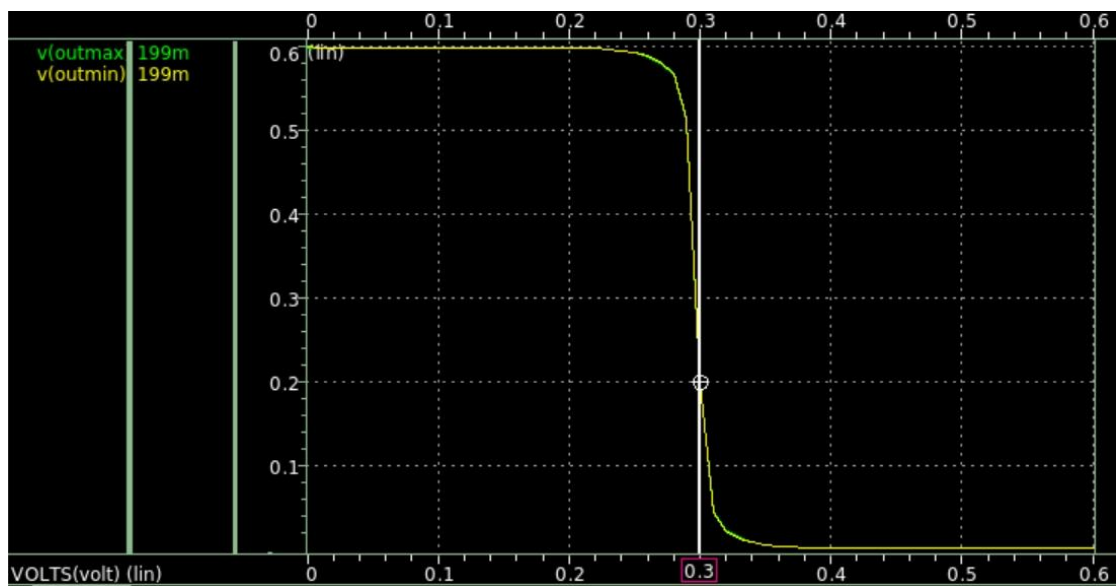


(圖四、最大的 inverter 的 VTC curve)

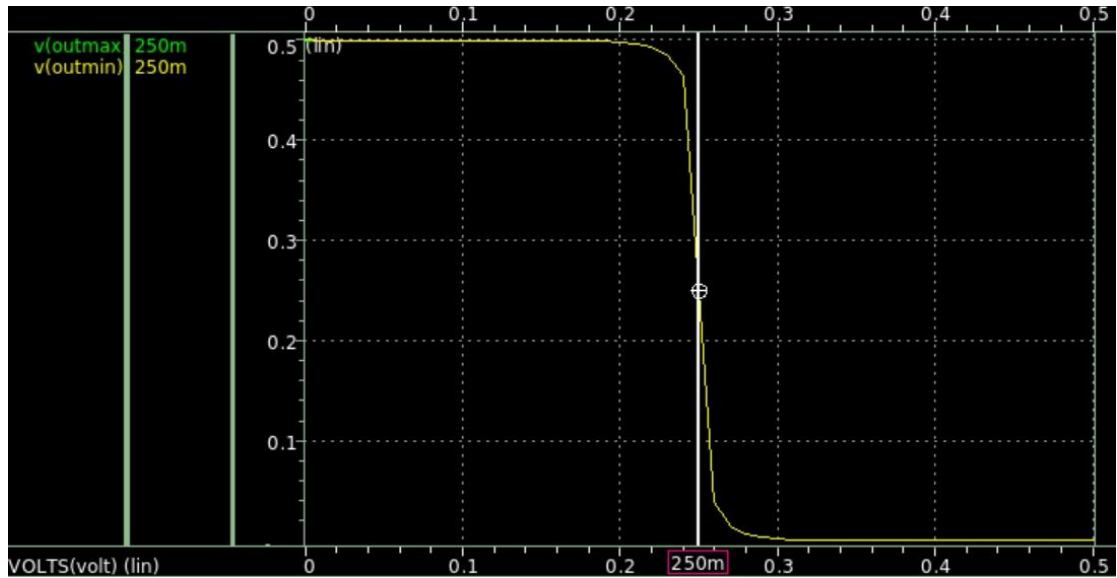
綠線為 $V_{dd}=0.7$ V，黃線為 $V_{dd}=0.6$ V，藍線為 $V_{dd}=0.5$ V，紅線為 $V_{dd}=0.4$ V。



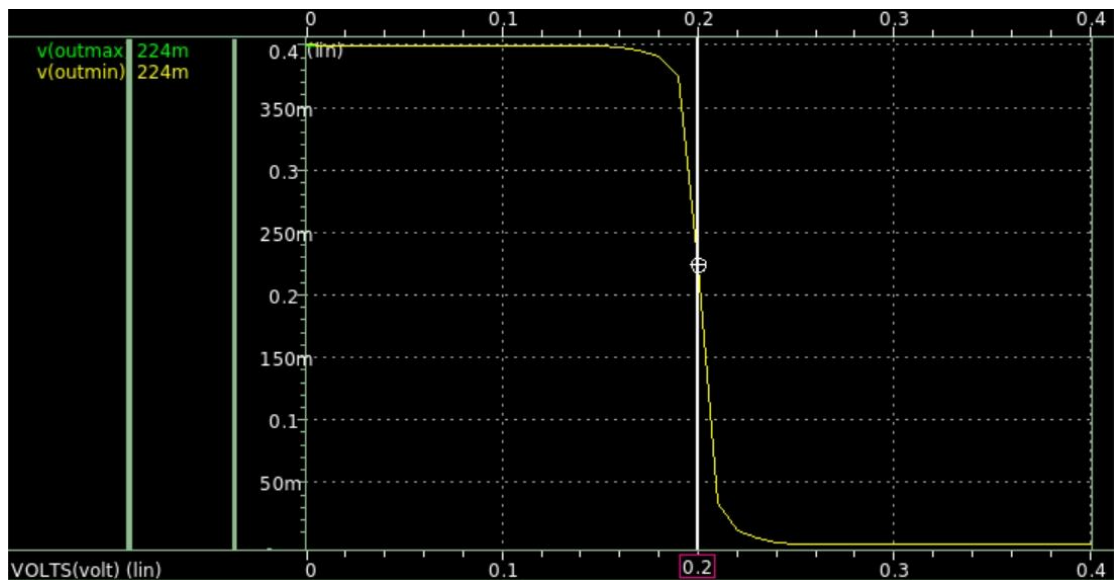
(圖五、 $V_{dd} = 0.7\text{ V}$ 的 VTC curve)



(圖六、 $V_{dd} = 0.6\text{ V}$ 的 VTC curve)



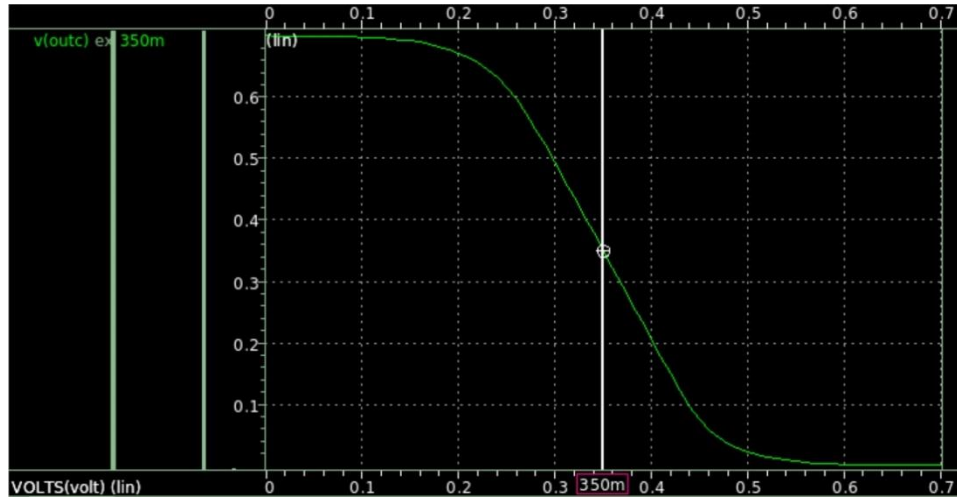
(圖七、 $V_{dd} = 0.5\text{ V}$ 的 VTC curve)



(圖八、 $V_{dd} = 0.4\text{ V}$ 的 VTC curve)

以上 4 張圖為 $V_{dd}=0.7\text{ V}$ 、 $V_{dd}=0.6\text{ V}$ 、 $V_{dd}=0.5\text{ V}$ 和 $V_{dd}=0.4\text{ V}$ 下，最大和最小 inverter 之間 VTC 曲線的差異，從圖五能看出只有當 $V_{dd}=0.7\text{ V}$ 時，VTC curve 存在些微差異。

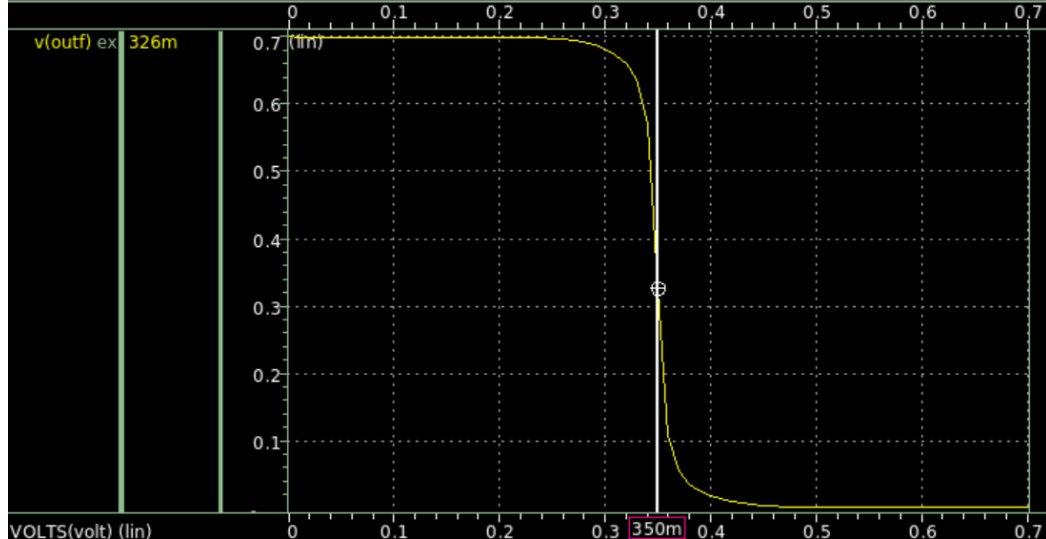
- Design unit-sized inverters such that their logic threshold voltage is at $V_{dd}/2$ ($v_{dd} = 0.7\text{v}$) for FinFET & CMOS



(圖九、Planer MOSs VTC curve)

由於 μ_p 通常會小於 μ_n ，所以 $\frac{V_{out}}{2} < \frac{V_{in}}{2}$ ，先將 nmos 和 pmos 的 W、L 設定成相同大小，觀察兩者之間 $\frac{V_{in}}{2}$ 與 $\frac{V_{out}}{2}$ 的數值，接著將 pmos 的 W 慢慢調大到適當的寬度即可使 $\frac{V_{dd}}{2} = 0.35V$ 。

最後調整完的參數為 pmos: w=33 nm, l=16 nm、nmos: w=23 nm, l=16 nm。



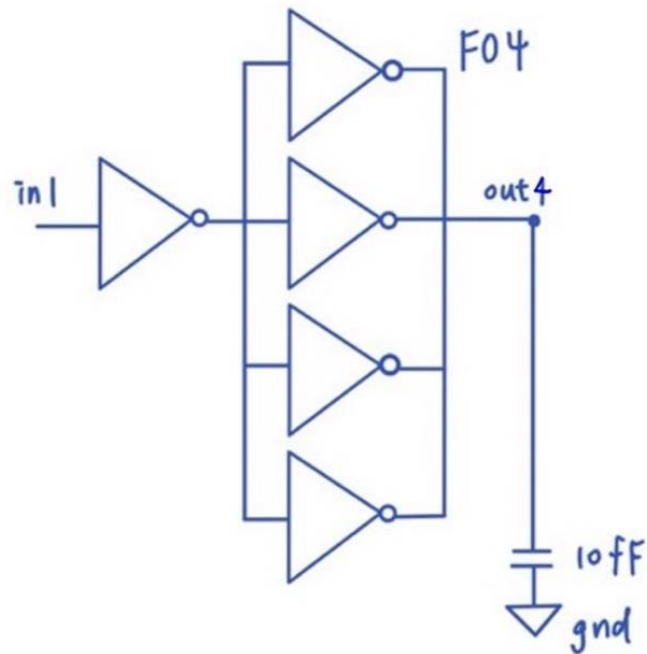
(圖十、FinFETs VTC curve)

先將 n-type 和 p-type 的設定成 fin=1，觀察兩者之間 $\frac{V_{in}}{2}$ 與 $\frac{V_{out}}{2}$ 的數值，此時

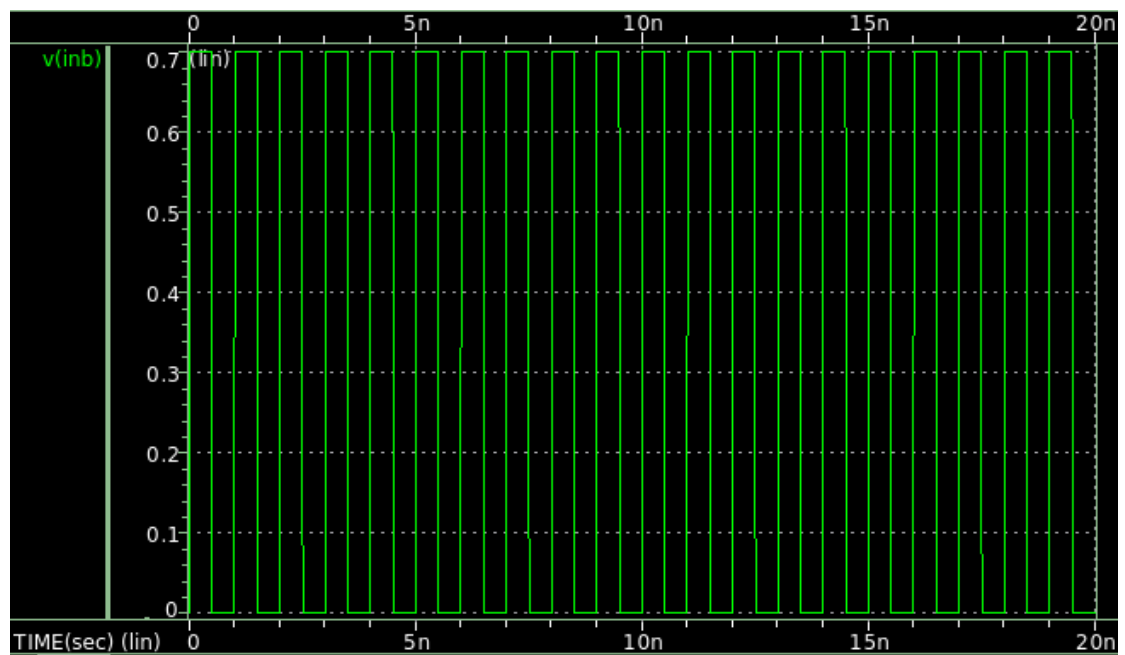
$\frac{V_{out}}{2} < \frac{V_{in}}{2}$ ，因此對於 planer mos 當 pmos: w=33 nm, l=16 nm、nmos: w=23 nm, l=16 nm 時，可以使 inverter 的 logic threshold voltage = 0.35v。

Exercise 1-3:

- Measure the power consumption of the inverters, designed in 1-2

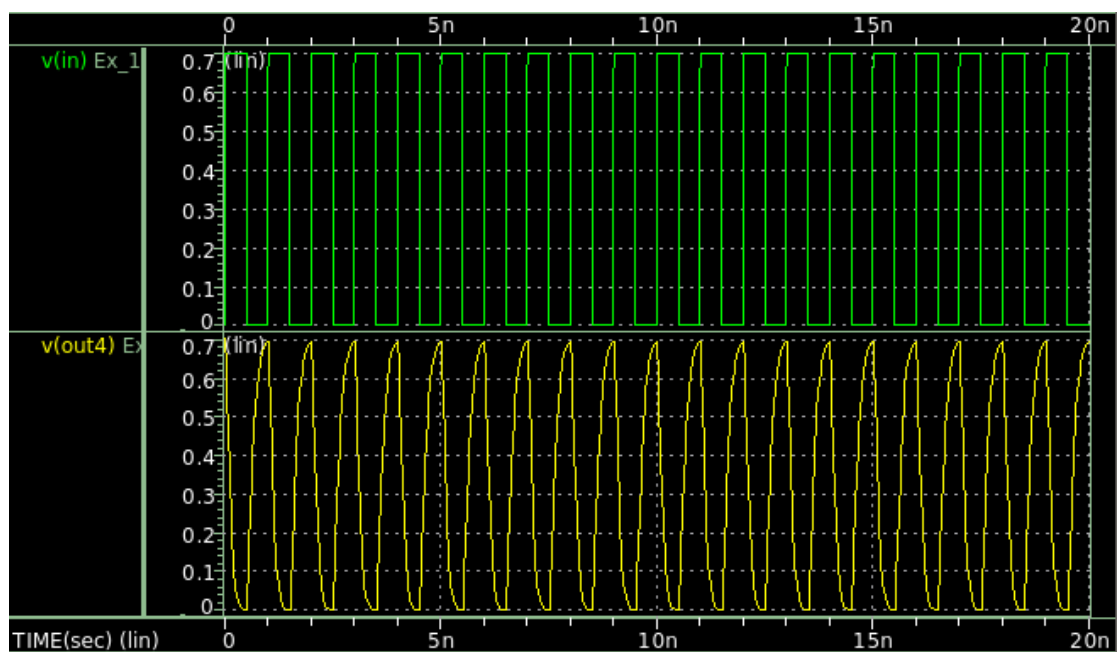


(圖十一、Inverter + FO4 + 10fF 的電路圖)

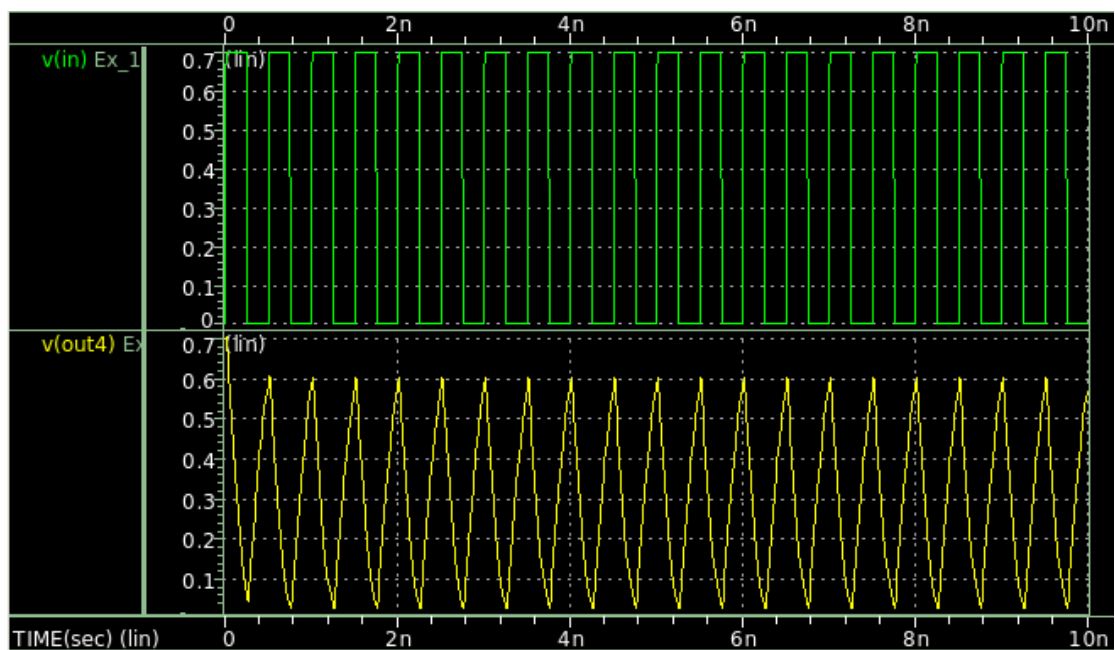


(圖十二、 Input pattern)

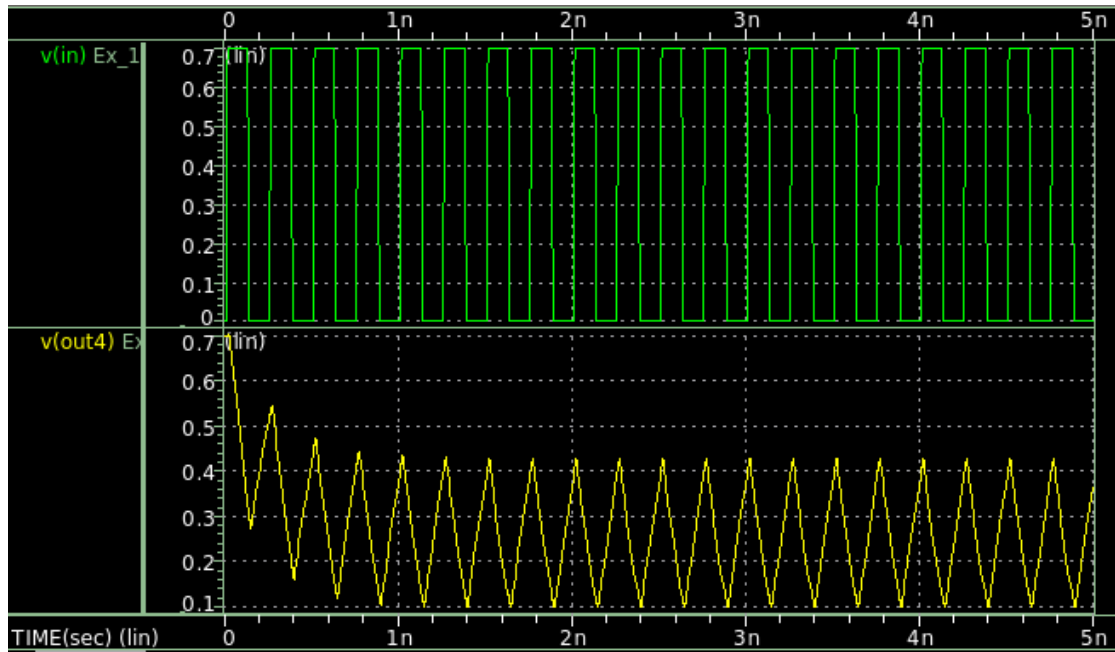
下面三張圖分別為輸入頻率 1Ghz, 2Ghz, 4Ghz，測試時間限定在 20 cycles.



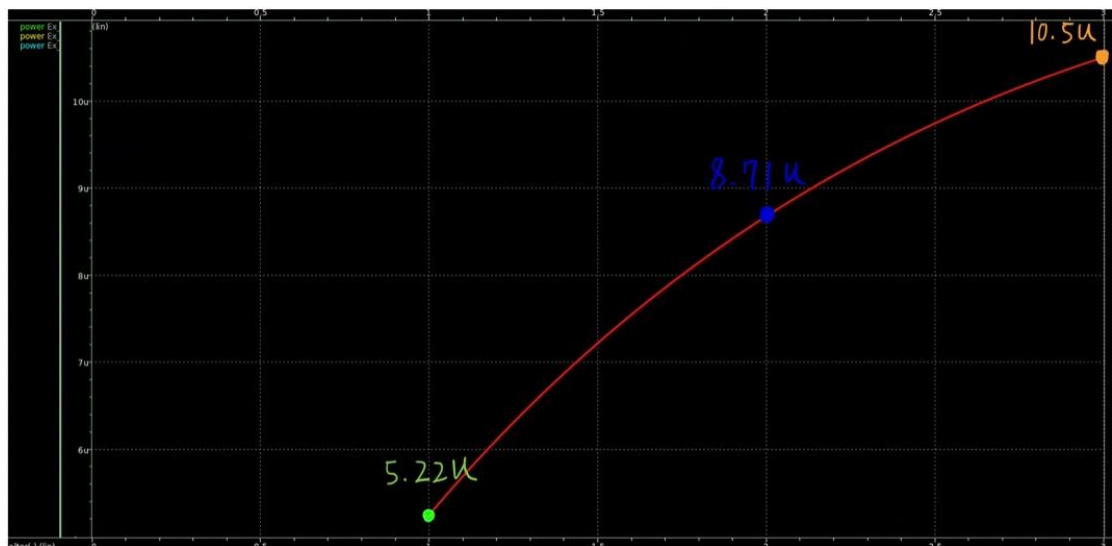
(圖十三、inverter output，1GHz)



(圖十四、inverter output，2GHz)



(圖十五、inverter output , 4GHz)



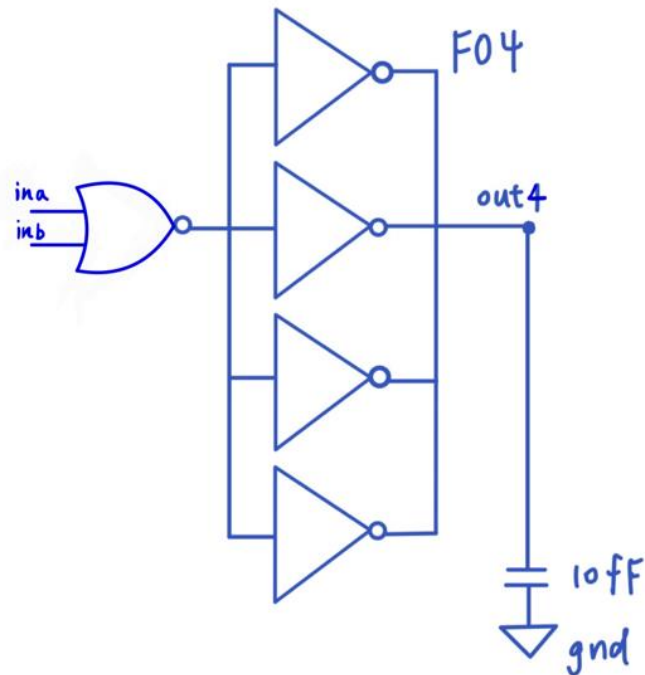
(圖十六、 Power consumption)

綠點為 1GHz 的 power consumption，藍點為 2GHz 的 power consumption，橘點為 4GHz 的 power consumption，能看出隨著訊號轉換頻率增加，能耗也跟著上升。

Exercise 1-4:

- Select the smallest NOR2 and NAND2 from ASAP 7nm standard cell library and measure T_r , T_f , T_{plh} , T_{phl}

1. NOR + FO4 + 10fF:



(圖十七、NOR + FO4 + 10fF 的電路圖)

電壓設定: Vdd 為 0.7 V

使用週期性訊號(pulse):

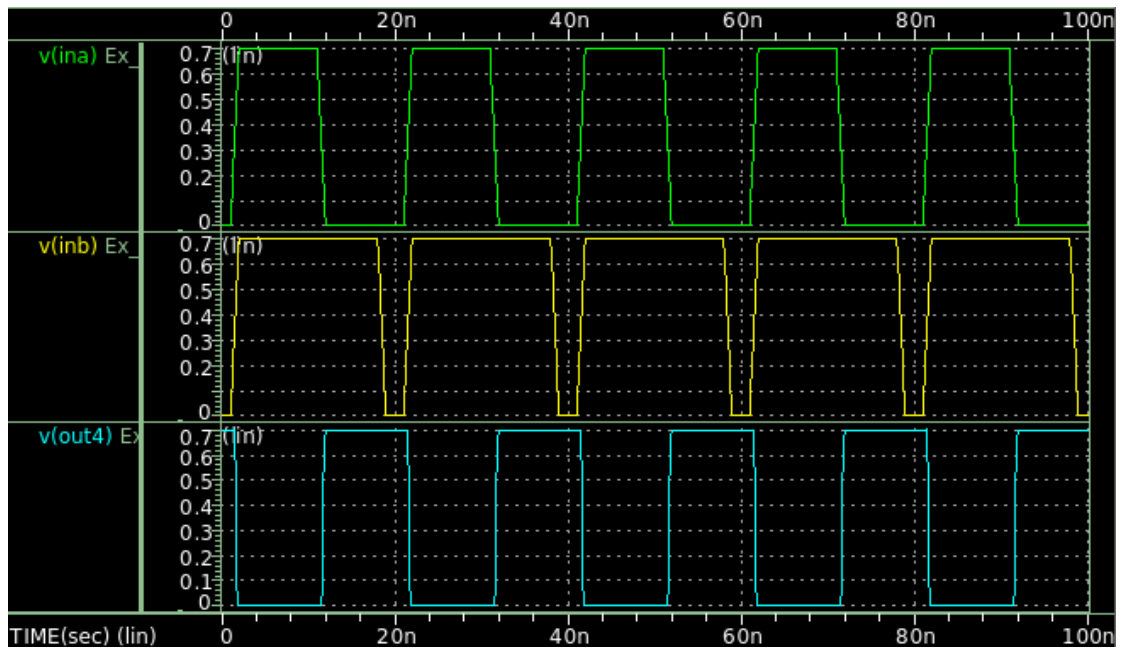
Vina ina GND PULSE (0 0.7 1n 1n 1n 9n 20n)

Vinb inb GND PULSE (0 0.7 1n 1n 1n 16n 20n)

out4 為負載端電壓(FO4 + 10fF 電容)

下圖為輸入訊號 ina(綠線)與 inb(黃線)之 NOR 的模擬結果，從波形以及真值表可以看出 NOR 結果正確

| A | B | Output |
|---|---|--------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

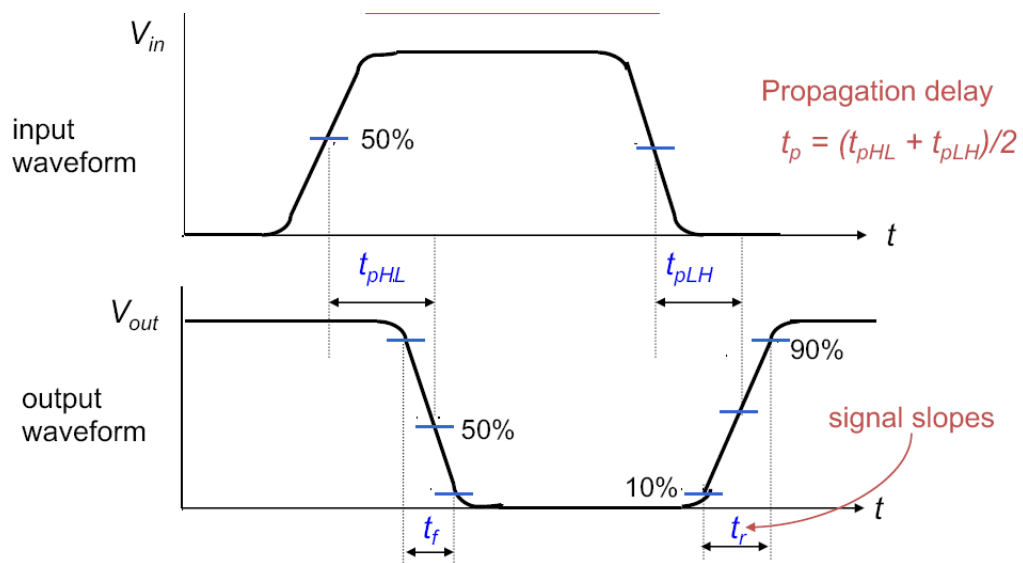


(圖十八、NOR 模擬結果)

- pwr=376n
- temper=27
- tfall=202p
- tphl_nor2=133p
- tplh_nor2=178p
- trise=265p

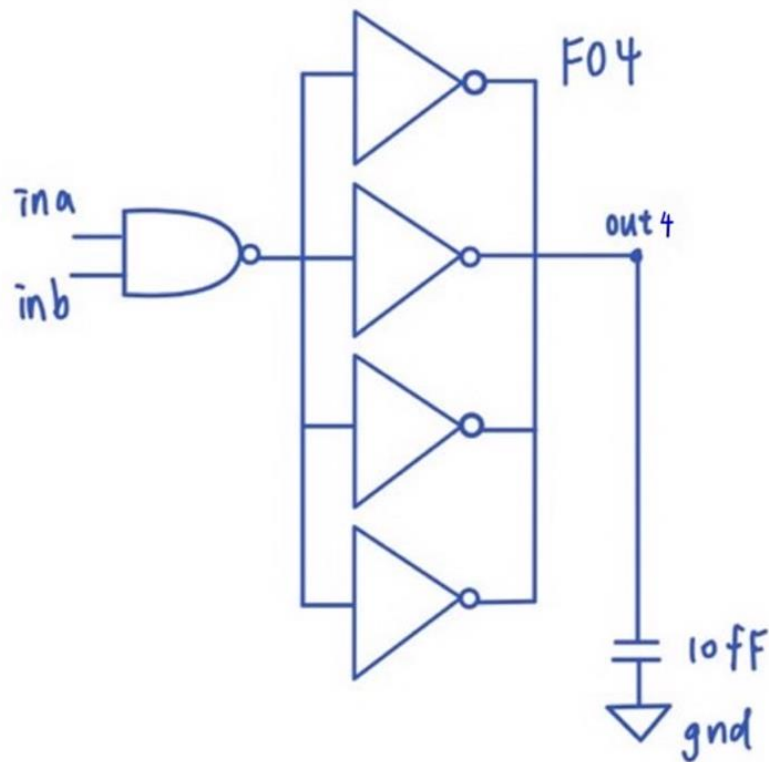
(表一、NOR 的 tpHL、tpLH、Tfall、Trise、數值)

Trise 及 Tfall 為觀察上升、下降 10%及 90%的間隔時間



(圖十九、tpHL、tpLH、Tfall、Trise 所代表的意義)

2. NAND + FO4 + 10fF



(圖二十、NOR + FO4 + 10fF 的電路圖)

電壓設定:Vdd 為 0.7 V，Vin 為 ina、inb 使用週期性訊號(pulse)

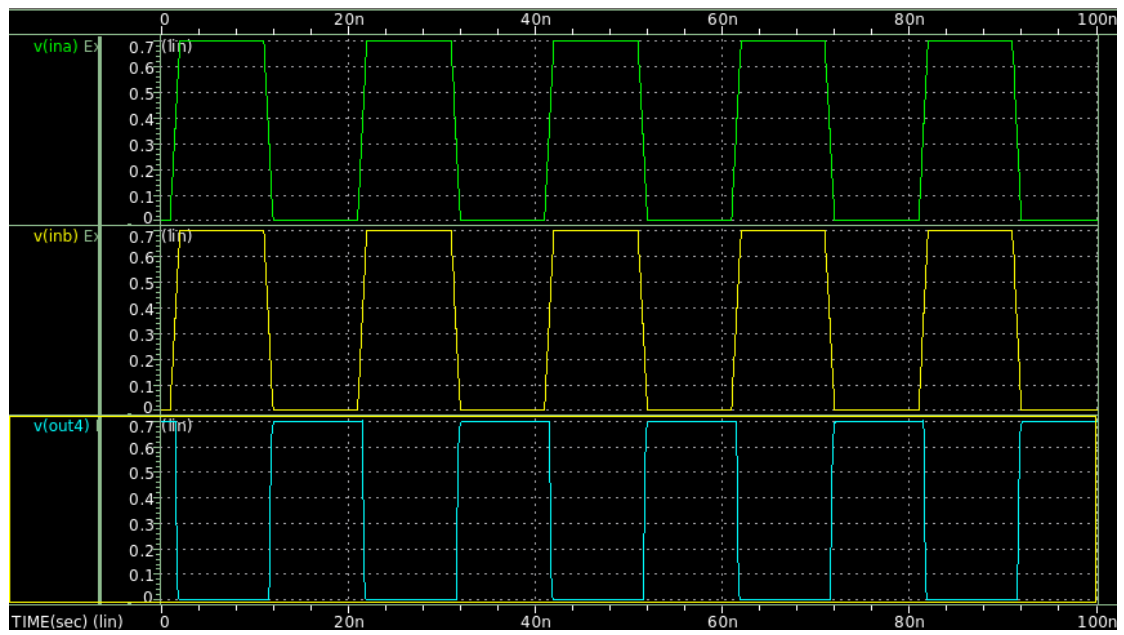
Vina ina pulse (0 0.7 1n 1n 1n 9n 20n)

Vinb inb pulse (0 0.7 1n 1n 1n 9n 20n)

out4 為負載端電壓(FO4+10fF 電容)

以下為 input(綠線為 ina、黃線為 inb)與 output(藍線)模擬之結果，可以看出與 NAND 的真值表相符

| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



(圖十三、NAND 模擬結果)

- 🚗 pwr=375n
- 🚗 temper=27
- 🚗 tfall=202p
- 🚗 tphl_nand2=133p
- 🚗 tplh_nand2=178p
- 🚗 trise=265p

(表二、NAND 的 tpHL、tpLH、Tfall、Trise、數值)