

Os sinais de entrada (RSTD) em azul e saída (RSTA) em vermelho do circuito são mostrados na figura 2.

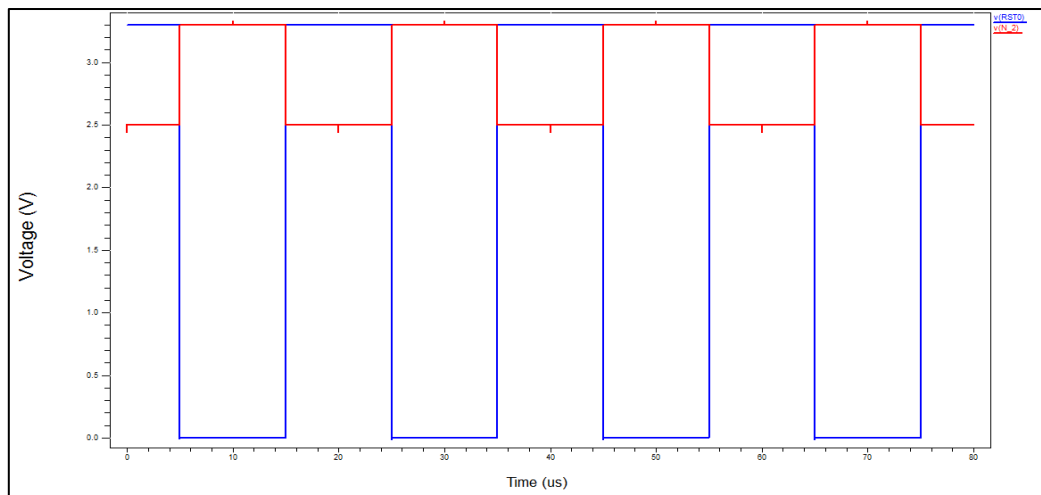


Figura 2 - Forma de Onda RSTD e RSTA

O circuito RST da figura 1 está dividido em três outros circuitos. No canto superior esquerdo temos um **Inversor Lógico**. Logo abaixo temos uma estrutura que está sendo usada para gerar um atraso com relação ao sinal **RSTD**, e por fim temos o circuito que recebe tanto o sinal invertido do **RSTD** no terminal de porta do primeiro transistor **PMOS** e o sinal de **RDRD** com certo atraso entrando no terminal de porta do segundo transistor **PMOS**. Quando se considera o pulso de **RDRD** em alto, temos a seguinte situação acontecendo na estrutura que contém os dois transistores **PMOS**:

- O transistor mais acima fica em alta impedância ou corte devido o sinal em alto ser aplicado diretamente no terminal de porta do transistor **PMOS**, enquanto que o transistor mais abaixo está em condução fazendo com que o potencial do terminal de **ERST** com o valor de 2.5 V esteja conectado diretamente com o terminal de **RSTA**, sendo assim o valor de tensão do terminal de **RST** será de 2.5 V.

- A segunda situação a ser considerada apresenta-se de forma inversa, temos que quando o pulso estiver em nível baixo o transistor **PMOS** mais acima da estrutura estará com este sinal de nível baixo sendo aplicado ao terminal de porta do transistor, fazendo com que o mesmo entre em condução, enquanto que o segundo transistor estará com o sinal invertido e logo entrará em alta impedância, neste caso o terminal de **RSTA** terá o mesmo valor que o terminal de **VDD**.

1.2 Esquemático do circuito de Controle (CTR)

O seguinte esquemático para o circuito de controle foi montado conforme mostrado na figura 3, com os devidos terminais de entrada e saída conectados.

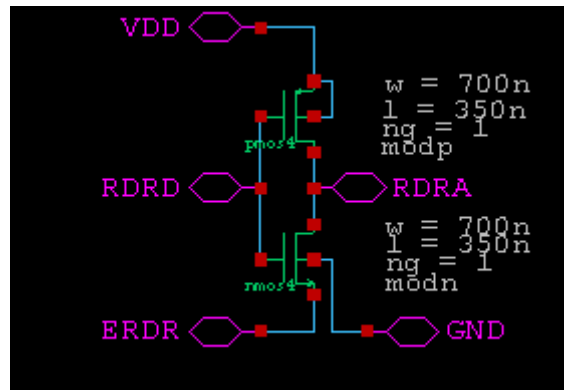


Figura 3 - Esquemático CTR

No circuito acima temos as seguintes alimentações para as portas I/O.

- **VDD**: Alimentação DC do Circuito com o valor de 3.3 [V]
- **GND**: Terra Global do Circuito.
- **ERDR**: Fonte de Alimentação DC que pode variar entre GND e VDD e que para esta demonstração foi escolhido o valor 1.4V.
- **RDRD**: Sinal de Entrada do Circuito Reset apresenta os seguintes parâmetros: Período de 20us, Largura de Pulso de 10 us, VHigh 3.3[V] e VLow 0[V].
- **RDRA**: Sinal de Saída do Reset tem os seguintes parâmetros: Período de 20us, Largura de Pulso de 10us, VHigh 3.3[V] e VLow 1.4[V].

Os sinais de entrada (CTR_x) em azul e saída (CTR) em vermelho do circuito, estão demonstrado na figura 4.

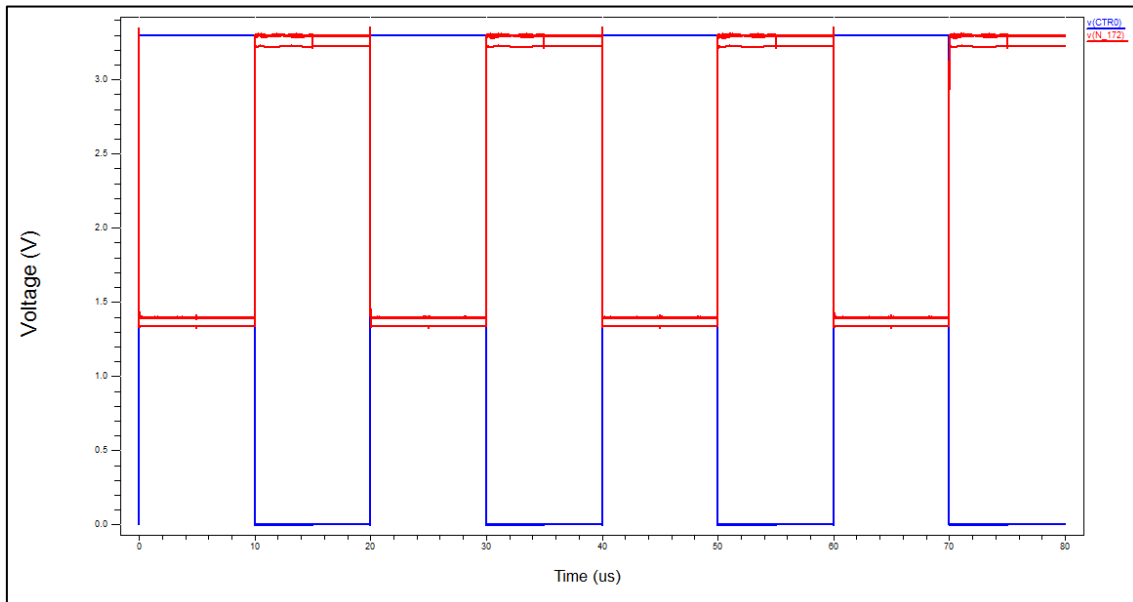


Figura 4 - Formas de Onda RDRD e RDRA

Através da figura 4 pode-se entender melhor o funcionamento do circuito. Temos dois instantes a serem considerados nas formas de onda, quando **RDRD** está em alto com o valor de 3.3V, o **Transistor PMOS** do esquemático mostrado na figura 3 está aberto, enquanto que o transistor **NMOS** está conduzindo e o ponto **RDRA** assume o valor da fonte **ERDR** com o valor de 1.4 [V]. O Segundo momento a ser considerado é o **RDRD** em baixo, temos agora a situação

inversa, o **Transistor PMOS** está conduzindo enquanto que o transistor **NMOS** estará em corte e o ponto **ECTR** assume o valor de **VDD**.

2 Leiaute

2.1 Leiaute do circuito RST_CTR

O Leiaute da célula RST_CTR é apresentado a seguir:

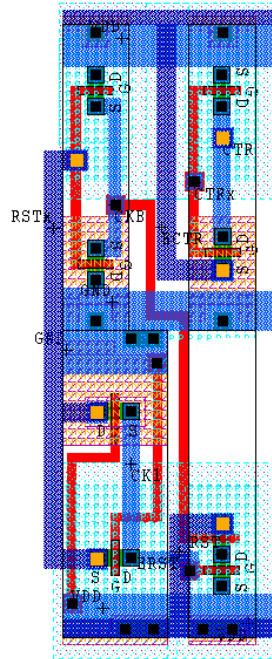


Figura 5 - Leiaute da célula RST_CTR

Os dois circuitos RST e CTR estão em uma mesma célula, como se pode ver na figura 5. Na figura 6, estão destacados os dois circuitos: (1) RST e (2) CTR.

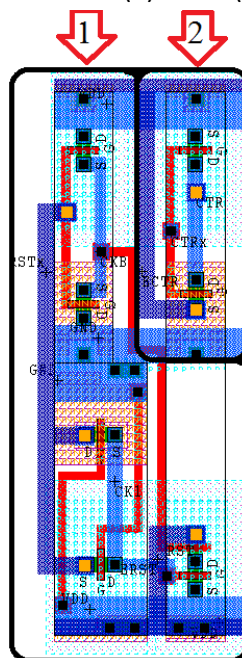


Figura 6 - Leiaute das células RST(1) e CTR(2)

2.2 DRC

O DRC do circuito apresenta um problema de SPEC que pode ser desconsiderado. Pois como a ferramenta de DRC não reconheceu o terminal VDD ele considerou que os poços n que deveriam ser ligados a VDD estão HOTS, mas na verdade não estão. Desta forma este erro não acarretará necessariamente em quebra de regras de DRC.

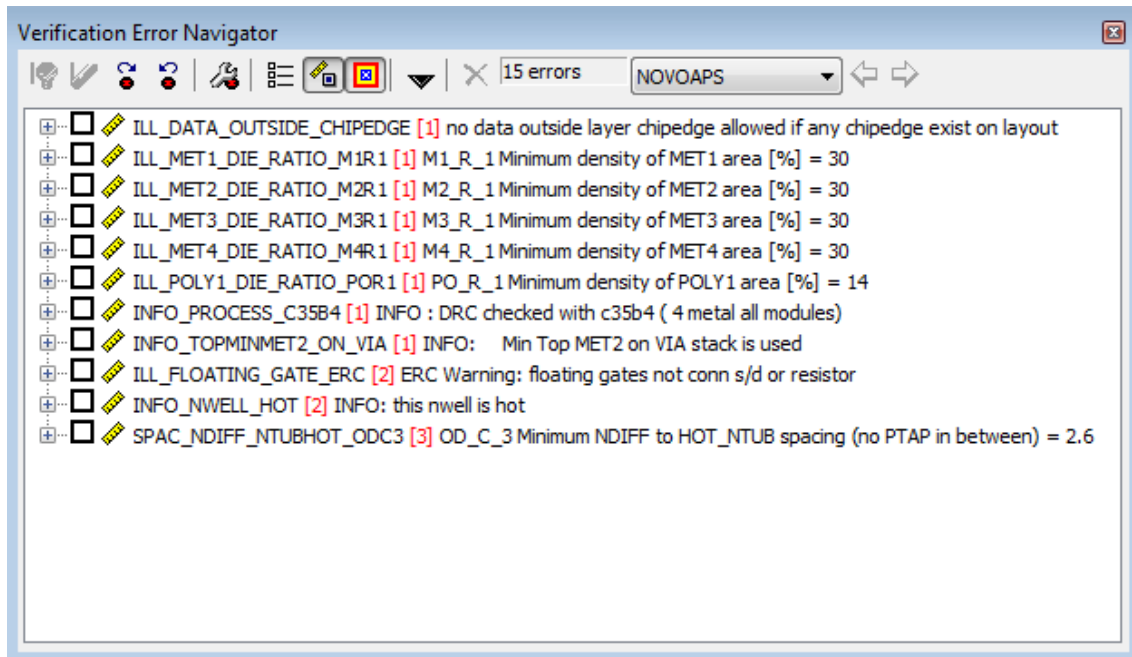


Figura 7 - DRC da célula RSTRDR

3 LVS

3.1 Netlist do Esquemático

Para obter o netlist do esquemático do T-Gate, deve-se seguir o menu: **File=>Export=>Export SPICE...** Abrirá a seguinte janela:

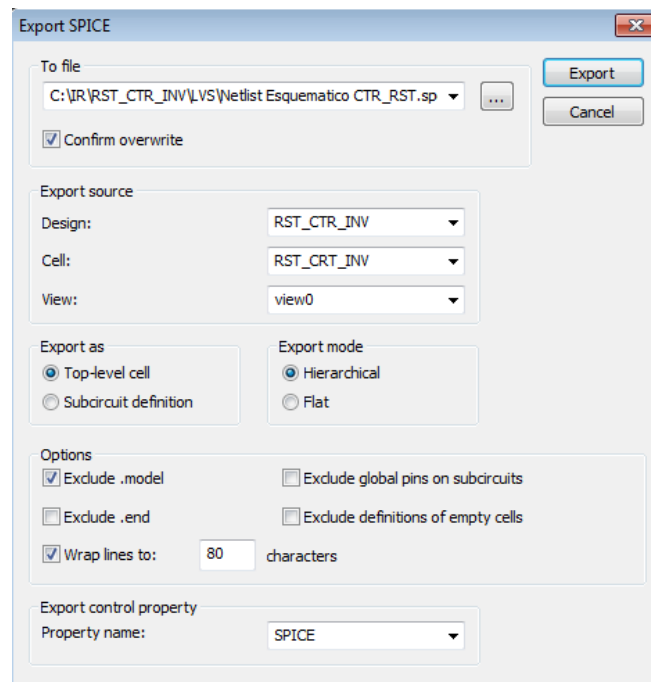


Figura 8 - Extração do netlist do esquemático

No campo **To File** deve-se colocar o endereço **C:\IR\TGate\LVS\Netlist Esquemático CTR_RST.spc**, que onde será armazenado o arquivo do netlist. Em seguida clicar em **Export**.

3.2 Netlist do Leiaute

Para obter o netlist do leiaute do T-Gate, no menu **Verification** (figura 9), deve-se clicar no ícone **Setup Extract** .



Figura 9 - Menu Verification

Abrirá a seguinte janela:

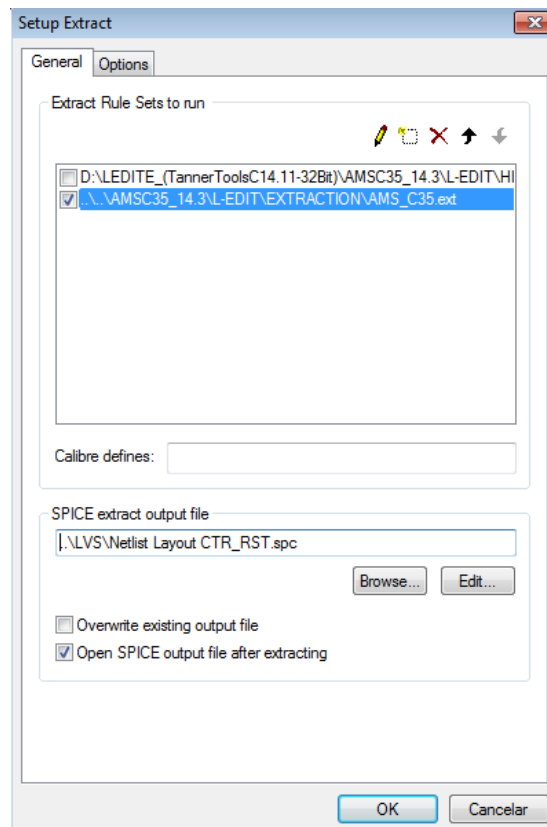



Figura 10 - Extração do netlist do Leiaute

No campo **Extract Rule Sets to run** indicamos o seguinte diretório **AMSC35_14.3\L-EDIT\HUPER\HiPerVerify_c35b4rules**. No campo **SPICE extract output file** coloca-se o diretório **C:\IR\TGate\LVS\Netlist Layout CTR_RST.spc** que é local onde será salvo o arquivo de Netlist.

Para gerar o Netlist clica-se no ícone **Perform Extract on active cell**  e automaticamente será gerado o arquivo Netlist no diretório indicado.

3.3 LVS

Com o Netlist do Leiaute e Esquemático gerados, abre-se a ferramenta LVS para compará-los. Criando um **New File** do tipo LVS Setup, e então será aberta a janela da figura 11. No campo **Netlists**, coloca-se os respectivos arquivos anteriormente gerados.

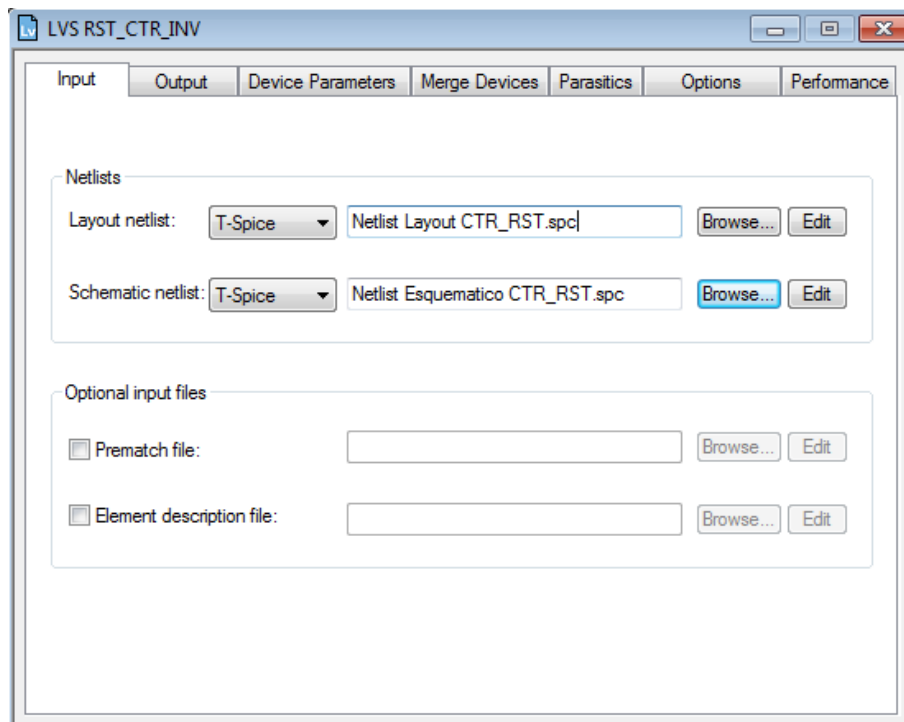


Figura 11 - LVS Setup

Na aba **Device Parameters**, ativar os itens **Areas** e **Parameters**. Em **Maximum element-value tolerance** e **Maximum geometric-value tolerance**, colocar a tolerância de 1%, como mostra a figura 12.

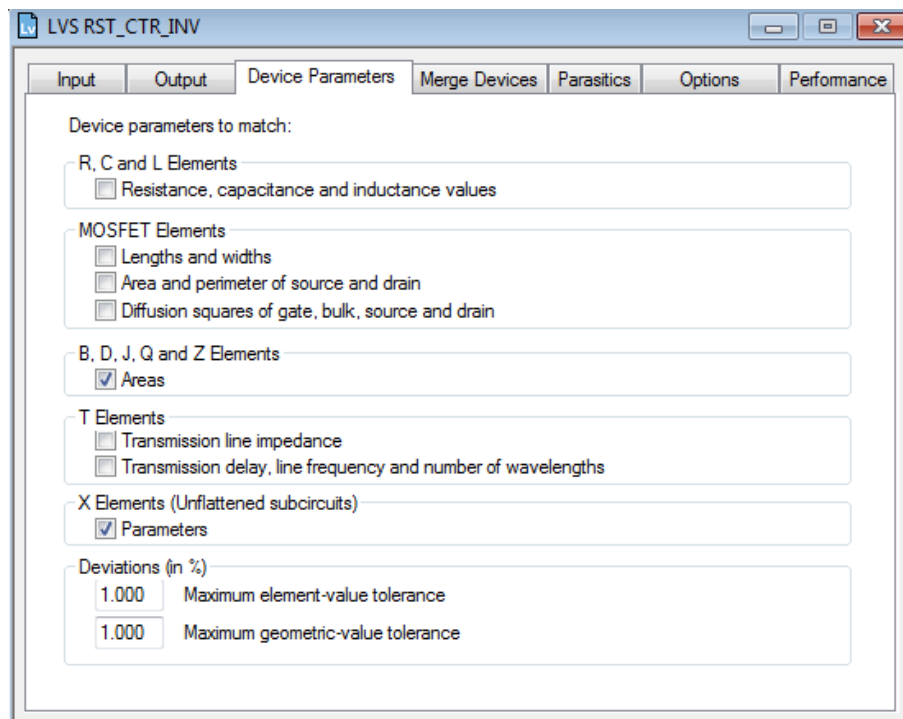



Figura 12 - Verificação com 1% de tolerância para Elementos e Áreas

Clicando no ícone **Run Verification** , a ferramenta irá verificar se os dois circuitos são iguais.

Device	Netlist Layout RowSel.spc	Netlist Esquemático RowSel.spc	Status
M_pmos4	5	5	
M_nmos4	3	3	
Total elements	8	8	
Total nodes	10	10	
Single-pin nodes	2	2	
***** FINAL RESULT *****			
Circuits are equal.			
Run time: 0:02 (min:sec)			
0 errors, 5 warnings			

Como pode-se ver acima, o LVS informa que os dois circuitos (esquemático e leiaute) são iguais.