



UFAM - Engenharia Elétrica

LUCIANO LOURENÇO FURTADO DA SILVA

## **CIRCUITOS DE CONTROLE ANALÓGICO PARA SENSORES DE IMAGEM DO TIPO APS**

Monografia de Graduação apresentada à Coordenação de Engenharia Elétrica, UFAM, da Universidade Federal do Amazonas, como parte dos requisitos necessários à obtenção do título de Engenheiro Eletricista.

Orientadores:

Carlos Augusto de Moraes Cruz

Manaus  
Março de 2014

CIRCUITOS DE CONTROLE ANALÓGICO DE SENSORES DE IMAGEM DO TIPO APS

Luciano Lourenço Furtado da Silva

MONOGRAFIA SUBMETIDA AO CORPO DOCENTE DO CURSO DE ENGENHARIA ELÉTRICA DA UNIVERSIDADE FEDERAL DO AMAZONAS COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE ENGENHEIRO ELETRICISTA.

Aprovada por:

---

Prof. MSc. Carlos Augusto de Moraes Cruz.

---

Prof. Dr. Eduardo Adriano Cotta.

---

Prof. Dr. Vicente Ferreira de Lucena Junior.

Manaus  
MARÇO de 2014

DA SILVA, Luciano Lourenço Furtado

Circuitos de Controle Analógico para Sensores de Imagem do tipo APS  
Principais/Luciano Lourenço Furtado da Silva. - Manaus:  
UFAM, 2014.

Orientador(es): Carlos Augusto Moraes Cruz

Monografia (graduação) - UFAM / Curso de Engenharia  
Elétrica, 2014.

Referências Bibliográficas:

1. Sensor APS. 2. Faixa Dinâmica. 3. Circuitos de controle Analógico.
- I. Moraes Cruz, Carlos Augusto.
- II. Universidade Federal do Amazonas, UFAM, Curso de  
Engenharia da Computação.

Resumo da Monografia apresentada à UFAM como parte dos requisitos necessários para a obtenção do grau de Engenheiro Eletricista

## CIRCUITOS DE CONTROLE ANALÓGICO PARA SENSORES DE IMAGENS DO TIPO APS

Luciano Lourenço Furtado da Silva

Março/2014

Orientadores: Carlos Augusto de Moraes Cruz

Curso: Engenharia Elétrica

Os Sensores de imagem CMOS do tipo APS vêm ganhando um espaço cada vez maior no mercado de sensores a semicondutor. Em diversas aplicações, existe a necessidade de sensores APS com elevada faixa dinâmica, que pode ser entendida como a relação entre a máxima intensidade luminosa que causaria a saturação do sensor e a menor intensidade que seria detectada pelo circuito de leitura. O APS possui basicamente dois modos de operação: o linear e o logarítmico. No modo linear, o sensor tem boa sensibilidade para baixos níveis de luminosidade, porém um curto alcance dinâmico para altos níveis de luminosidade; enquanto que no modo logarítmico apresenta largo alcance dinâmico para altos níveis de luminosidade mas pouca sensibilidade com pouca iluminação. Para que se tenha o melhor dos dois mundos, os sensores de imagem do tipo APS podem funcionar nos modos linear e logarítmico combinados.

Este trabalho desenvolve os circuitos que controlam o modo de operação do sensor e os circuitos utilizados para aquisição de dados. São apresentadas as estruturas mais adequadas a serem implementadas; o desenvolvimento dos diagramas esquemáticos e a descrição dos circuitos são apresentados acompanhados de resultados de simulação; em seguida são desenvolvidos os layouts desses circuitos. Uma matriz de 8x8 pixels foi fabricada em processo CMOS padrão de 0,35  $\mu\text{m}$ . O protótipo desenvolvido contém toda a lógica de endereçamento e leitura dos pixels, bem como blocos para aquisição dos sinais. Os objetivos da topologia proposta são comprovados por resultados experimentais.

Abstract of Monograph presented to UFAM as a partial fulfillment of the requirements for the degree of Electrical Engineer

## ANALOG CONTROL CIRCUITS FOR IMAGE SENSORS TYPE APS

Luciano Lourenço Furtado da Silva

March/2014

Advisors: Carlos Augusto de Moraes Cruz

Course: Electrical Engineering

The sensors of the type APS CMOS image are gaining a growing space in the market for semiconductor sensors. In many applications, a need exists for APS sensor with high dynamic range which can be defined as the ratio of the maximum luminous intensity would cause saturation of the sensor and the lowest intensity that would be detected by the reading circuit. The APS has basically two operating modes: linear and logarithmic. In linear mode, the sensor has good sensitivity to low light levels, but a short dynamic range for high light levels, whereas in logarithmic mode shows wide dynamic range for high levels of brightness but low sensitivity in dim lighting. To have the best of both worlds, the image sensors of the type APS can operate in linear and logarithmic modes combined.

This paper develops the circuits that control the operating mode of the sensor and circuits used for data acquisition. The most appropriate structure to be implemented is presented, the development of schematics and a description of the circuits are shown together with the results of the simulation, then the layouts of these circuits are developed. An array of 8x8 pixels was fabricated in standard CMOS 0.35  $\mu\text{m}$  process. The prototype contains all the logic for addressing and reading of pixels, as well as blocks for signal acquisition. The objectives of the proposed topology are verified by experimental results.

# SUMÁRIO

INTRODUÇÃO .....	12
1. CAPÍTULO I: SENSORES DE IMAGEM .....	13
1.1 Sensores de imagem CMOS (Complementary Metal Oxide Semiconductor) .....	14
1.2 Sensor de Pixel Passivo (PPS).....	14
1.2 Sensores de Pixel Ativo (APS).....	15
1.2.1 Sensor APS no modo de operação LINEAR.....	15
1.2.2 Sensor APS no modo de operação LOGARÍTMICO.....	17
1.2.3 Sensor APS no modo de operação LIN-LOG .....	18
2. CAPÍTULO II: DESENVOLVIMENTO DAS ESTRUTURAS MAIS ADEQUADAS PARA CONTROLE DA MATRIZ DE PIXELS .....	21
2.1 Desenvolvimento dos Circuitos de Leitura .....	21
2.1.1 Operação do Transistor NMOS como chave .....	22
2.1.2 Utilização da Porta de Transmissão como chave .....	25
2.1.3 Conclusões e Observações sobre os circuitos escolhidos .....	30
2.2 Desenvolvimento dos circuitos moduladores de sinal .....	30
3. CAPÍTULO III: DESENVOLVIMENTO DOS DIAGRAMAS ESQUEMÁTICOS DOS CIRCUITOS DE LEITURA E MODULADORES DE SINAL .....	34
3.1 Desenvolvimento dos diagramas esquemáticos dos circuitos de leitura e operação dinâmica do Inversor Analógico .....	34
3.1.1 Cálculo do tempo de propagação da porta inversora.....	37
3.1.2 Diagrama esquemático do Circuito de Controle Analógico de leitura: Porta de Transmissão (T-GATE).....	39
3.1.2 Simulação do circuito T-GATE .....	40
3.2 Desenvolvimento dos diagramas esquemáticos dos circuitos moduladores .....	41
3.2.1 Diagrama esquemático do circuito de modulação RDR.....	41
3.2.2 Diagrama esquemático do circuito de modulação RST.....	43
4. CAPÍTULO IV: DESENVOLVIMENTO DOS LAYOUTS DOS CIRCUITOS DE CONTROLE.....	50
4.1 Layout do circuito habilitador de leitura: T-GATE.....	51

4.2 Layouts dos circuitos Moduladores: Inversor Tradicional e com 2 Transistores PMOS .....	53
4.1.1 Layout do circuito RDR: Inversor Tradicional .....	53
4.1.2 Layout do circuito RST: Inversor utilizando dois transistores PMOS .....	54
4.1.3 Layout e esquemático RDR_RST .....	56
5. CAPÍTULO V: TESTES DO FUNCIONAMENTO DO SENSOR NO MODO DE OPERAÇÃO LINEAR E LOGARÍTMICO .....	58
6. Capítulo VI: CONCLUSÃO .....	63
6.1 Proposições para trabalhos futuros .....	63
REFERÊNCIAS BIBLIOGRÁFICAS .....	67

## LISTA DE FIGURAS

Figura 1.1: Sensor PPS.....	14
Figura 1.2: Circuito APS3T operando no modo linear .....	16
Figura 1.3: Resposta do APS3T (LINEAR) e leitura da saída .....	17
Figura 1.4: Circuito APS3T operando no modo logarítmico .....	18
Figura 1.5: Resposta do APS3T(LOG) e leitura da saída .....	18
Figura 1.6: Circuito APS3T operando no modo linear e logarítmico.....	19
Figura 1.7: Resposta do APS3T(LIN-LOG) e leitura da saída .....	20
Figura 1.8: Ampliação da região de leitura da saída do pixel APS3T LIN-LOG .....	20
Figura 2.1: Transistor de passagem e T-GATE [2] .....	22
Figura 2.2: Operação dinâmica do transistor de passagem como chave [1] .....	23
Figura 2.3: Operação dinâmica do transistor de passagem como chave [1] .....	24
Figura 2.4: Operação dinâmica T-GATE [1] .....	25
Figura 2.5: Operação dinâmica do T-GATE [1].....	27
Figura 2.6: APS3T .....	31
Figura 2.6: Sinal RDR.....	31
Figura 2.7: Sinal de RST .....	32
Figura 2.8: Sinal de RDRX .....	32



Figura 2.9: Sinal de RSTX .....	32
Figura 2.10: Sinal de RSTX .....	33
Figura 3.1: Operação dinâmica do transistor do inversor CMOS .....	35
Figura 3.3: Diagrama esquemático do circuito T-GATE.....	40
Figura 3.4: Sinal de entrada (a) e saída (b) do T-gate na situação habilitada .....	41
Figura 3.5: Circuito Inversor RDR .....	42
Figura 3.6: Sinal de entrada (a) e saída (b) do Circuito Inversor de DRD.....	43
Figura 3.8: Resposta do inversor da figura 2.7.....	45
Figura 3.8: Esquema do inversor Lógico com dois transistores PMOS .....	45
Figura 3.10: Circuito equivalente do Inversor 2PMOS na situação de descarga do capacitor parasita. ....	46
Figura 3.11: Circuito inversor PMOS .....	47
Figura 3.12: Resposta do inversor Double PMOS: entrada (a) e saída (b) .....	48
Figura 3.13: Circuitos de controle, endereçamento e pixel APS3T .....	49
Figura 4.1: (a) Transistor NMOS, (b) CntPoly1 contato entre Metall e Polisilício, (c) Camada de MET1, (d) Camada POLY1 .....	50
Figura 4.2: Layout do transistor PMOS .....	51
Figura 4.3: Diagrama esquemático do circuito T-GATE.....	51
Figura 4.4: Layout do circuito T-GATE .....	52

Figura 4.5: Layout do T-GATE fornecido recomendado pelo fabricante.....	53
Figura 4.7: Layout do circuito Inversor Tradicional.....	54
Figura 4.8: Inversor utilizando dois transistores PMOS com Inversor na entrada .....	54
Figura 4.9: Inversor 2PMOS .....	55
Figura 4.10: Layout (a) e diagrama esquemático (b) Finais do Circuito RST .....	56
Figura 4.11: Layout (a) e diagrama esquemático (b) Finais do Circuito RDR_RST .....	57
Figura 4.12:Layout completo .....	57
Figura 5.1: resposta do sensor ao escuro.....	58
Figura 5.2: Luminosidade do ambiente.....	59
Figura 5.3: Luminosidade do ambiente.....	59
Figura 5.4: Luminosidade do ambiente.....	60
Figura 5.5: Luminosidade do ambiente.....	60
Figura 5.6: Luminosidade do ambiente.....	61
Figura 5.7: Luminosidade do ambiente.....	61
Figura 5.8: Resposta do sensor nas simulações realizadas.....	62
Figura 5.9: Testes do sensor operando modo linear e logarítmico .....	62
Figura 6.1: Diagrama esquemático final do circuito RST.....	64
Figura 6.2: Forma de onda no nó VN01 .....	65

Figura 6.2: Forma de onda no nó VN01 .....	65
Figura 6.3: Forma de onda no nó VN01 (Ampliação no ponto crítico).....	65
Figura 6.4: Forma de onda no nó VN01 sem o circuito de atraso .....	66

# INTRODUÇÃO

O sensor de imagem é um sistema que captura luz e a converte em um arquivo digital. Os sensores de imagem são constituídos por matrizes de elementos fotossensíveis, dispostos em uma ou mais linhas que são submetidos à exposição luminosa do ambiente durante certo tempo e mapeiam o nível de luminosidade recebido sobre sua superfície com um sinal elétrico proporcional, repassando esse sinal para um elemento processador, que irá digitalizar e armazenar o sinal em uma memória de rápido acesso para futuro processamento.

Em 1975, o engenheiro elétrico Steve Sasson, em um de seus laboratórios de pesquisa da Kodak, inventou uma revolução em termos de máquinas fotográficas, não sendo bastante discreta mais tendo um caráter digital, a primeira máquina fotográfica digital gravava as imagens em uma fita cassete, tinha como o seu sensor já o revolucionário CCD. O seu único problema era a velocidade de processamento da imagem, era de aproximadamente de 23 segundos para a formação da imagem em preto e branco, com uma escala quadrada de 100x100px, neste equipamento era acoplado a ele um reproduzidor de fita cassete e também a fita onde eram gravadas as imagens interligadas a uma televisão que visualizava a fotografia [7].

Em 1976 a Kodak a está com a máquina desenvolvida, mais somente no ano de 2001 assumiu publicamente, que “teve em suas mãos a primeira câmera fotográfica digital do mundo”. Hoje em dia dispomos em nossas mãos câmeras digitais com quase o mesmo mecanismo e princípios básicos de funcionamento de uma máquina de filme fotográfico. Ambas têm como característica o feixe de luz que incide na superfície do coletor, que vem através de uma lente ou também dependente da especificação do equipamento (um conjunto de lentes), estes são os sensores CCD e CMOS, que estão presentes em câmeras fotográficas digitais [7].

Este trabalho é composto de 6 capítulos além da introdução.

Como o foco deste trabalho está no desenvolvimento dos circuitos de controle necessários para a operação e leitura dos sinais da matriz do sensor de imagem do tipo APS, no capítulo 1, faremos uma pequena introdução desse tipo de sensor e os modos de operação que ele pode trabalhar.

Nos capítulos seguintes, veremos como se dá o fluxo de projeto necessário ao desenvolvimento, fabricação e implementação dos desses circuitos de controle. No ultimo capítulo, é apresentada a conclusão do trabalho e proposições para trabalhos futuros.

# 1. CAPÍTULO I: SENSORES DE IMAGEM

O fotodetector é o principal elemento de um sensor de imagem. Existem diversos tipos de sensores, principalmente os térmicos, de raios gama, de raios X e os visíveis. Para este trabalho, o que mais nos interessa são os sensores de imagens visíveis, mais especificamente os CMOS do tipo APS como veremos mais a seguir. Nos anos 70, surgiu a tecnologia CCD (Charge Coupled Device) que deu lugar as câmeras de vídeo VHS, Betacam. Com isso, Os grandes e pesados displays que essas câmeras utilizavam, foram substituídos por pequenos chips, leves e mais eficientes sendo utilizados na maioria dos sistemas de aquisição de imagens, tais como: Máquinas fotográficas digitais, scanners de alta velocidade, sistemas de vídeo de segurança, sistemas de reconhecimento de imagens para uso militar, etc. Buscou-se, na época também, fazer sensores de imagem CMOS, mas como o CCD apresentava sempre uma resolução dos tons de luminosidade melhor que o CMOS, este nunca foi utilizado em câmeras de vídeo para produção, tendo sido usadas em câmeras de baixo custo para aplicação em vigilância durante vários anos.

A evolução na fabricação de sistemas digitais CMOS permitiu, nos últimos anos, que os circuitos integrados atingissem pequenas dimensões. Este fato, aliado a uma baixa dissipação de potência, possibilitou uma integração em altíssima escala, fazendo ressurgir o interesse na utilização de sensores de imagens CMOS. Com isso, no início dos anos 90, no *Jet Propulsion Laboratory* (JPL) da NASA surgiu o APS (*Active Pixel Sensor*), possibilitando a fabricação direta de funções como zoom, diferentes resoluções de aquisições, acesso aleatório, etc., podendo executar todas as funções do CCD e sendo uma real alternativa para esta tecnologia.

A tecnologia CCD exige um controle externo ao chip do mesmo para a leitura das cargas armazenadas em cada pixel. Além disso, na saída do CCD, o sinal de carga precisa ser amplificado e tratado individualmente. Já o sensor APS atual, com a miniaturização da tecnologia CMOS, permite colocar um amplificador em cada pixel. Todo circuito de controle necessário pode ser colocado no mesmo chip e é sobre alguns destes circuitos que trata este trabalho. Na próxima seção veremos quais os tipos de sensores CMOS e os modos de funcionamento do circuito APS.

## 1.1 Sensores de imagem CMOS (Complementary Metal Oxide Semiconductor)

O sensor CMOS foi criado por Erick R. Fossum, que teve como base o sensor CCD para sua invenção em meados do final da década de 80 para o início da década de 90. Os sensores CMOS têm a mesma capacidade de gerar uma carga elétrica proporcional à intensidade luz que incide na superfície do sensor. Os sensores CMOS tem em cada pixel um circuito constituído de fotodiodos, transistores e capacitores interligados e formando assim um pixel individual. Dentro do escopo de sensores de imagem existem dois tipos de sensores de imagem classificados pelo tipo de pixel implementado: O Sensor de Pixel Passivo (*Passive Pixel Sensor* - PPS) e o Sensor de Pixel Ativo (*Active Pixel Sensor* – APS).

## 1.2 Sensor de Pixel Passivo (PPS)

Em 1967, um dos estudos de MR. Gene P. Weckler foi à relação ao pixel passivo da matriz PPS, onde cada elemento consiste de um elemento fotossensível (fotodiodo) e um transistor como pode ser apreciado na figura 1.1.

O funcionamento do PPS pode se simplificado da seguinte forma: o transistor de passagem, quando habilitado, faz a transferência do sinal para o amplificador de integração de carga. Os sensores PPS também tem a característica de memória dinâmica chamado de “DRAM”, que é um tipo de memória RAM de acesso direto e ele armazena cada sinal do pixel em um capacitor. O sinal de saída que é recebido pelo amplificador da saída em cada coluna um por um onde é transmitido apenas para um único amplificador. [9]

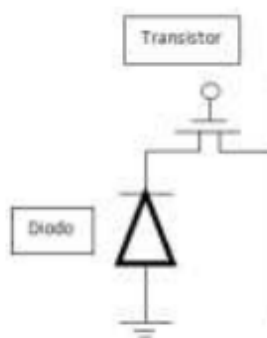


Figura 1.1: Sensor PPS

## 1.2 Sensores de Pixel Ativo (APS)

O Sensor de pixel ativo tem como principal característica possuir um amplificador. O sensor APS é composto de uma matriz de circuitos lógicos que fazem a seleção das linhas e das colunas da matriz sensorial, circuitos amplificadores de saída, conversores A/D e um circuito de sincronização e controle, fora esses citados posteriormente podem se acoplar mais circuitos ao sensor, isso depende da aplicação no qual se deseja utilizar.

O pixel de APS é composto de fotodiodo e de um circuito isolante, onde se faz a conexão elétrica entre o sinal do pixel e o circuito de saída, entre várias estruturas presente dentre as células do APS, os tipos de dispositivos mais empregados em seus pixels são os fotodiodos e pixel ativo com o fotogate.

Os pixels onde são presentes os fotodiodos além também dos transistores são seguidos das fontes que são ligados ao mesmo fotodiodo, nesse conjunto de dispositivos interligados entre si, ainda se faz presente dois tipos de transistores onde um tem como função o “reset” que inicializa o pixel no qual se faz presente e outra que faz a seleção de célula que conecta ao barramento [10].

Em 1987 começaram a serem desenvolvidos os primeiros sensores CMOS com APS.

### 1.2.1 Sensor APS no modo de operação LINEAR

O circuito do sensor APS funcionando no modo linear é mostrado na figura 1.2. Ele é composto de três transistores e um fotodiodo. O transistor M1 é chamado de transistor de carga e tem a função de “reset” do fotodiodo. O funcionamento se dá, basicamente da seguinte maneira: Quando o sinal de reset na porta do transistor de carga está em nível alto, o capacitor do fotodiodo é totalmente carregado e é estabelecida uma tensão de referência  $V_p$  no nó SN. Esse valor de tensão indica o valor de escuro, ou seja, ausência de luminosidade. Quando o sinal de reset baixa, o transistor de carga estará em corte. Se o sensor estiver em um local com ausência de luminosidade, a tensão de referência será o valor de tensão lido. Contudo, se houver incidência luminosa sobre o sensor, o fotodiodo gera uma corrente que reduz a tensão de  $V_p$  para  $V_p - \Delta V_p$ . Quanto maior a intensidade luminosa maior será o valor de  $\Delta V_p$  e menor será o valor de tensão lido. O transistor M2 nada mais é do que um amplificador, conhecido como seguidor de fonte ou dreno comum, que serve para isolar eletricamente o sinal do fotodiodo; possui alta impedância de entrada, baixa impedância de saída e ganho aproximadamente unitário. O transistor M3 tem a função de deslocar a carga

contida no fotodiodo quando acionado. O circuito do pixel consiste dos transistores M1, M2, M3 e de um fotodiodo; o transistor M4 é externo ao circuito do pixel e funciona como um resistor. Logo podemos fazer as seguintes observações sobre o funcionamento básico do circuito APS:

- O nível de tensão de referência indica ausência de luminosidade;
- Enquanto os menores níveis de tensão no nó SN indicam maior luminosidade incidente no fotodiodo;

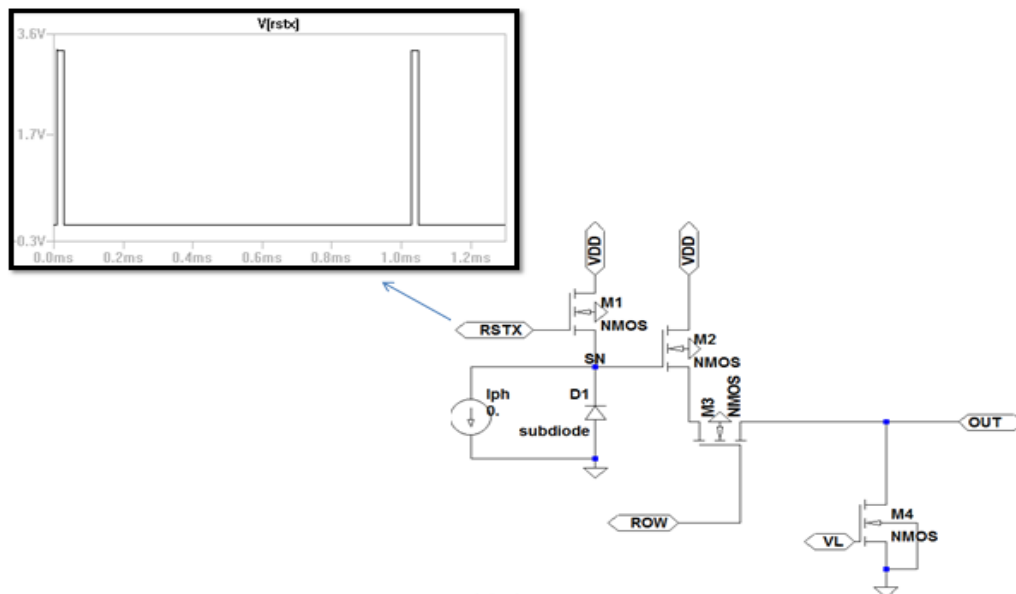


Figura 1.2: Circuito APS3T operando no modo linear

Na figura 1.3 podemos apreciar a resposta do sensor para vários níveis de luminosidade variando de a corrente fotogerada de 1p a 10n. Podemos observar que, funcionando no modo de operação linear, para baixos níveis de luminosidade a tensão no nó SN tem um comportamento linear. Porém, quanto maior a luminosidade, a forma linear da curva se suprime mais rapidamente; dessa forma o tempo de amostragem selecionado não está bem posicionado para se ter uma amostra satisfatória do sinal e nessas condições seria lido praticamente sempre o mesmo nível de tensão. Do ponto de vista de uma imagem produzida, o observador veria uma imagem branca sem muitos detalhes. Nestas condições dizemos que houve a saturação do pixel. Podemos observar também um bom alcance dinâmico, que é a diferença entre o maior e o menor nível de luminosidade que pode ser detectado pelo fotodiodo.



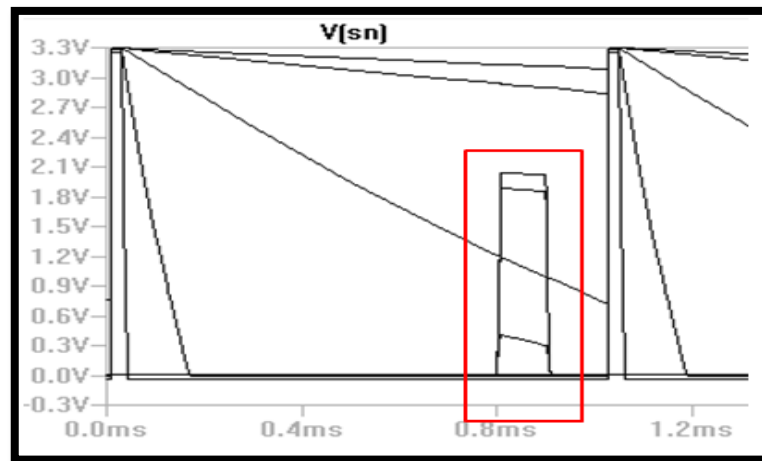


Figura 1.3: Resposta do APS3T (LINEAR) e leitura da saída

### 1.2.2 Sensor APS no modo de operação LOGARÍTMICO

O circuito do sensor APS funcionando no modo logarítmico é mostrado na figura 1.4. O circuito é composto pelo mesmo número de transistores e um fotodiodo; os transistores possuem as mesmas funções descritas para operação no modo linear, com exceção do transistor de carga que agora possui o seu terminal de porta conectado diretamente a alimentação. Dessa forma, o transistor funciona como um diodo e o capacitor do fotodiodo se carrega praticamente na tensão da fonte; sempre que houver incidência luminosa sobre o fotodiodo, será gerada uma corrente que tende a reduzir a tensão no nó SN.

A resposta de tensão nesse nó e a tensão lida na saída podem ser apreciadas na figura 1.5. Os níveis tensão mais próximos da alimentação representam; a medida que a intensidade luminosa aumenta, a tensão no nó SN cai, devido a corrente fotogerada com já foi mencionado anteriormente. Observe que, nesse regime de operação, para baixos níveis de luminosidade os níveis de tensão são muito próximos não podendo ser discretizados de forma eficiente como os níveis de maior luminosidade. Isto pode ser observado na tentativa de leitura desses níveis. Logo, para altos níveis de luminosidade (maiores valores de corrente fotogerada) o pixel em regime logarítmico funciona bem, pois em sua saída são registradas amostras que podem ser discretizadas. Porém, para baixos níveis de luminosidade, os níveis de tensão registrados são praticamente os mesmos; nestas condições, do ponto de vista de uma imagem produzida, o observador veria sempre uma imagem escura sem muitos detalhes.

Observamos também, que o pixel em regime logarítmico possui larga faixa dinâmica, pois não satura em altos níveis de luminosidade.

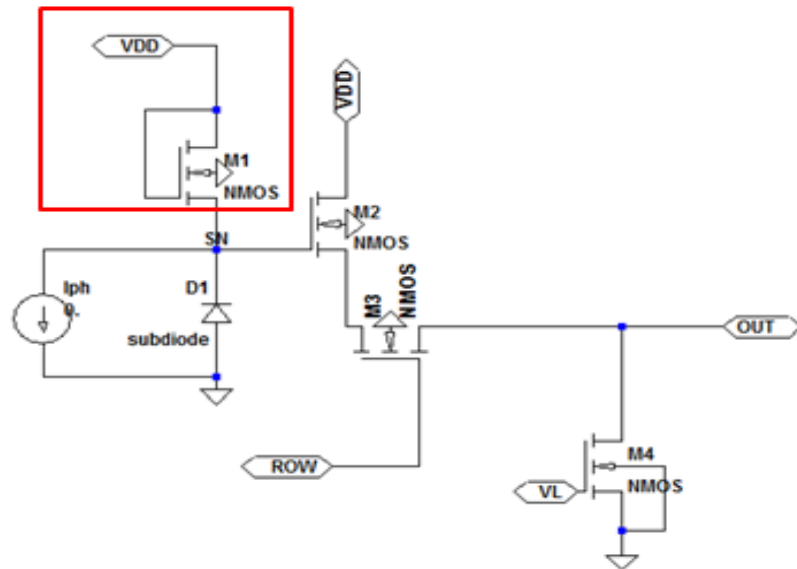


Figura 1.4: Circuito APS3T operando no modo logarítmico

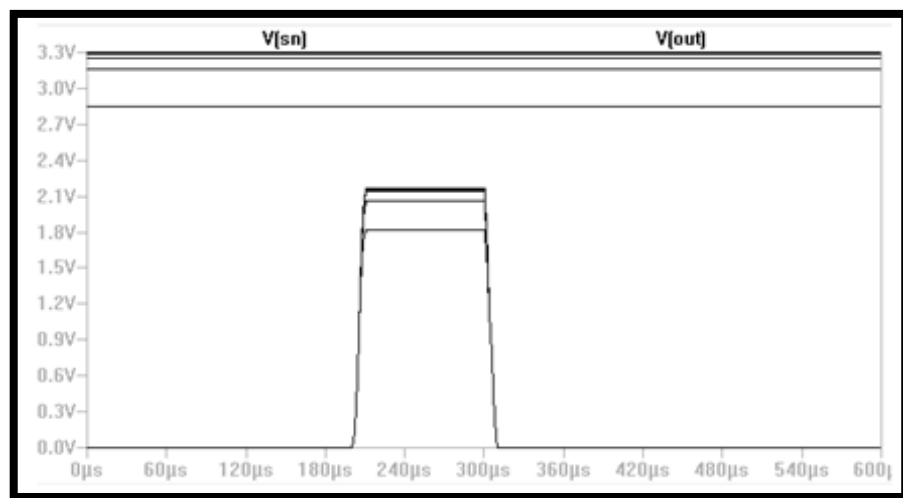


Figura 1.5: Resposta do APS3T(LOG) e leitura da saída

### 1.2.3 Sensor APS no modo de operação LIN-LOG

O sensor APS pode funcionar de uma forma híbrida entre o modo linear e o logarítmico. O circuito do pixel APS3T LIN-LOG, pode ser apreciado na figura 1.6. observe que o circuito é o mesmo do pixel funcionando em modo linear.

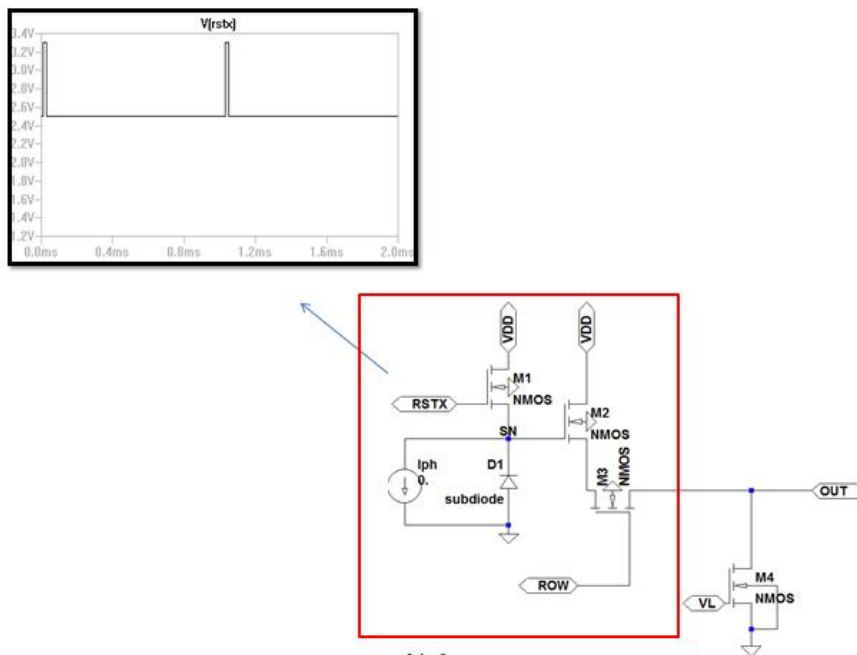


Figura 1.6: Circuito APS3T operando no modo linear e logarítmico

A diferença está no nível baixo do sinal de reset aplicado à porta do transistor de carga M1 que varia de 2,5V a 3,3V. Foi observado que ao elevar o valor do nível baixo de reset, a curva da resposta da tensão no nó SN era deslocada para cima. Isso tornou possível a leitura dos níveis de tensão que anteriormente eram lidos como aproximadamente 0V, que indicavam a saturação do pixel. A resposta da tensão no nó SN e a leitura na saída do circuito podem ser observadas nas figuras 1.7 e 1.8.

Podemos fazer as seguintes considerações sobre o pixel APS3T funcionando em regime lin-log:

- Detecata bem baixos níveis de luminosidade;
- Detecta bem altos níveis de luminosidade;
- O pixel não satura;
- Possui largo alcance dinâmico;

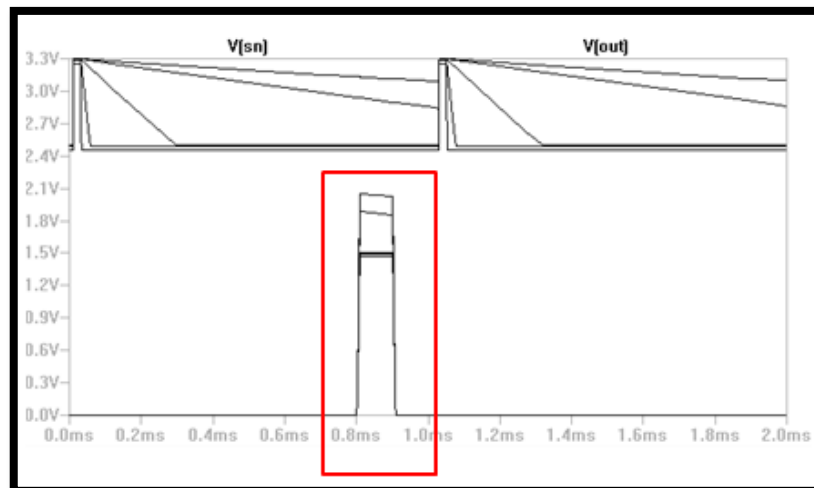


Figura 1.7: Resposta do APS3T(LIN-LOG) e leitura da saída

Conclui-se que o pixel funcionando no modo lin-log apresenta um desempenho superior em relação aos modos de funcionamento somente linear ou somente logarítmico. Foi desenvolvida recentemente uma técnica inovadora de redução de ruído FPN recentemente que reduz bastante este tipo de ruído quando o sensor funciona no modo de operação lin-log [8].

Neste trabalho, desenvolveremos os circuitos de controle que modulam os sinais que chegam ao transistor de carga do circuito do pixel e os circuitos que habilitam a leitura do sinal de saída do pixel para o conversor A/D. Note que o objetivo dos circuitos de controle analógico que fazem a modulação de sinal para o pixel é determinar seu modo de operação.

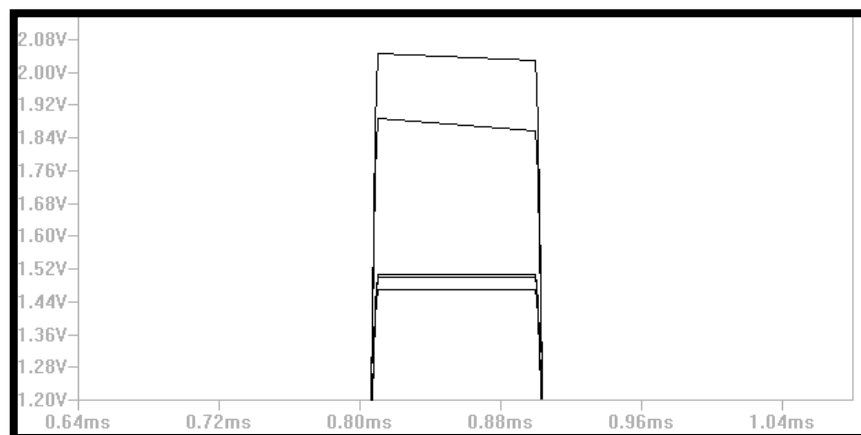


Figura 1.8: Ampliação da região de leitura da saída do pixel APS3T LIN-LOG

## 2. CAPÍTULO II: DESENVOLVIMENTO DAS ESTRUTURAS MAIS ADEQUADAS PARA CONTROLE DA MATRIZ DE PIXELS

Os circuitos de controle da matriz de pixels dividem-se em dois tipos:

- **Circuitos Habilitadores de Leitura:** são circuitos que habilitam a leitura, sequencialmente, de vários elementos da matriz por um único terminal de saída;
- **Circuitos moduladores de Sinal:** são circuitos que realizam modulação dos sinais de controle da matriz de pixels. A modulação destes sinais determina o modo do sensor e torna possível a implementação de uma técnica inovadora de redução do “ruído de padrão fixo” (FPN: Fixed Pattern Noise) [8].

### 2.1 Desenvolvimento dos Circuitos de Leitura

Um método conceitualmente simples para implementar funções lógicas emprega combinações em série e em paralelo de chaves que são controlados por variáveis lógicas de entrada para conectar nós de entrada a nós de saída. Cada uma das chaves pode ser implementada ou por um transistor NMOS simples ou por um par de transistores MOS complementares conectados na configuração de porta de transmissão CMOS.

Pelo fato de essa lógica empregar transistores MOS em caminhos em série da entrada para a saída a fim de transmitir ou bloquear a passagem de dado sinal, esse tipo de lógica é conhecida como *lógica por transistor de passagem* (PTL: *pass-transistor logic*). Conforme mencionado anteriormente, portas de transmissão CMOS são também frequentemente empregadas para implementar chaves, o que confere a essa nova forma de circuito lógico outro nome alternativo, *lógica por porta de transmissão*. Na figura 2.1, podemos observar o diagrama esquemático do transistor de passagem (a) e T-GATE (porta de transmissão) (b), assim como o funciona das chaves (c), que é praticamente o mesmo em termos de funcionalidade e uma tabela verdade dos circuitos (d) (que também é a mesma para ambos).

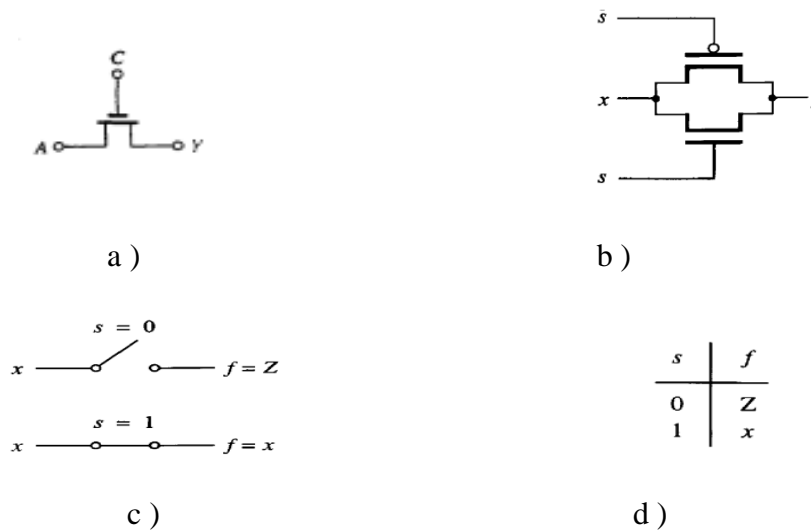


Figura 2.1: Transistor de passagem e T-GATE [2]

Embora conceitualmente simples, os circuitos lógicos por transistores de passagem têm de ser projetados com cuidado. A seguir, serão explorados os princípios básicos de funcionamento do Transistor de passagem e da Porta de Transmissão com o intuito de determinar qual destes circuitos é o mais adequado para ser implementado na habilitação de leitura da matriz de Pixels.

### 2.1.1 Operação do Transistor NMOS como chave

Implementar as chaves de um circuito apenas com um transistor NMOS resulta em um circuito mais simples com menor área e menor capacitância nó por nó. Essas vantagens, entretanto, são obtidas à custa de fazer concessões sérias tanto nas características estáticas quanto no desempenho dinâmico do circuito resultante. Consideremos o circuito mostrado na figura 2.2, no qual o transistor NMOS, **Q**, é utilizado para implementar uma chave que conecta um nó de entrada com tensão  $v_i$  a um nó de saída. A capacitância total entre o nó de saída e o terra está representado pelo capacitor **C**. A chave está mostrada na situação fechada, o que corresponde a ter um nível alto na porta do transistor igual a  $V_{DD}$ .

Desejamos analisar a operação do circuito no instante ( $t=0$ ) em que a tensão  $v_i$  vai de 0V a  $V_{DD}$ . Pressupõe-se que inicialmente a tensão de saída  $v_o$  seja zero e o capacitor de saída **C** esteja inteiramente descarregado. Quando  $v_i$  sobe subitamente para  $V_{DD}$ , o transistor entra no modo de saturação e a corrente que carrega o capacitor é dada por:

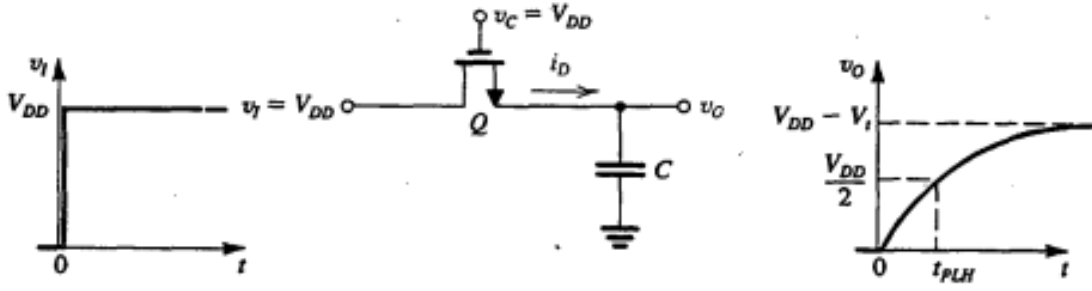


Figura 2.2: Operação dinâmica do transistor de passagem como chave [1]

$$i_d = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2$$

ou seja,

$$i_d = \frac{1}{2} * K'_n * (V_{DD} - v_o - V_t)^2 \quad (1.1)$$

em que  $K'_n = K_n * \frac{W}{L}$  e  $K_n = \mu_n * C_{ox}$ , que são parâmetros de fabricação do transistor, e  $V_t$  é determinado pelo efeito de corpo visto que a tensão de fonte está a uma tensão  $v_o$  que passa a ser a tensão de corpo, pois:

$$V_{SB} = V_S - V_B = v_o - 0 = v_o$$

Obs.: o corpo do transistor NMOS está aterrado e, portanto,  $V_B = 0$ .

A tensão  $V_t$  é dada por:

$$V_t = V_{t0} + \gamma * \left( \sqrt{V_{SB} + 2 * \Phi_f} - \sqrt{2 * \Phi_f} \right)$$

ou seja,

$$V_t = V_{t0} + \gamma * \left( \sqrt{v_o + 2 * \Phi_f} - \sqrt{2 * \Phi_f} \right) \quad (1.2)$$

Portanto, inicialmente (em  $t=0$  e  $v_o = 0V$ ),  $V_t = V_{t0}$  e a corrente  $i_d$  é relativamente grande. Entretanto, como o capacitor vai sendo carregado e  $v_o$  vai crescendo,  $V_t$  aumentará (equação 2) e  $i_d$  diminuirá. Este último efeito é devido tanto ao aumento de  $v_o$  quanto ao aumento de  $V_t$ . Assim, o carregamento do capacitor será relativamente lento. Um fato mais

sério ainda a ser observado na equação (1) é que o valor da corrente  $i_d$  se reduz a zero quando  $v_o = V_{DD} - V_t$ . Dessa maneira, a tensão de saída não será igual a  $V_{DD}$ ; na verdade ela será menor por um parcela  $V_t$  e, no pior caso, o valor de  $V_t$  pode ser de 1,5 a 2 vezes  $V_{t0}$ . Esse baixo valor da tensão de saída é comumente denominado “1 pobre”.

Desejamos agora analisar a operação do circuito no instante ( $t=0$ ) em que a tensão de entrada  $v_i$  vai de  $V_{DD}$  a 0V, que pode ser visto na figura 3. Pressupõe-se que inicialmente a tensão de saída  $v_o$  seja  $V_{DD}$  e o capacitor de saída  $C$  esteja inteiramente carregado.

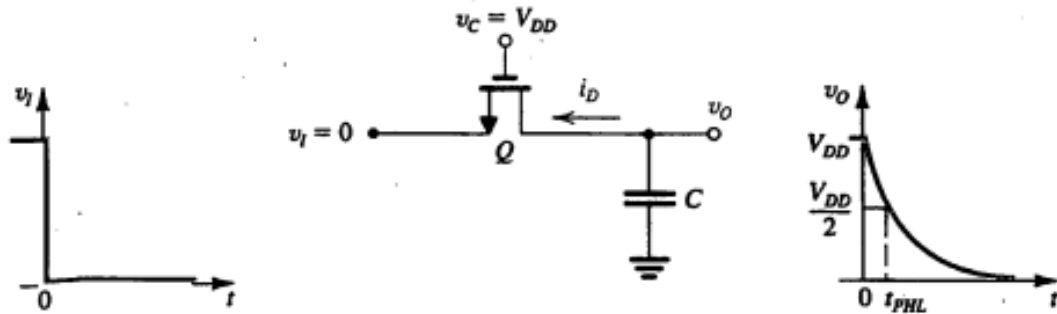


Figura 2.3: Operação dinâmica do transistor de passagem como chave [1]

Quando  $v_i$  desce subitamente para 0V, o transistor entra no modo de saturação e a corrente que carrega o capacitor é dada por:

$$i_d = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2 = \frac{1}{2} * K'_n * (V_{DD} - V_t)^2 \quad (2.3)$$

A partir da equação (3), podemos observar que a corrente  $i_d$  é independente do efeito de corpo, visto que a tensão entre fonte e corpo é nula, e o capacitor descarrega-se através do transistor. A descarga do capacitor ocorre no modo de saturação até o valor de tensão de saída  $v_o = V_{DD} - V_t$ . Abaixo desse valor da tensão de saída, o transistor entra no regime de saturação e a corrente  $i_d$  é dada por:

$$i_d = K'_n * [(V_{GS} - V_t) * V_{DS} - \frac{1}{2} * V_{DS}^2] =$$

ou seja,

$$i_d = K'_n * [(V_{DD} - V_t) * v_o - \frac{1}{2} * v_o^2] \quad (2.4)$$



A partir da equação 2.4, podemos observar que a corrente  $i_d$  se torna nula quando o capacitor se descarregar inteiramente (ou seja, a tensão  $v_o = 0$ ). Dessa forma, conclui-se que o transistor transmite um bom nível lógico 0, ou ainda, fornece um “bom 0”.

### 2.1.2 Utilização da Porta de Transmissão como chave

A porta de transmissão utiliza um par de transistores complementares conectados em paralelo, como podemos observar na figura 2.4. Atua como uma excelente chave, com possibilidade de corrente bidirecional e exibindo uma resistência que é quase constante para uma larga faixa de tensões de entrada. Essas características fazem da porta de transmissão não apenas uma excelente chave para aplicações digitais, mas também uma excelente chave analógica para aplicações como conversor de dados e filtros com capacitores chaveados.

A figura 4 mostra uma chave tipo T-GATE (*transmission-gate*: porta de transmissão) na situação “habilitada” com a entrada  $v_i$  variando de 0V a  $V_{DD}$  em  $t=0$ . Nesta análise estamos supondo que  $V_{tn} = |V_{tp}| = V_t$  e  $C$  representa a capacitância total deste circuito do nó de saída  $v_o$  ao terra.

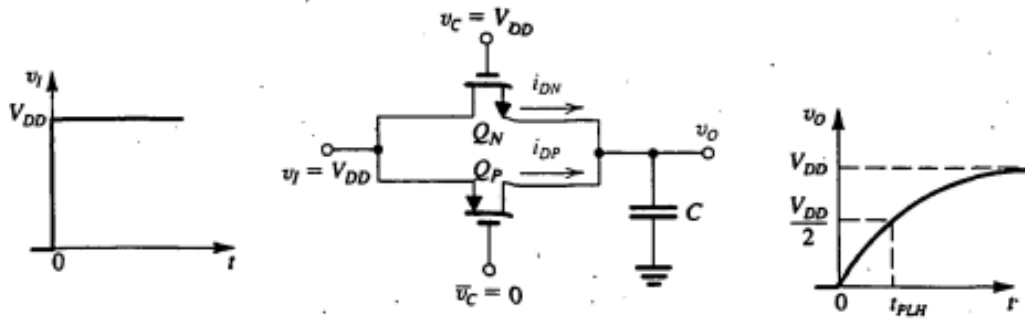


Figura 2.4: Operação dinâmica T-GATE [1]

Supondo como antes que a tensão de saída  $v_o$  seja zero (capacitor descarregado), teremos para o transistor  $Q_N$ :

$$V_{GS} = V_{DD} - v_o \geq V_t \text{ (canal induzido)} \quad (2.4)$$

e

$$V_{DS} = V_{DD} - v_o$$

Logo:

$$V_{GS} - V_t = V_{DD} - v_o - V_t \leq V_{DD} - v_o = V_{DS}$$

$$V_{DS} \geq V_{GS} - V_t \text{ (canal estrangulado) } (2.5)$$

Portanto,  $Q_N$  está em regime de saturação. Para o transistor  $Q_P$ , teremos:

$$V_{GS} = -V_{DD} \leq V_t \text{ (canal induzido) } (2.6)$$

e

$$V_{DS} = v_o - V_{DD}$$

Logo:

$$V_{GS} - V_t = -V_{DD} - V_t \geq v_o - V_{DD} = V_{DS}$$

$$V_{DS} \leq V_{GS} - V_t \text{ (canal estrangulado) } (2.7)$$

Portanto,  $Q_P$  está em regime de saturação. Conclui-se então que ambos os transistores estão em regime de saturação e a corrente de carga do capacitor é dada pela soma das correntes  $i_{dn}$  e  $i_{dp}$  dadas, respectivamente, por:

$$i_{dn} = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2 = \frac{1}{2} * K'_n * (V_{DD} - v_o - V_t)^2 \quad (1.8)$$

e

$$i_{dp} = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2 = \frac{1}{2} * K'_n * (-V_{DD} - V_t)^2 \quad (2.9)$$

À medida que o capacitor se carrega, a tensão  $v_o$  aumenta e a corrente  $i_{dn}$  diminui devido ao aumento de  $v_o$  e ao efeito de corpo. A corrente  $i_{dp}$  independe da tensão de saída  $v_o$  ou do efeito de corpo e seu valor permanece inalterado. Como podemos observar na equação (4), a corrente do transistor  $Q_N$  terá valor zero quando o capacitor se carregar até a tensão  $v_o = V_{DD} - V_t$ ; o transistor estará operando na região de corte e não conduzirá mais corrente. Analisando a equação (7), vemos que desse valor, quando  $v_o = |V_{to}|$  observamos que:

$$V_{DS} \geq V_{GS} - V_t \text{ (canal contínuo) (2.10)}$$

A relação 2.10 indica que o transistor  $Q_P$  entrou na região de triodo e agora a corrente  $i_{dp}$  de  $Q_P$  é dada por:

$$i_{dp} = K'_n * \left[ (V_{GS} - V_t) * V_{DS} - \frac{1}{2} * V_{DS}^2 \right]$$

Substituindo  $V_{DS} = v_o - V_{DD}$  e  $i_{dp}$  se torna:

$$i_{dp} = K'_n * \left[ (-V_{DD} - V_t) * (v_o - V_{DD}) - \frac{1}{2} * (v_o - V_{DD})^2 \right] \quad 2.11$$

Mesmo na região de triodo, o capacitor continuará a se carregar até a tensão de saída  $v_o = V_{DD}$  em que o transistor para de conduzir corrente (equação 2.11), indicando que o transistor  $Q_P$  entra na região de corte. Portanto, o dispositivo canal p transmitirá o nível alto de forma eficiente ou “um bom 1”.

A figura 5 mostra uma chave tipo T-GATE na situação “habilitada” com a entrada  $v_i$  variando agora de  $V_{DD}$  a 0V em  $t=0$ . Nesta análise estamos fazendo a mesma suposição feita anteriormente em que  $V_{tn} = |V_{tp}| = V_t$  e  $C$  representa a capacitância equivalente deste circuito do nó de saída  $v_o$  ao terra.

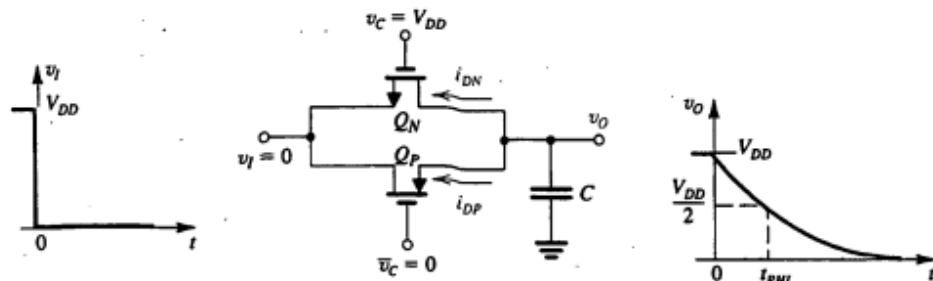


Figura 2.5: Operação dinâmica do T-GATE [1]

Supondo agora que a tensão de saída  $v_o = V_{DD}$  (capacitor inteiramente carregado) teremos, para o transistor  $Q_P$ :

$$V_{GS} = -v_o \leq V_t \text{ (canal induzido)} \quad (2.12)$$

e

$$V_{DS} = -v_o$$

Logo:

$$V_{GS} - V_t = -v_o - V_t \geq -v_o = V_{DS}$$

$$V_{DS} \leq V_{GS} - V_t \text{ (canal estrangulado)} \quad (2.13)$$

Portanto,  $Q_P$  está em regime de triodo. Para o transistor  $Q_N$ , teremos:

$$V_{GS} = V_{DD} \geq V_t \text{ (canal induzido)} \quad (2.14)$$

e

$$V_{DS} = v_o$$

Logo:

$$V_{GS} - V_t = V_{DD} - V_t \leq v_o = V_{DS}$$

$$V_{DS} \geq V_{GS} - V_t \text{ (canal estrangulado)} \quad (2.15)$$

Portanto,  $Q_N$  está em regime de saturação. Conclui-se então que ambos os transistores estão em regime de saturação e a corrente de descarga do capacitor é dada pela soma das correntes  $i_{dn}$  e  $i_{dp}$  dadas, respectivamente, por:

$$i_{dn} = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2 = \frac{1}{2} * K'_n * (V_{DD} - V_t)^2 \quad (2.16)$$

e

$$i_{dp} = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2 = \frac{1}{2} * K'_n * (-v_o - V_t)^2 \quad (2.17)$$

À medida que o capacitor se descarrega, a tensão  $v_o$  diminui e a corrente  $i_{dp}$  diminui devido ao aumento de  $v_o$  e ao efeito de corpo. A corrente  $i_{dn}$  independe da tensão de saída  $v_o$  ou do efeito de corpo e seu valor permanece inalterado. Como podemos observar na equação 2.17, a corrente do transistor  $Q_P$  terá valor zero quando o capacitor se carregar até a tensão

$v_o = |V_{tp}| = V_t$ ; o transistor estará operando na região de corte e não conduzirá mais corrente. Analisando a equação 2.15 para este valor de tensão de saída ( $v_o = |V_{tp}| = V_t$ ), observamos que:

$$V_{GS} - V_t = V_{DD} - V_t \geq v_o = V_t = V_{DS}$$

Isto nos indica que a relação  $V_{DS} \leq V_{GS} - V_t$  não mais é verdadeira, pois a partir desses valores a relação 2.15 se torna:

$$V_{DS} \geq V_{GS} - V_t \text{ (canal contínuo) } 92.18$$

A relação 2.16 indica que o transistor  $Q_p$  entrou na região de triodo e agora a corrente  $i_{dp}$  de  $Q_p$  é dada por:

$$i_{dp} = K'_n * \left[ (V_{GS} - V_t) * V_{DS} - \frac{1}{2} * V_{DS}^2 \right]$$

Substituindo  $V_{DS} = v_o - V_{DD}$  e  $i_{dp}$  se torna:

$$i_{dp} = K'_n * \left[ (-V_{DD} - V_t) * (v_o - V_{DD}) - \frac{1}{2} * (v_o - V_{DD})^2 \right] \quad (2.19)$$

Mesmo na região de triodo, o capacitor continuará a se carregar até a tensão de saída  $v_o = V_{DD}$  em que o transistor para de conduzir corrente (equação 2.19), indicando que o transistor  $Q_p$  entra na região de corte. Portanto, o dispositivo canal p transmitirá o nível alto de forma eficiente ou “um bom 1”. *Transistor de passagem* x T-GATE:

*Transistor de Passagem*

- ✓ Simplicidade de projeto;
- ✓ Menor área;
- ✓ Menor capacitância por nó;
- ✓ Transmite um bom nível lógico “0”;

- ✓ Pobre nível lógico “1”;
- ✓ Mais lento devido a menor corrente de carga.

T-GATE

- ✓ Corrente bidirecional;
- ✓ Projeto mais complexo;
- ✓ Maior área;
- ✓ Maior capacitância por nó;
- ✓ Mais rápido devido a maior corrente;
- ✓ Transmite um bom nível lógico “0”;
- ✓ Transmite um bom nível lógico “1”.

### 2.1.3 Conclusões e Observações sobre os circuitos escolhidos

Podemos concluir que as portas de transmissão apresentam um desempenho superior, tanto estático quanto dinâmico, quando comparadas às chaves NMOS simples. O preço pago é o aumento da complexidade do circuito, da área ocupada e da capacitância.

Considerando agora os requisitos do projeto (melhor desempenho estático e dinâmico), o circuito de leitura selecionado será o T-Gate. No capítulo 3, será desenvolvido o diagrama esquemático do circuito T-Gate.

**Obs.:** quando nos referimos à velocidade de um circuito, sabemos que o tempo de propagação de um circuito é inversamente proporcional a corrente que carrega a capacitância parasita associada ao nó de saída e é diretamente proporcional a essa capacitância. Por isso, apesar de o T-GATE ter uma maior corrente de carga, ele tem também uma maior capacitância. Logo, essas duas componentes devem ser analisadas para saber se a corrente sobressai com relação à capacitância, para afirmar qual circuito é o mais rápido. Na prática, o circuito T-GATE é algumas dezenas de nanosegundos mais rápido. Esse ponto não será discutido neste trabalho, visto que o circuito inteiro trabalha na velocidade de nanosegundos, enquanto o processo de leitura de uma pixel leva algumas centenas de microsegundos.

## 2.2 Desenvolvimento dos circuitos moduladores de sinal

Os circuitos moduladores sinal tem fundamental importância no funcionamento do sensor, pois, em conjunto com os circuitos de endereçamento, determinam o modo de operação linear-logarítmico e ainda tornam possível a implementação de técnicas para redução de ruído. Na figura 2.6, podemos observar o circuito de um pixel APS3T.

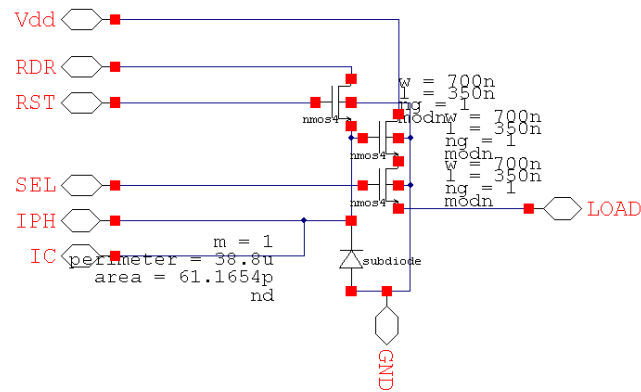


Figura 2.6: APS3T

Nos nós RDR e RST devem chegar, respectivamente, os seguintes sinais:

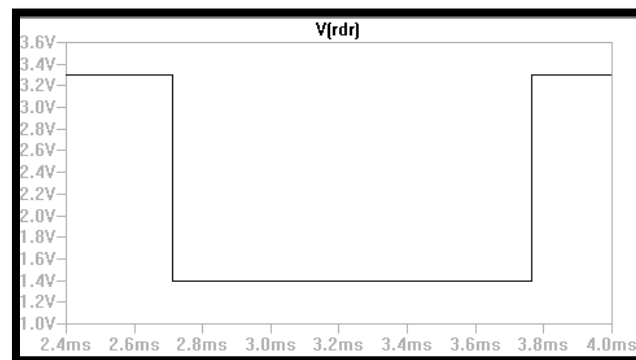


Figura 2.6: Sinal RDR

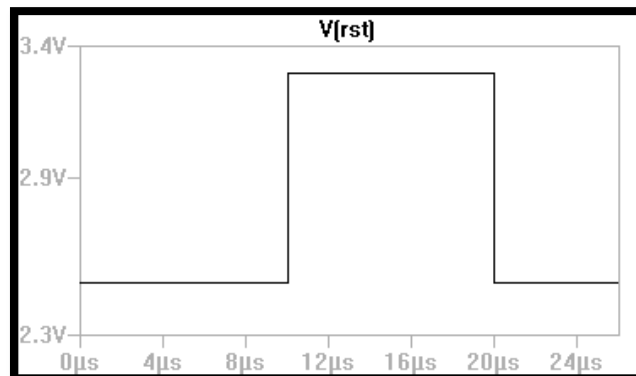


Figura 2.7: Sinal de RST

Os circuitos de controle receberão os sinais RDRX e RSTX, sendo RDRX associado ao sinal RDR e o sinal RSTX associado ao sinal RST:

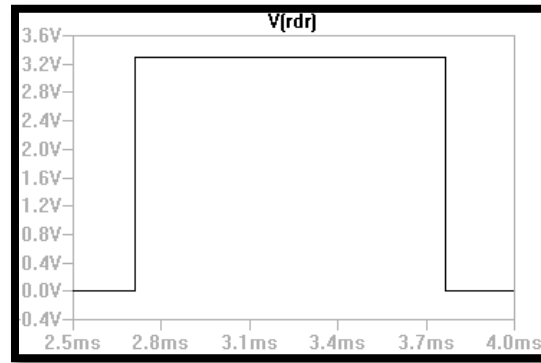


Figura 2.8: Sinal de RDRX

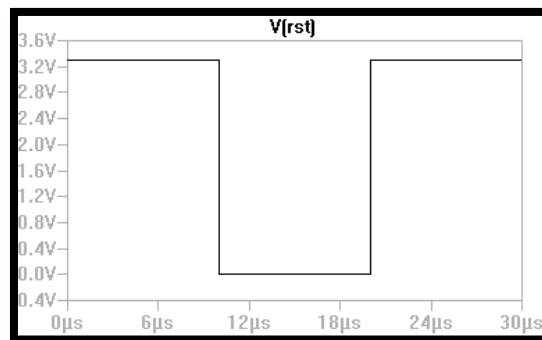


Figura 2.9: Sinal de RSTX

Como podemos observar nas figuras 2.6 a 2.9, o sinal de saída de RDR é uma lógica inversa do sinal de entrada RDRX, porém com o valor lógico “0” de RDR valendo  $V_{LOW} = 1.4\text{ V}$ . O mesmo ocorre com os sinais de RST e RSTX, porém o valor lógico “0” de RST vale  $V_{LOW} = 2.5\text{ V}$ , como também podemos observar nas tabelas 2.1 e 2.2.

RDRX(V)	RST(V)
3.3	1.4
0	3.3

Tabela 2.1

RSTX(V)	RST(V)
3.3	2.5
0	3.3

Tabela 2.2

Portanto, os circuitos que farão a inversão do sinal de RDRX e RSTX serão circuitos inversores com nível lógico “0” modulado. O funcionamento dos circuitos está representado na figura 2.10.



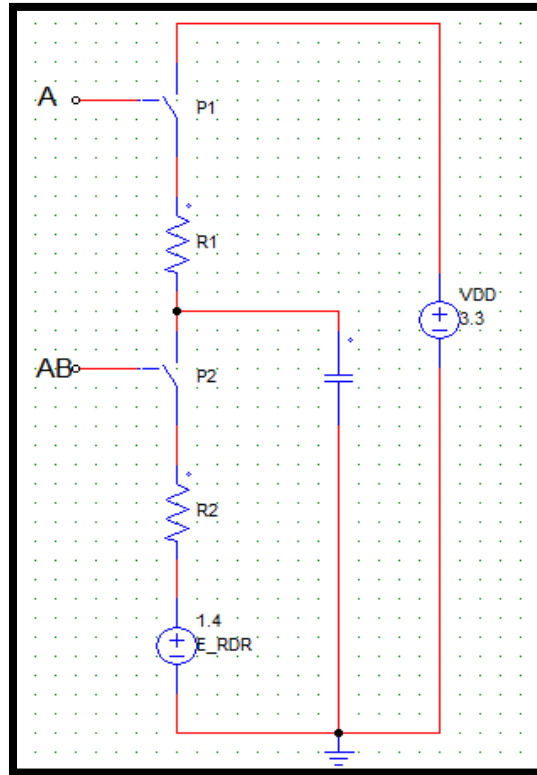


Figura 2.10: Sinal de RSTX

O circuito equivalente do inversor é representado por duas chaves N1 e P1, cada uma com uma resistência associada, e um capacitor conectado entre o ponto de saída e o terra representando a capacitância equivalente da saída ao terra do transistor. Consideremos que inicialmente o capacitor está descarregado. A chave P1 fecha e o capacitor se carrega até a tensão de saída  $V_o = 3.3 \text{ V}$ . Em seguida a chave P1 abre e a chave N1 fecha ligando o capacitor de saída à fonte de tensão  $E_{RST}$ , fazendo com que o mesmo descarregue até a tensão de  $1.4\text{V}$ . Analogamente, a mesma análise deve ser feita para a tensão de saída para o circuito que irá tratar o sinal RSTX, porém mudando a fonte de tensão de  $E_{RDR}$  para  $E_{RST}$  com o valor de tensão constante igual a  $2.5\text{V}$ . Os diagramas esquemáticos desses inversores serão desenvolvidos no capítulo 3.

### 3. CAPÍTULO III: DESENVOLVIMENTO DOS DIAGRAMAS ESQUEMÁTICOS DOS CIRCUITOS DE LEITURA E MODULADORES DE SINAL

No capítulo 2, foram desenvolvidas as estruturas de circuitos analógicos mais adequados a serem implementados no controle da matriz. Os circuitos foram listados na tabela 3.1:

Circuito de Leitura	Circuitos moduladores de Sinal
T-GATE	INVERSOR LÓGICO

Tabela 3.1: Circuitos de Controle analógico

Neste capítulo serão desenvolvidos os diagramas esquemáticos das estruturas de circuitos analógicos obtidas no capítulo 1. Em seguida, serão realizadas simulações destes circuitos com intuito de confirmar seu funcionamento.

#### 3.1 Desenvolvimento dos diagramas esquemáticos dos circuitos de leitura e operação dinâmica do Inversor Analógico

Como foi visto no capítulo anterior, o T-GATE é composto por um par de transistores complementares conectados em paralelo. Como podemos observar na figura 1.4 ou figura 1.5 do capítulo 1, para que o nível de tensão de entrada seja o mesmo da saída (situação em que a chave está habilitada), a porta do transistor NMOS precisa estar em nível alto e a porta do transistor PMOS em nível baixo. Para que isso ocorra sem a necessidade de utilização de circuitos externos ou mais de uma fonte de excitação, será utilizado um inversor na porta do transistor PMOS. Dessa maneira é garantido o funcionamento dos dois transistores praticamente ao mesmo tempo, com apenas um único sinal habilitador de leitura.

É desejável que os dois transistores permaneçam ativos quando a porta de transmissão estiver no modo “habilitado”, para que tenhamos uma operação satisfatória da chave. Como foi introduzido um circuito inversor na porta do transistor PMOS, haverá um atraso na propagação do sinal na saída do inversor com relação à chegada do mesmo sinal na porta do transistor NMOS. Por isso será analisada a operação dinâmica do circuito inversor. Na figura 2.1 a), podemos observar um circuito inversor com um capacitor conectado entre o nó de saída e o terra.

O capacitor  $C$  representa capacitância equivalente do circuito que é devida as capacitâncias internas de  $Q_P$  e  $Q_N$ , a capacitância das linhas internas de interconexão

entre o nó de saída do inversor e entrada das outras portas lógicas (para as quais o inversor está fornecendo corrente) mais as capacitâncias dessas outras portas de carga. Nesta análise vamos supor que o inversor é excitado por um pulso ideal como é mostrado na figura 3.1 b),  $V_{tn} = |V_{tp}| = V_t$  e que inicialmente o capacitor está carregado com a tensão de saída  $v_o = V_{DD}$ .

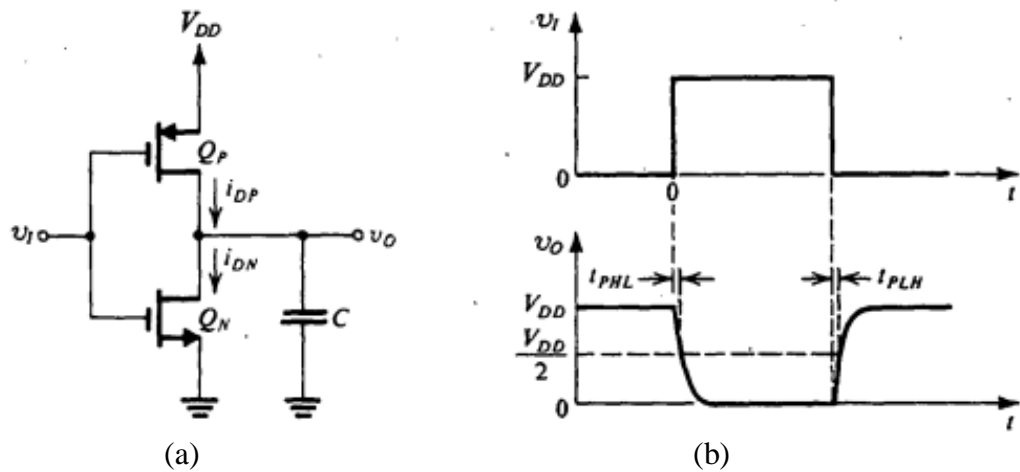


Figura 3.1: Operação dinâmica do transistor do inversor CMOS

Quando a tensão de entrada  $v_i$  passa de  $V_{OL} = 0V$  a  $V_{OL} = V_{DD}$ , imediatamente antes da borda de subida do sinal de entrada (em  $t=0$ ), a tensão de saída vale  $V_{DD}$  e o capacitor descarrega a partir dessa voltagem. Em  $t=0$ , a tensão de entrada vale  $V_{DD}$ . Nestas condições, para o transistor PMOS, teremos:

$$V_{GS} = 0 \geq V_t (\text{canal não induzido}) \quad (3.1)$$

Para o transistor NMOS, teremos:

$$V_{GS} = V_{DD} \geq V_t (\text{canal induzido}) \quad (3.2)$$

e

$$V_{GS} - V_t = V_{DD} - V_t \leq V_{DD} = V_{DS}$$

$$V_{DS} \geq V_{GS} - V_t (\text{canal estrangulado}) \quad (3.3)$$

As equações 3.1 indica que o transistor PMOS está na região de corte e, portanto, não conduz corrente. As equações 3.2 e 3.3 indicam que o transistor NMOS está em regime de saturação e irá conduzir uma corrente, dada por:

$$i_d = \frac{1}{2} * K'_n * (V_{GS} - V_t)^2$$

ou seja,

$$i_d = \frac{1}{2} * K'_n * (V_{DD} - V_t)^2 \quad (3.4)$$

O capacitor se descarrega por  $Q_N$  até a tensão de dreno  $v_o = V_{DD} - V_t$ . Abaixo desse valor de tensão, o transistor NMOS entra na região de saturação, o capacitor descarrega até 0V e sua corrente é dada por:

$$i_d = K'_n * [(V_{GS} - V_t)V_{DS} - \frac{1}{2} * V_{DS}^2]$$

ou seja,

$$i_d = K'_n * [(V_{DD} - V_t)v_o - \frac{1}{2} * v_o^2] \quad (3.5)$$

Para o caso em que a tensão de entrada passa de  $V_{OH} = V_{DD}$  a  $V_{OL} = 0V$ , imediatamente antes da borda de descida do sinal de entrada (em  $t=0$ ), a tensão de saída vale 0V e o capacitor se carrega a partir dessa voltagem. Em  $t=0$ , a tensão de entrada vale 0V. Analisaremos o comportamento dos transistores para obtenção das correntes de carga do capacitor.

Nestas condições, para o transistor NMOS, teremos:

$$V_{GS} = 0 \leq V_t (\text{canal não induzido}) \quad (3.6)$$

Para o transistor PMOS, teremos:

$$V_{GS} = -V_{DD} \leq V_t (\text{canal induzido}) \quad (3.7)$$

e

$$V_{GS} - V_t = -V_{DD} - V_t \geq -V_{DD} = V_{DS}$$

$$V_{DS} \leq V_{GS} - V_t \text{ (canal estrangulado)} \quad (3.8)$$

As equações 3.6 indica que o transistor NMOS está na região de corte e, portanto, não conduz corrente. As equações 3.7 e 3.8 indicam que o transistor PMOS está em regime de saturação e irá conduzir uma corrente, dada por:

$$i_d = \frac{1}{2} * K'_p * (V_{GS} - V_t)^2$$

ou seja,

$$i_d = \frac{1}{2} * K'_p * (-V_{DD} - V_t)^2 \quad (3.9)$$

O capacitor se carrega por  $Q_P$  até a tensão de dreno  $v_o = V_t$ . Acima desse valor de tensão, o transistor NMOS entra na região de saturação, o capacitor descarrega até 0V e sua corrente é dada por:

$$i_d = K'_p * [(V_{GS} - V_t)V_{DS} - \frac{1}{2} * V_{DS}^2]$$

ou seja,

$$i_d = K'_p * [(V_{DD} - V_t)v_o - \frac{1}{2} * v_o^2] \quad (3.11)$$

### 3.1.1 Cálculo do tempo de propagação da porta inversora

Denotando o intervalo de tempo em que o capacitor se descarrega de  $V_{DD}$  até  $V_{DD} - V_t$  por  $t_{PHL1}$  (onde o índice HL representa a transição alta para baixo, relacionado à saída) podemos escrever:

$$i = C * \frac{dv_o}{dt} \quad (3.12)$$

e a corrente nesse intervalo é dada na equação 2.4. Logo:

$$\int_0^{t_{PHL1}} dt = C * \int_{V_{DD}}^{V_{DD}-V_t} \frac{1}{\frac{1}{2} * K_n * \left(\frac{W}{L}\right) * (V_{GS} - V_t)} dv_o$$

$$t_{PHL1} = C * \frac{[V_{DD} - (V_{DD} - V_t)]}{\frac{1}{2} * K_n * \left(\frac{W}{L}\right) * (V_{GS} - V_t)}$$

$$t_{PHL1} = \frac{C * V_t}{\frac{1}{2} * K_n * \left(\frac{W}{L}\right) * (V_{GS} - V_t)^2} \quad (3.13)$$

Denotando o intervalo de tempo em que o capacitor se descarrega de  $V_{DD} - V_t$  até  $V_{DD}/2$  por  $t_{PHL2}$  e substituindo a equação 3.5 em 3.12, teremos:

$$K'_n * \left(\frac{W}{L}\right) \left[ (V_{DD} - V_t)v_o - \frac{1}{2} * v_o \right] = C * \frac{dv_o}{dt}$$

$$\int_{t_{PHL1}}^{t_{PHL}} dt = \frac{C}{K'_n \left(\frac{W}{L}\right)} * \int_{V_{DD}-V_t}^{\frac{V_{DD}}{2}} \frac{1}{(V_{DD} - V_t)v_o - \frac{1}{2} * v_o} dv_o$$

$$\int_{t_{PHL1}}^{t_{PHL}} dt = - \frac{C}{K'_n \left(\frac{W}{L}\right) * \frac{1}{2(V_{DD} - V_t)}} * \int_{V_{DD}-V_t}^{\frac{V_{DD}}{2}} \frac{1}{\left[ \frac{1}{2(V_{DD} - V_t)} * v_o^2 - v_o \right]} dv_o \quad (3.14)$$

Utilizando a relação

$$\int \frac{dx}{ax^2 - x} = \ln\left(1 - \frac{1}{ax}\right)$$

A equação 2.14 se torna

$$t_{PHL} - t_{PHL1} = \frac{2 * C}{K_n * \left(\frac{W}{L}\right) * (V_{DD} - V_t)} * \ln\left(\frac{3 * V_{DD} - 4 * V_t}{V_{DD}}\right) \quad (3.15)$$

Somando o tempo as equações 3.13 e 3.15, obtemos  $t_{PHL}$ :

$$t_{PHL} = \frac{2 * C}{K_n * \left(\frac{W}{L}\right) * (V_{DD} - V_t)} * \ln\left(\frac{3 * V_{DD} - 4 * V_t}{V_{DD}}\right) + \frac{C * V_t}{\frac{1}{2} * K_n * \left(\frac{W}{L}\right) * (V_{DD} - V_t)^2}$$

Um dado que é fornecido pelo fabricante é o valor da tensão de limiar que, neste projeto é dada por:

$$V_t = 0.151515 * V_{DD}$$

Logo a equação acima se torna:

$$t_{PHL} = \frac{2,5 * C}{K_n * \left(\frac{W}{L}\right) * (V_{DD})} \quad (3.16)$$

Uma análise semelhante é feita para obter o tempo de  $t_{PLH}$  (onde o índice LH representa a transição baixa para alto, relacionado à saída), exceto que  $K_n$  deve se substituído por  $K_p$  e a relação W/L se refere às dimensões do transistor PMOS. O tempo de propagação do inversor é dado por:

$$t_P = t_{PHL} + t_{PLH} \quad (3.17)$$

### 3.1.2 Diagrama esquemático do Circuito de Controle Analógico de leitura: Porta de Transmissão (T-GATE)

Da equação 3.16, observamos que para obter menor tempo de propagação para uma operação mais rápida do circuito, é desejável reduzir ao máximo o parâmetro de processo  $K_n$  de transcondutância, aumentar a relação W/L do transistor PMOS e o valor da tensão de alimentação  $V_{DD}$ . Como a velocidade de habilitação de leitura do circuito T-GATE é um compromisso de projeto, é desejável que o tempo que o tempo de descida do inversor seja o menor possível e por isso o inversor será projetado com uma relação de W/L para o transistor NMOS menor que a do transistor PMOS. A figura 3.3, nos mostra o diagrama esquemático do T-GATE.

Podemos observar na figura acima que a razão entre largura e comprimento de porta para o transistor PMOS do inversor vale 16/7 e para o transistor PMOS vale 10/7. Logo, a relação entre os tempos  $t_{PHL}$  e  $t_{PLH}$ , considerando que  $K'_n = K'_p$ , é dada por:

$$t_{PLH} \cong 2,3 * t_{PHL} \quad (3.17)$$

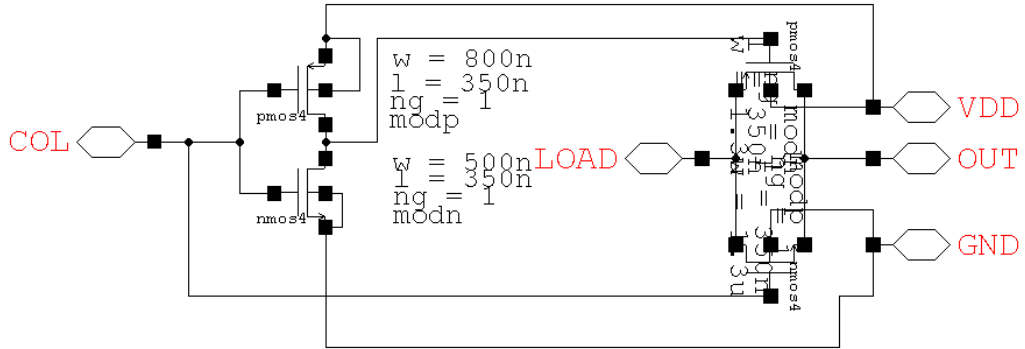


Figura 3.3: Diagrama esquemático do circuito T-GATE

A equação 3.17 nos diz que o tempo de descida do inversor é aproximadamente 2,3 vezes mais rápido que o tempo de subida. Adotando alguns valores numéricos para as constantes da equação 2.16 ( $V_{DD} = 3.3V$  e  $K_n = 50\mu A/V^2$  e  $C = 5fF$ ), teremos:

$$t_{PHL} = \frac{2,5 * 5fF}{\frac{50\mu A}{V^2} * \frac{500}{350} * 3.3V} = 53ps$$

Considerando que o processo de leitura de uma coluna de pixels é feita em cerca de alguns milissegundos, podemos perceber no exemplo numérico acima que, realmente, o inversor é bem veloz tanto na situação de habilitação de leitura (chave aberta) quanto na situação de alta impedância (chave fechada), mesmo que o tempo de subida seja 2,3 vezes mais rápido que o de descida. Agora, já temos o diagrama esquemático com os dados necessários para a construção física do circuito T-Gate que será desenvolvida no capítulo 3.

### 3.1.2 Simulação do circuito T-GATE

No funcionamento real do sensor, um sinal é enviado ao terminal COL do circuito T-GATE, visto na figura 3.3, fazendo com que a chave esteja habilitada para fazer a leitura dos pixels daquela coluna; nessa condição o sinal do pixel chega ao terminal LOAD e é lido pelo circuito de saída (um conversor A/D) pelo terminal OUT.



A figura 3.4 nos mostra o sinal de entrada no terminal de LOAD e o sinal de saída no terminal OUT (os sinais são os mesmos), comprovando o funcionamento do circuito.

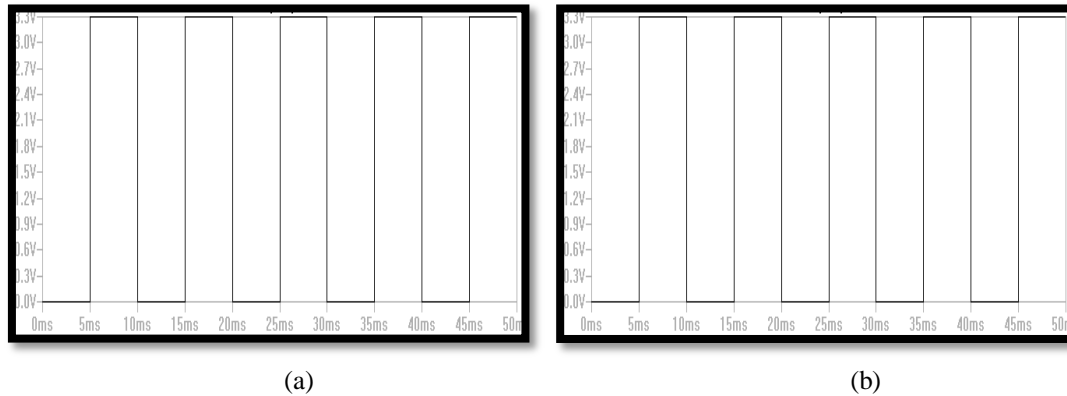


Figura 3.4: Sinal de entrada (a) e saída (b) do T-gate na situação habilitada

## 3.2 Desenvolvimento dos diagramas esquemáticos dos circuitos moduladores

### 3.2.1 Diagrama esquemático do circuito de modulação RDR

No capítulo 1, vimos que o circuito modulador de sinal precisa inverter o sinal de entrada, sendo que o nível baixo da tensão de saída deve ser  $V_{OL} = 1.4V$ . Nessas condições, o emissor do transistor NMOS deve estar na tensão de 1.4V. Quando o capacitor de saída estiver carregado na tensão de  $V_{DD} = 3.3V$  e o sinal de entrada passa de 3.3V para 0V, o capacitor de saída descarrega através do transistor NMOS de 3.3 V até 1.4V, ao invés de 0V (situação que ocorre quando o emissor do transistor NMOS está aterrado). Porém, verificaremos se o circuito inversor ainda estará operando do modo correto. A figura 2.5 exibe o diagrama esquemático inicialmente proposto para ser utilizado para modulação do sinal de controle definido como RDR do sensor.

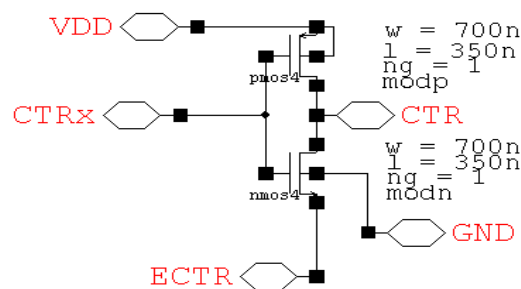


Figura 3.5: Circuito Inversor RDR

Note que a diferença entre o inversor da figura 3.5 e o da figura 3.3 é que no inversor do circuito RDR o terminal de fonte do transistor NMOS está conectado no nível de tensão de 1.4V denominado ECTR, ao invés do terra (GND). Desse modo a tensão entre fonte e corpo não mais será a mesma. Visto que a tensão de limiar  $V_t$  depende da tensão entre fonte e corpo  $V_{SB}$ , a consideração realizada anteriormente que  $V_t = 0,1515 * V_{DD}$  não mais é válida. A seguir, veremos se o funcionamento do circuito foi prejudicado. A tensão de limiar  $V_t$  é dada pela equação 3.2, vista no capítulo , repetida novamente a seguir:

$$V_t = V_{t0} + \gamma * \left( \sqrt{V_{SB} + 2 * \Phi_f} - \sqrt{2 * \Phi_f} \right) \quad (3.2)$$

Onde  $\Phi_f$  é um parâmetro físico e  $\gamma$  é um parâmetro inerente ao processo de fabricação;  $2 * \Phi_f$  tipicamente vale 0,6V e  $\gamma$  tipicamente vale  $0,4V^{1/2}$ . Podemos observar na equação que para  $V_{SB} = 0$ ,  $V_t = V_{t0} = 0,1515 * V_{DD} = 0,1515 * 3,3 \cong 0,5 V$ . Como  $V_{SB} = 1,4 - 0 = 1,4V$ , inversor terá atuará com um novo valor de  $V_t$  dado por:

$$V_t = 0,5 + 0,4 * (\sqrt{1,4 + 0,6} - \sqrt{0,6}) = 0,756 V$$

Logo:

$$V_{GS} = 3.3 - 1.4 = 1.9V \geq 0,756 V = V_t \quad (\text{canal induzido})$$

Podemos concluir que o inversor ainda funcionará satisfatoriamente bem, mesmo com a adição da fonte de alimentação DC no emissor do transistor NMOS. Portanto, todo o estudo desenvolvido sobre inversores no capítulo 1 e na seção 3.1 do capítulo 2, pode ser estendido também para o circuito inversor estudado aqui.

A forma de onda de entrada e de saída deste circuito pode ser observada na figura 3.6. A forma de onda de saída tem o menor valor fixado em 1.4V desejado, confirmando o funcionamento do circuito.

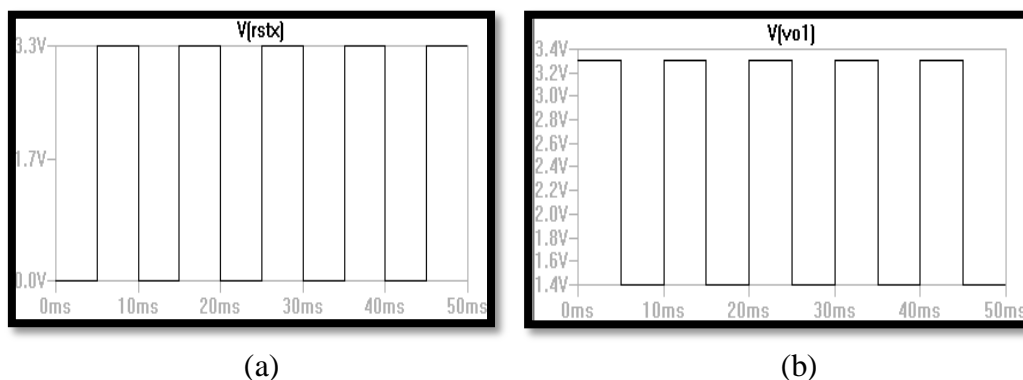


Figura 3.6: Sinal de entrada (a) e saída (b) do Circuito Inversor de DRD

### 3.2.2 Diagrama esquemático do circuito de modulação RST

O circuito modulador do sinal de reset precisa inverter o sinal de entrada, sendo que o nível baixo da tensão de saída deve ser  $V_{OL} = 2.5V$ . O diagrama esquemático inicialmente proposto para implementação no controle do sinal de reset (RST) do sensor, é mostrado a seguir na figura 3.7, em que o nível de tensão fixado no emissor do transistor NMOS, ECTR, vale 2.5V.

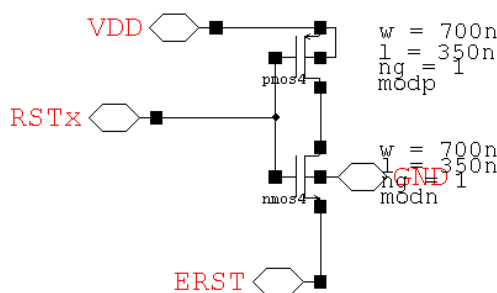


Figura 3.7: Diagrama Esquemático do Inversor Analógico do sinal de reset

No circuito acima temos as seguintes alimentações para as portas I/O:

**VDD**: Alimentação DC do Circuito com o valor de 3.3 [V]

**GND**: Terra Global do Circuito.

**ECTR**: Fonte de Alimentação DC com o seguinte valor de 1.4 [V]

**CTR<sub>x</sub>**: Sinal de Entrada do Circuito Reset

**CTR**: Sinal de Saída do Reset

Assim como foi feito na seção anterior, verificaremos se o funcionamento do circuito foi influenciado pela adição de fonte. Visto que agora  $V_{SB} = 2,5 - 0 = 2,5V$ , a tensão de limiar é dada por:

$$V_t = 0,5 + 0,4 * \left( \sqrt{2,5 + 0,6} - \sqrt{0,6} \right) = 0,89 V$$

Logo:

$$V_{GS} = 3.3 - 2,5 = 0,8V \leq 0,89 V = V_t \text{ (canal não induzido)}$$

A relação anterior nos informa que o  $V_{GS}$  está em torno de  $V_t$ . Portanto, o transistor opera na região de sublimiar (threshold) e a corrente de dreno é dada por:

$$i_D = I_0 * \left[ 1 - \left( \exp \left( -\frac{v_{DS}}{V_{témica}} \right) \right) \right] \quad (3.18)$$

. O funcionamento do inversor será analisado através da simulação mostrada na figura 3.7. Podemos observar que nível alto está acima da tensão de alimentação do circuito que é de 3.3V e o nível baixo está fixo em 3.3V. O desenvolvimento da equação 3.18 não é nada trivial, demasiadamente complicada e, por esse motivo não será desenvolvida neste trabalho, pois não acrescentará nenhum benefício ao que já sabemos sobre o circuito.

Conclui-se que o esquema de circuito da figura 3.5 não exibe o funcionamento desejado e, portanto, não será utilizado. Entretanto, podemos observar que esse problema seria sanado se a tensão  $V_{SB}$  fosse 0V; isso seria garantido se o corpo do transistor NMOS fosse conectado também no valor de tensão de 2.5V. Na prática isto não é possível visto que os corpos de todos os transistores NMOS são conectados ao menor potencial. Portanto, um novo diagrama esquemático de inversor analógico será desenvolvido a seguir.

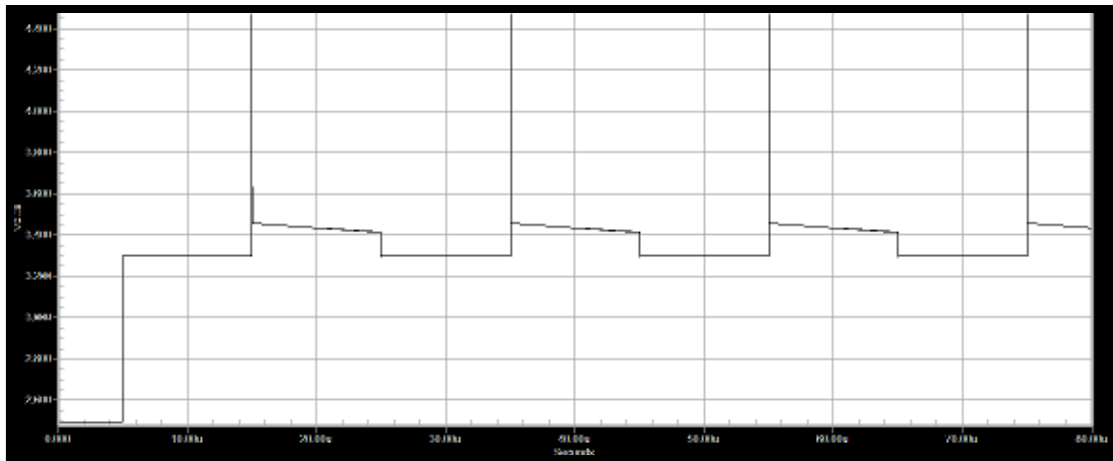


Figura 3.8: Resposta do inversor da figura 2.7

Como foi observado anteriormente, o inversor não funciona para um nível de tensão de 2.5 V na fonte do transistor NMOS, pois o transistor entra opera na região de subthreshold e isso não é desejável. Como o problema está no funcionamento do transistor NMOS, vamos substituí-lo por um transistor PMOS. O diagrama deste circuito pode ser observado na figura 3.8.

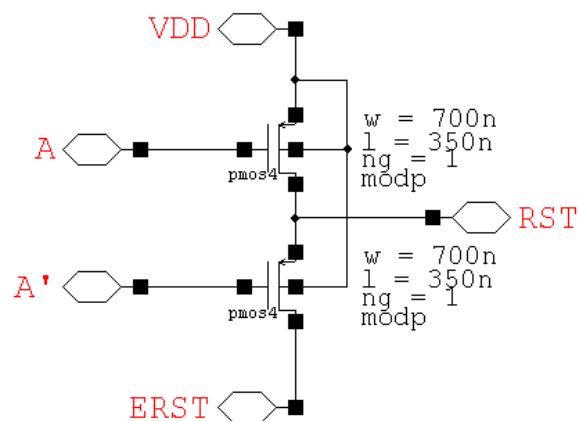


Figura 3.8: Esquema do inversor Lógico com dois transistores PMOS

No circuito da figura acima os sinais que chegam na porta dos dois transistores são simétricos pois ambos os transistores são PMOS e possuem a mesma lógica. Logo, se A está com nível lógico “0” (chave ligada), A’ deverá estar com nível lógico “1” (chave desligada). Partindo do pressuposto de que o transistor ligado a  $V_{DD}$  esteja inicialmente ligado, o outro transistor estará desligado e a tensão de saída lida no ponto RST será igual a  $V_{DD}$ . Quando o transistor A corta, o transistor A’ opera e a tensão

inicial de saída será  $V_{DD}$ . Analisaremos agora o que acontecerá a seguir. O circuito equivalente é mostrado na figura 3.10.

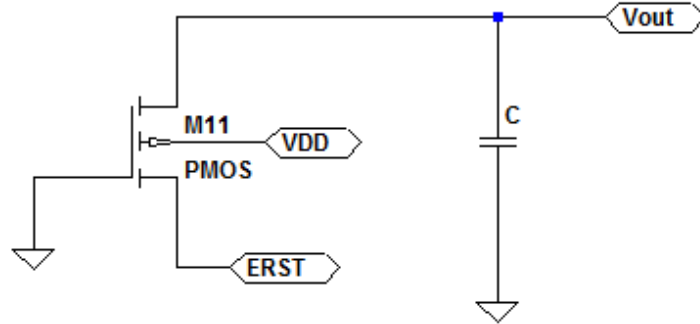


Figura 3.10: Circuito equivalente do Inversor 2PMOS na situação de descarga do capacitor parasita.

O transistor PMOS fica ativo quando a porta está em nível lógico “0” (terra); o dreno está conectado a um nível de tensão de 2.5V e a fonte está conectada ao capacitor de saída; o capacitor está com tensão inicial de  $V_{DD} = 3.3 V$ . Nestas condições teremos:

$$V_t = V_{t0} + \gamma * \left( \sqrt{V_{SB} + 2 * \Phi_f} - \sqrt{2 * \Phi_f} \right)$$

e

$$V_{SB} = v_o - 3.3$$

Inicialmente  $v_o = 3.3 V$  e  $V_{SB} = 0$ ; consequentemente  $V_t = V_{t0} = -0.5 V$ .

Logo:

$$V_{GS} = 0 - v_o = 0 - 3.3 = -3.3 V \leq -0.5 = V_t$$

ou seja,

$$V_{GS} \leq V_t \quad (\text{canal induzido}) \quad (3.19)$$

$$V_{GS} - V_t = -3.3 - (-0.5) = -2.8 V \leq 2.5 - v_o = 2.5 - 3.3 = -0.8 V = V_{DS}$$

ou seja,

$$V_{DS} \geq V_{GS} - V_t \quad (\text{Canal contínuo}) \quad (3.20)$$

As equações 2.29 e 2.20 indicam que o transistor estará operando na região de triodo e sua corrente é dada por:

$$i_d = K'_n * [(V_{GS} - V_t) * V_{DS} - \frac{1}{2} * V_{DS}^2]$$

Ou seja,

$$i_d = K'_n * \left[ (-v_o - V_t) * (2.5 - v_o) - \frac{1}{2} * (2.5 - v_o)^2 \right] \quad (3.21)$$

Pela equação 3.21, podemos observar que a corrente de dreno se torna nula para  $v_o = 2.5 V$ ; nesse instante o transistor para de conduzir fazendo que o capacitor se mantenha na tensão de 2.5 V. Analiticamente, o inversor projetado com dois transistores PMOS atende aos requisitos. O próximo passo agora é verificar o funcionamento do circuito através de simulações. Mas antes vamos finalizaremos o diagrama esquemático do circuito. Como ambos os transistores deste inversor possuem a mesma lógica de funcionamento e o funcionamento deste circuito como inversor depende do funcionamento simétrico transistores PMOS entre si (um ligado e outro inoperante), será integrado na porta do transistor ligado ao potencial de 2,5 V um circuito inversor simples como o que foi estudado neste trabalho. Dessa forma garantimos que um transistor opere enquanto o outro está inoperante e com o mesmo sinal de excitação de entrada. O circuito obtido é exibido na figura 3.11. Já a figura 3.12 nos mostra as formas das ondas de entrada e saída do inversor PMOS.

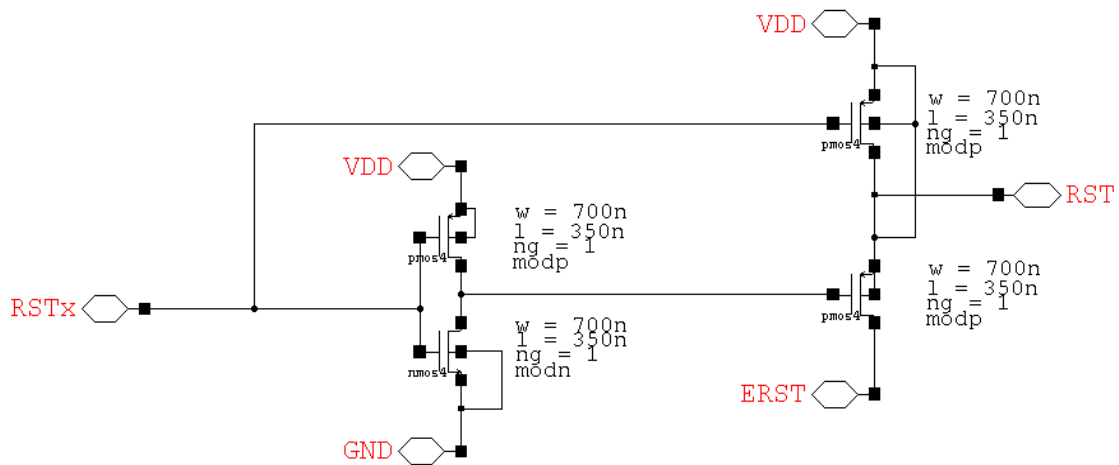


Figura 3.11: Circuito inversor PMOS

No circuito acima temos as seguintes alimentações para as portas I/O:

**VDD**: Alimentação DC do Circuito com o valor de 3.3 [V]

**GND**: Terra Global do Circuito.

**ERST**: Fonte de Alimentação DC com o seguinte valor de 2.5 [V]

**RSTx**: Sinal de Entrada do Circuito Reset

**RST**: Sinal de Saída do Reset

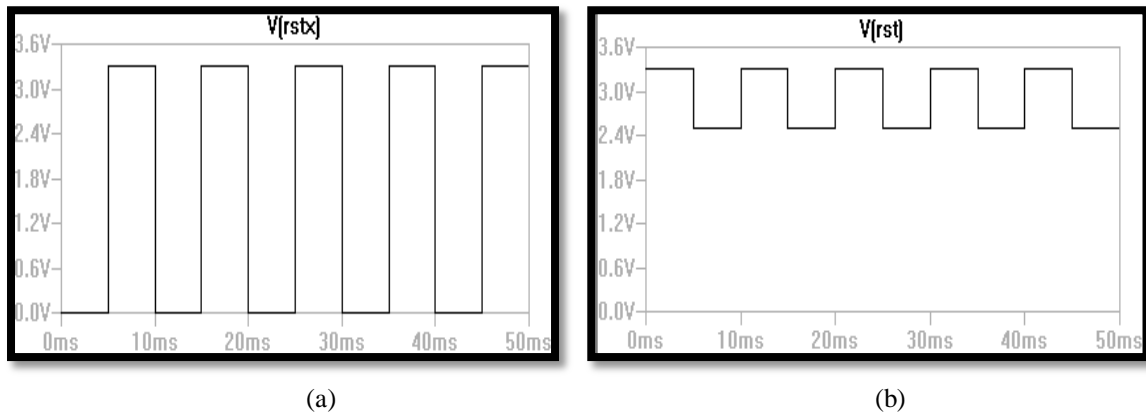


Figura 3.12: Resposta do inversor Double PMOS: entrada (a) e saída (b)

Conclui-se que o circuito exibido na figura é o que melhor se adequa aos requisitos do projeto e, portanto, será implementado no controle do sensor. O diagrama completo (circuitos do pixel e circuitos de controle e endereçamento) pode ser apreciado na figura 3.13. Definidos os circuitos de controle analógico que serão implementados, desenvolveremos no capítulo 4 a construção física, layout, destes circuitos.



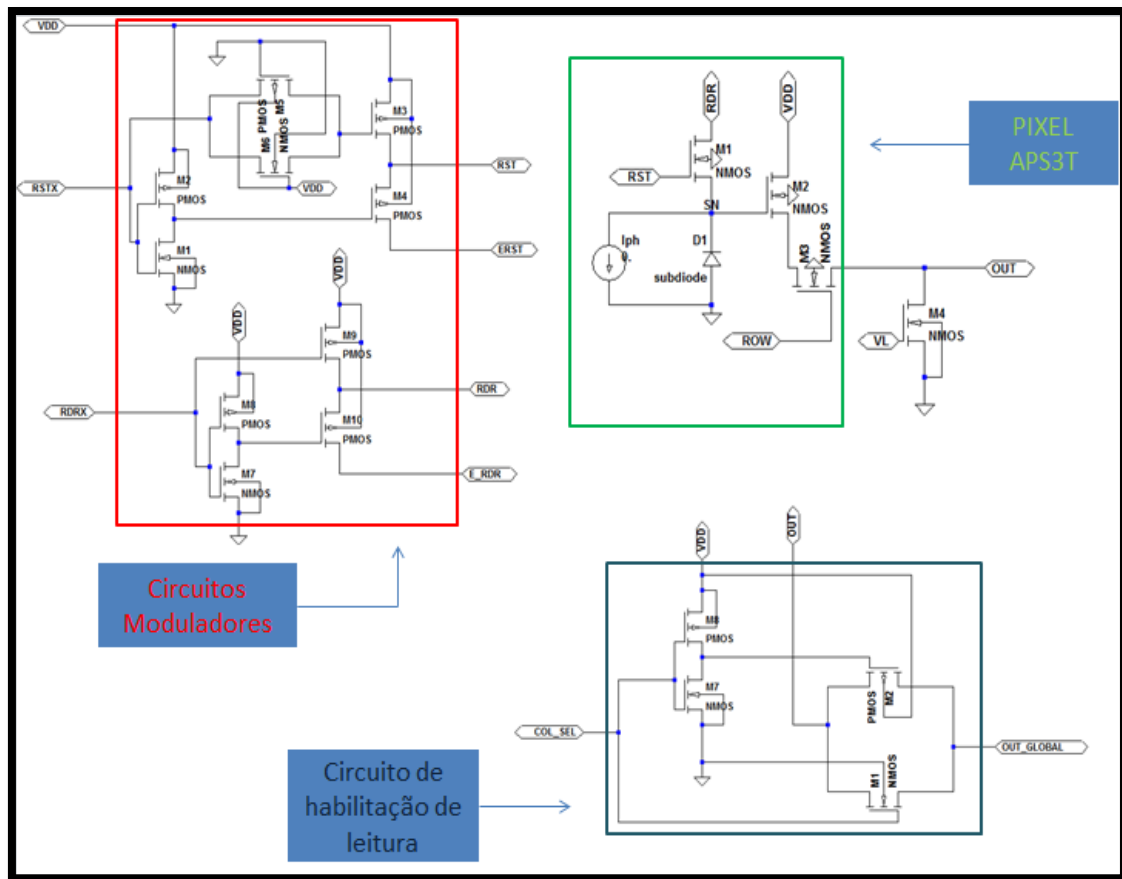


Figura 3.13: Circuitos de controle, endereçamento e pixel APS3T

## 4. CAPÍTULO IV: DESENVOLVIMENTO DOS LAYOUTS DOS CIRCUITOS DE CONTROLE

No capítulo 2 estudamos as estruturas mais adequadas para o controle da matriz do sensor e no capítulo 3 foram desenvolvidos os diagramas esquemáticos das obtidas no capítulo 2. Neste capítulo desenvolveremos o layout dos diagramas esquemáticos obtidos no capítulo 3. O denominamos layout de um circuito a disposição dos metais e semicondutores de modo a obter os circuitos desenvolvidos nos capítulos 2 e 3. Os circuitos serão fabricados tendo como base os layouts desenvolvidos neste capítulo.

A tecnologia utilizada para a construção dos layouts, segue as regras de processo CMOS padrão  $0,35\mu m$  da AMS (*Áustria Microsystems*), denominada C35B4 referente as regras de projeto que devem ser respeitadas para o bom andamento do projeto.

Mas antes de iniciarmos a construção física dos circuitos, serão abordados alguns componentes do layout. Na figura 4.1 nos mostra um transistor NMOS e alguns elementos utilizados em sua construção.

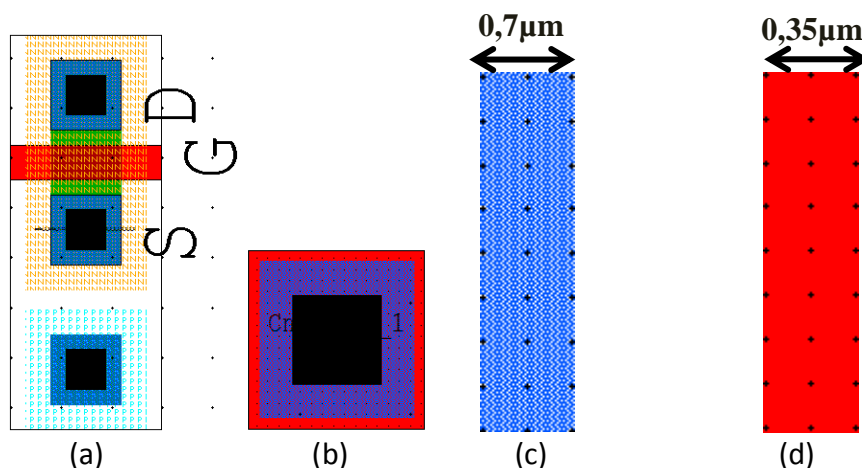


Figura 4.1: (a) Transistor NMOS, (b) CntPoly1 contato entre Metal1 e Polissilício, (c) Camada de MET1, (d) Camada POLY1

Nesta figura podemos observar um transistor NMOS (a), camada de metal 1 (c), camada de polissilício (d) e o contato (b) utilizado entre estas duas camadas. Como estamos trabalhando na tecnologia de  $0,35\mu m$ , que indica aproximadamente o comprimento do canal do transistor, o parâmetro  $L$  do transistor vale  $0,35\mu m$ . O transistor tem os terminais de fonte, porta e dreno indicados pelas letras S, G e D, respectivamente. Podemos observar também que os três terminais S, G e D estão envolvidos por uma camada amarela que indica que estes terminais estão numa região chamada de poço N e estão isolados de um elemento envolto por uma camada azul clara

chamada de poço P. Este terminal indica o contato de saída do corpo do transistor NMOS que deve ser conectado ao menor potencial do circuito. Já na figura 4.2, podemos observar o layout do transistor PMOS. Note que o terminal de corpo sempre tem uma dopagem diferente dos outros terminais.

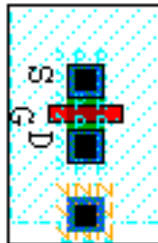


Figura 4.2: Layout do transistor PMOS

#### 4.1 Layout do circuito habilitador de leitura: T-GATE

O layout do circuito T-GATE é mostrado na figura 4.2. O programa utilizado na construção de circuitos integrados possui várias bibliotecas com o layout de alguns circuitos previamente desenhados. Porém, o layout das bibliotecas para o circuito T-GATE é muito grande e não será utilizado, pois um dos compromissos de projeto é o menor espaço ocupado pelo circuito. Na figura 4.3, podemos observar o layout do T-Gate da biblioteca e o layout desenvolvido para o projeto. Comparando a figura 4.3 b) (layout) e a figura 4.3 do capítulo 2 (repetida novamente aqui), podemos identificar facilmente os componentes do circuito e as portas I/O indicadas.

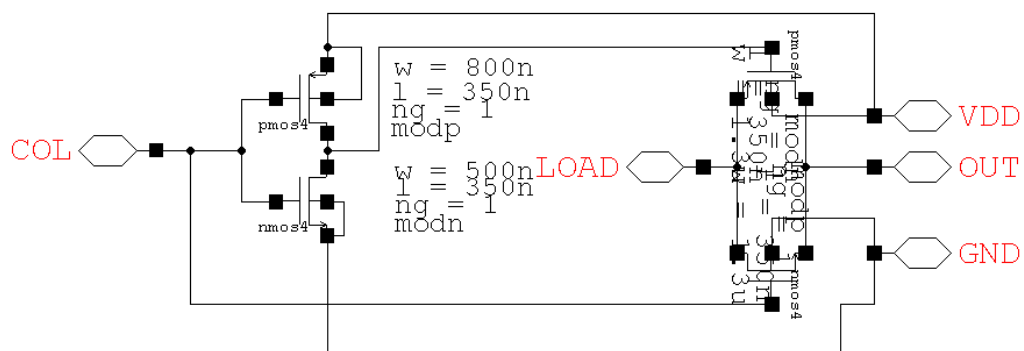


Figura 4.3: Diagrama esquemático do circuito T-GATE

A esquerda da figura 4.3, podemos identificar o inversor composto por um transistor PMOS e um NMOS. Repare que o transistor NMOS foi projetado com uma camada de difusão (camada de verde) menor do que a do transistor PMOS, como indicado na figura 2.3. Os outros dois transistores CMOS complementares também podem ser identificados; também são indicados os terminais de I/O do circuito. As dimensões desse circuito são aproximadamente  $8,854 \times 14,16 \mu m$  com uma área de aproximadamente  $125,4 \mu m^2$ . Como o sensor possui oito colunas, a área total ocupado pelos oito circuitos habilitadores de leitura será de  $1 mm^2$ .

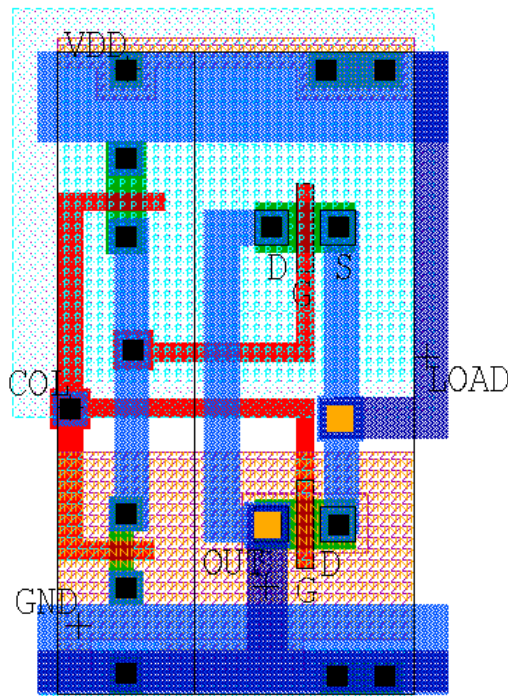


Figura 4.4: Layout do circuito T-GATE

Do ponto de vista de funcionamento ótimo, os circuitos fornecidos pelas bibliotecas do software são melhores. A área do layout deste circuito vale aproximadamente  $180 \mu m^2$ . A área do layout projetado é bem menor. Observe que o layout da biblioteca possui vários contatos de I/O para reduzir a impedância desse ponto elétrico.

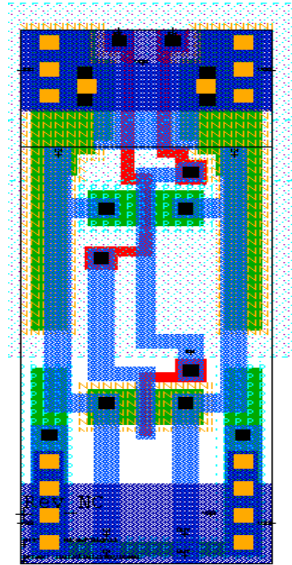


Figura 4.5: Layout do T-GATE fornecido recomendado pelo fabricante

## 4.2 Layouts dos circuitos Moduladores: Inversor Tradicional e com 2 Transistores PMOS

### 4.1.1 Layout do circuito RDR: Inversor Tradicional

Pelos mesmos motivos apresentados na seção anterior, não utilizaremos os layouts das bibliotecas do software. O layout do inversor tradicional projetado assim como o seu diagrama esquemático podem ser vistos na figura 4.6 e 4.7.

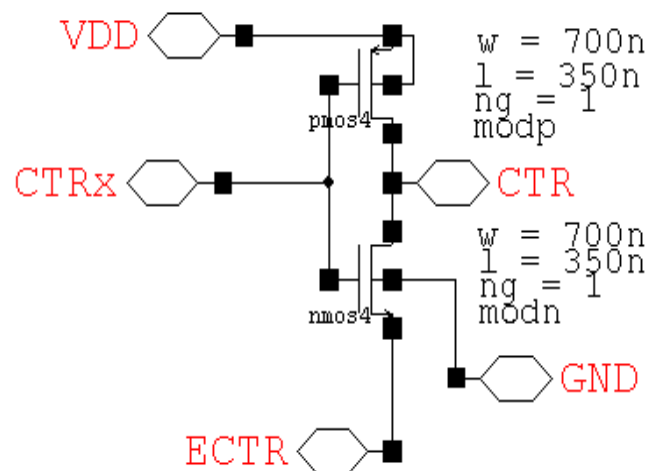


Figura 4.6: diagrama esquemático do inversor



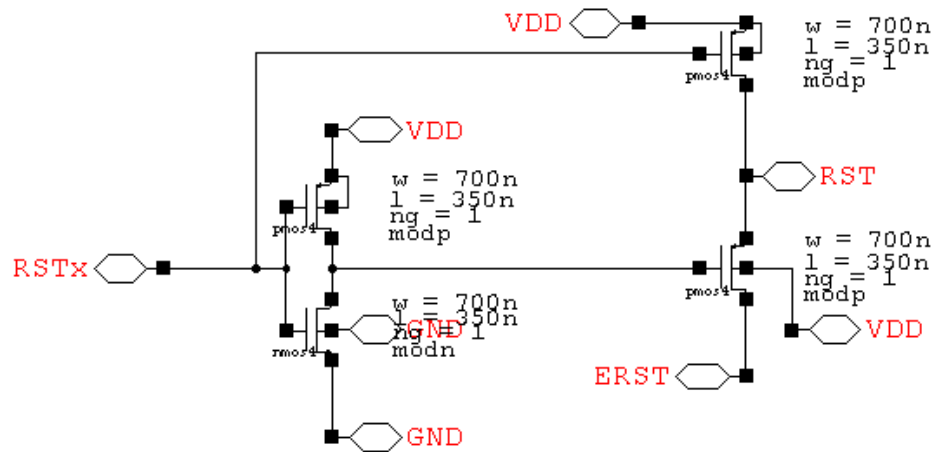


Figura 4.9: Inversor 2PMOS

Existe ainda outro ponto a ser considerado com relação a este circuito . Como foi introduzido um inversor na entrada de um dos transistores, haverá um atraso na transição de sinal nas portas dos transistores igual ao tempo de propagação do inversor inserido. Na prática, a leitura de uma matriz de pixels é feita sequencialmente; nesse caso essa diferença influenciaria na velocidade do circuito para uma matriz de muitos pixels ou na operação em altas frequências do sensor. Portanto, idealmente, é desejável que a transição dos sinais das portas dos transistores PMOS ocorra simultaneamente. Para reduzir essa diferença, é prática comum acoplar a porta do outro transistor PMOS um T-GATE funcionando sempre no modo habilitado. Fazendo isso, introduzimos um atraso em ambas as portas reduzindo a diferença entre os sinais para cerca de algumas dezenas de picosegundos. Portanto, o layout e o diagrama esquemático finais do inversor com dois transistores PMOS são mostrados na figura 4.9.

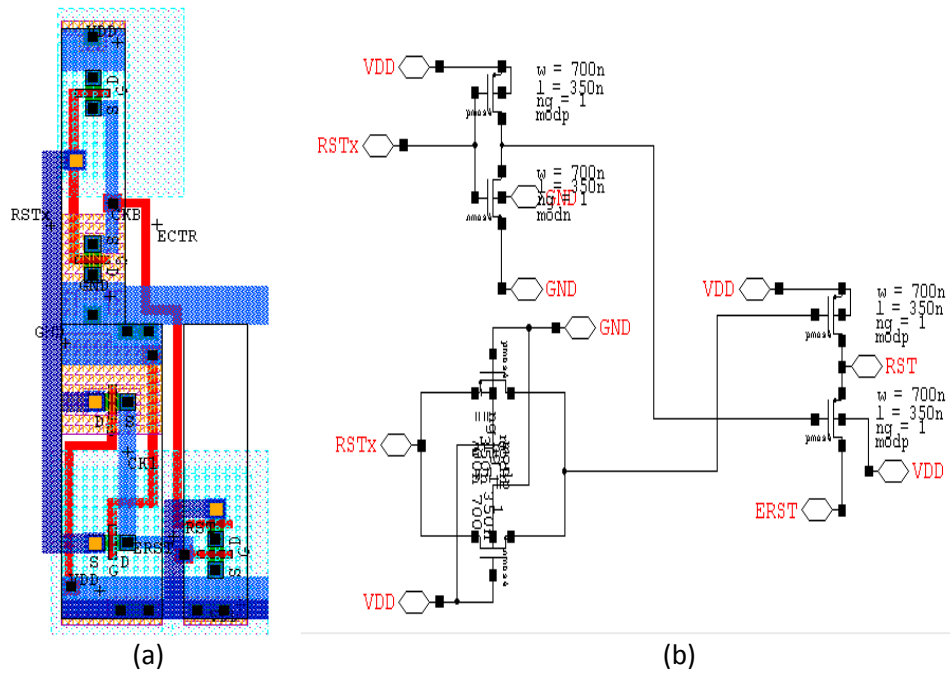


Figura 4.10: Layout (a) e diagrama esquemático (b) Finais do Circuito RST

#### 4.1.3 Layout e esquemático RDR\_RST

O modelo de layout final dos circuitos RST e RDR estão no mesmo encapsulamento, pois agem de forma simultânea em cada coluna da matriz de pixels. O diagrama esquemático e o layout final deste circuito podem ser vistos nas figuras 4.9 e 4.10. Quando nos referimos a um circuito como versão final, isto significa que é daquela forma que o circuito será fabricado.

O layout do circuito da figura 4.10 foi projetado com a mesma disposição dos componentes vistos no diagrama esquemático. Dessa maneira é fácil identificar cada circuito. No próximo capítulo, serão realizados alguns testes para verificação do funcionamento dos circuitos T-GATE e RDR\_RST já integrados.



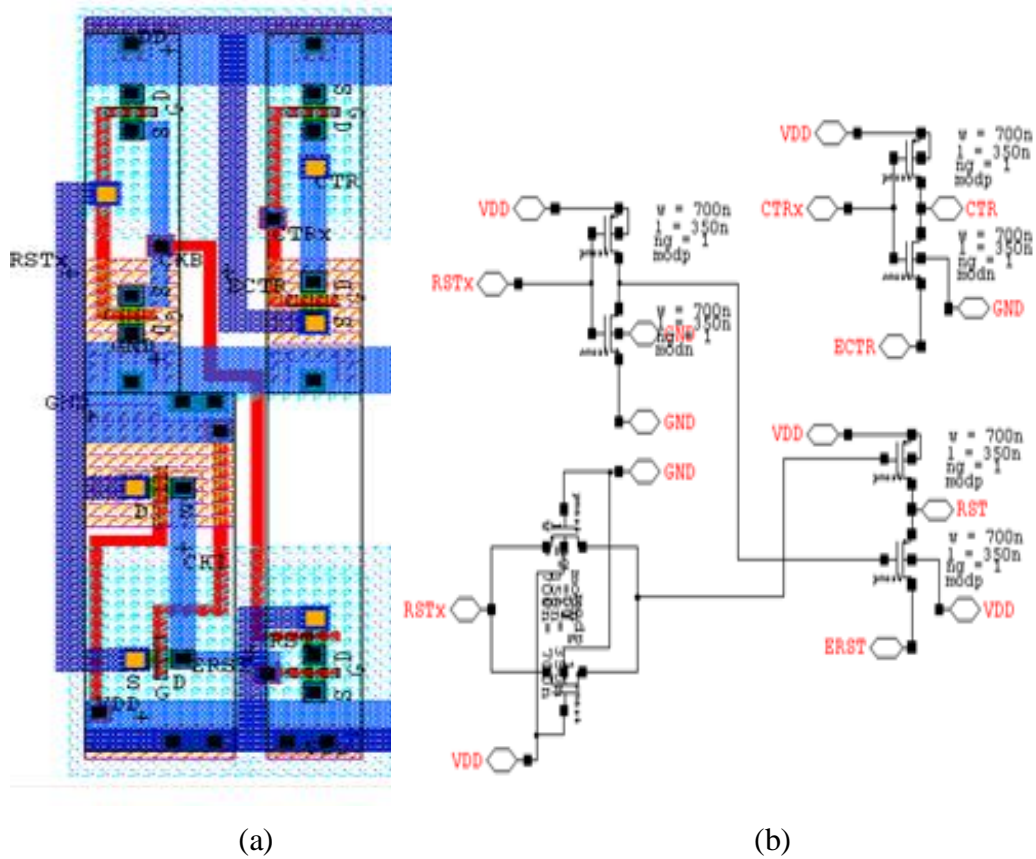


Figura 4.11: Layout (a) e diagrama esquemático (b) Finais do Circuito RDR\_RST

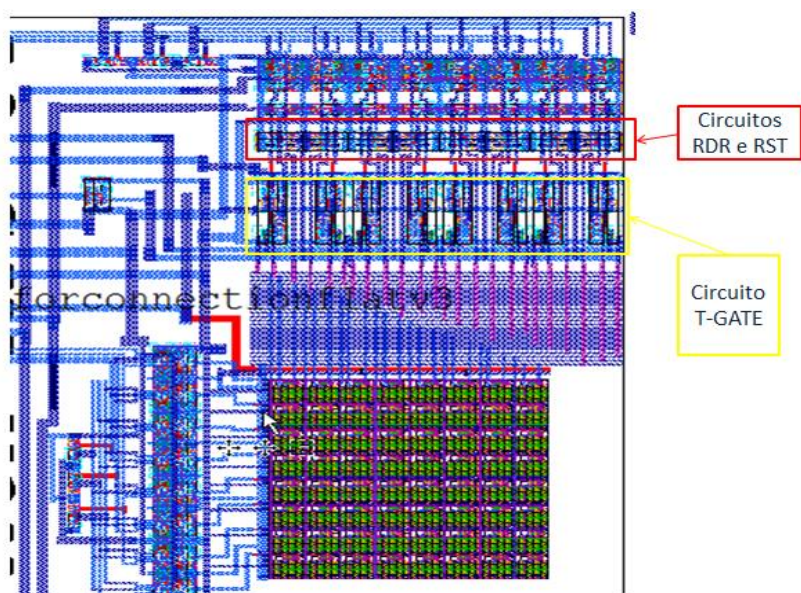


Figura 4.12:Layout completo

## 5. CAPÍTULO V: TESTES DO FUNCIONAMENTO DO SENSOR NO MODO DE OPERAÇÃO LINEAR E LOGARÍTMICO

Endereçamos um pixel da matriz de sensores para realização do teste e aplicamos os sinais digitais de entrada. Em seguida, com uma lanterna de luz branca aplicamos vários níveis de luminosidade sobre a lente do sensor, aumentando gradativamente. Os testes foram realizados para os seguintes níveis de luminosidade:

- Anteparo sobre a lente (simulando o escuro);
- Sem o anteparo (luminosidade ambiente);
- Luminosidade nível 1;
- Luminosidade nível 2;
- Luminosidade nível 3;
- Luminosidade nível 4;
- Luminosidade nível 5.

A forma de onda de saída (tensão) para cada nível de luminosidade pode ser observado nas figuras 5.1 a 5.7.

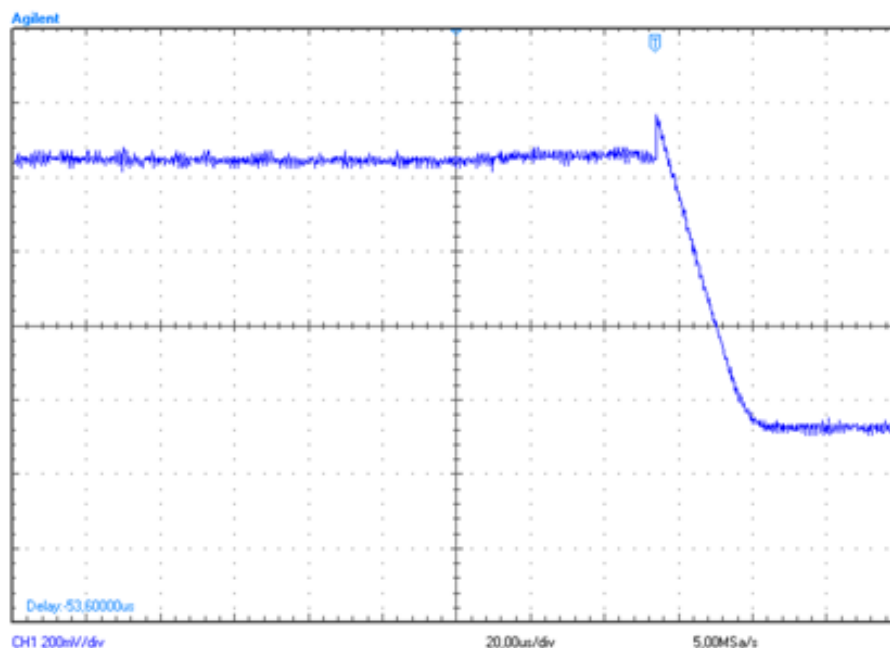


Figura 5.1: resposta do sensor ao escuro

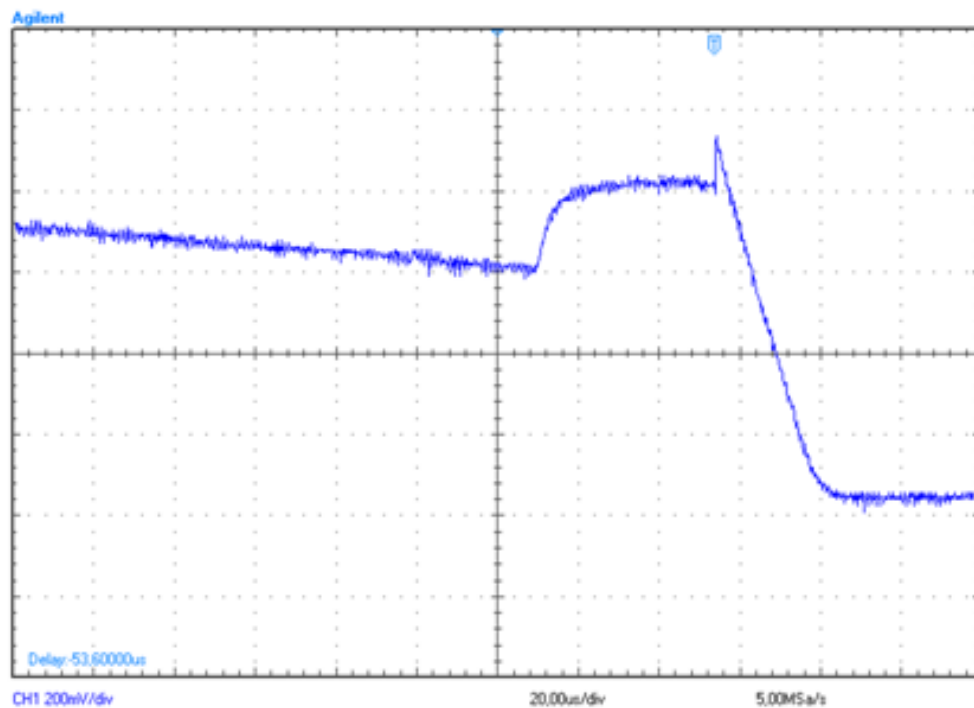


Figura 5.2: Luminosidade do ambiente

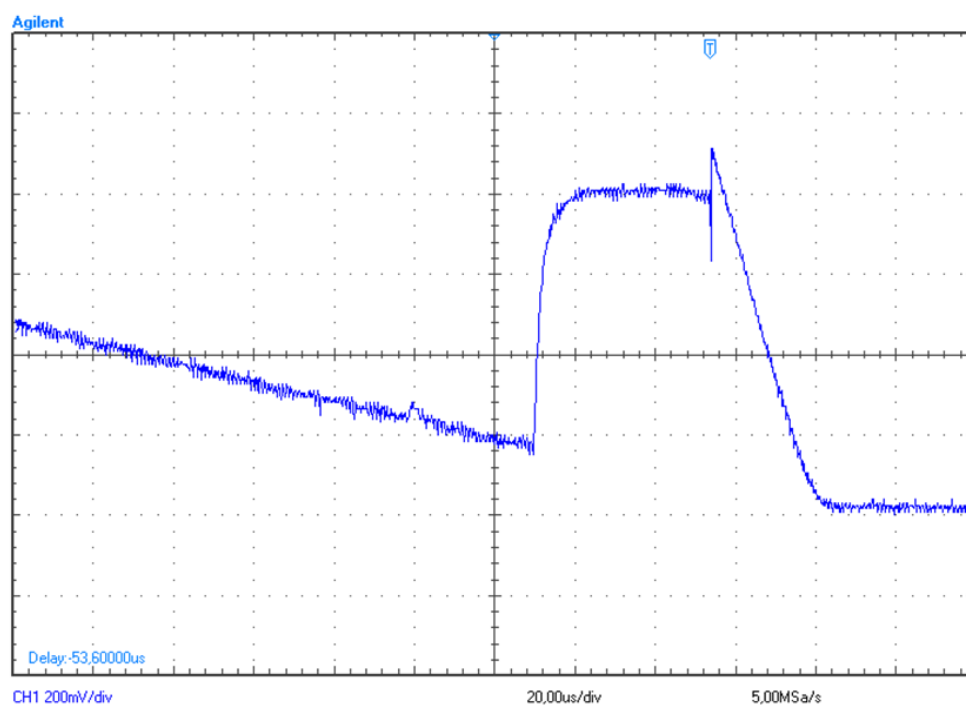


Figura 5.3: Luminosidade do ambiente

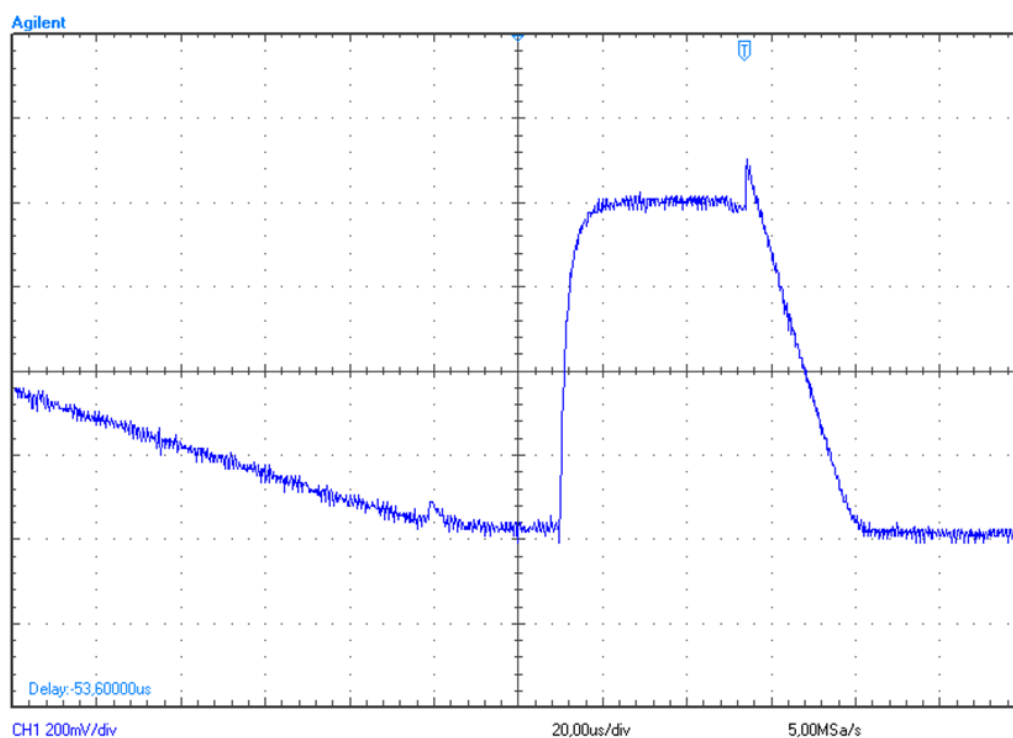


Figura 5.4: Luminosidade do ambiente

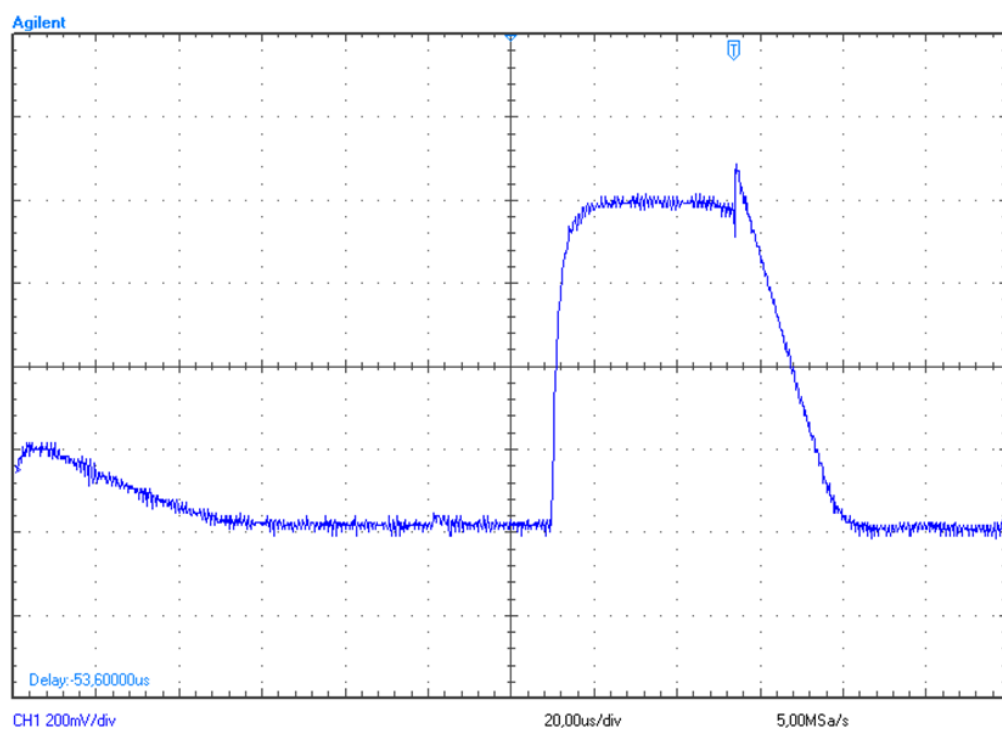


Figura 5.5: Luminosidade do ambiente

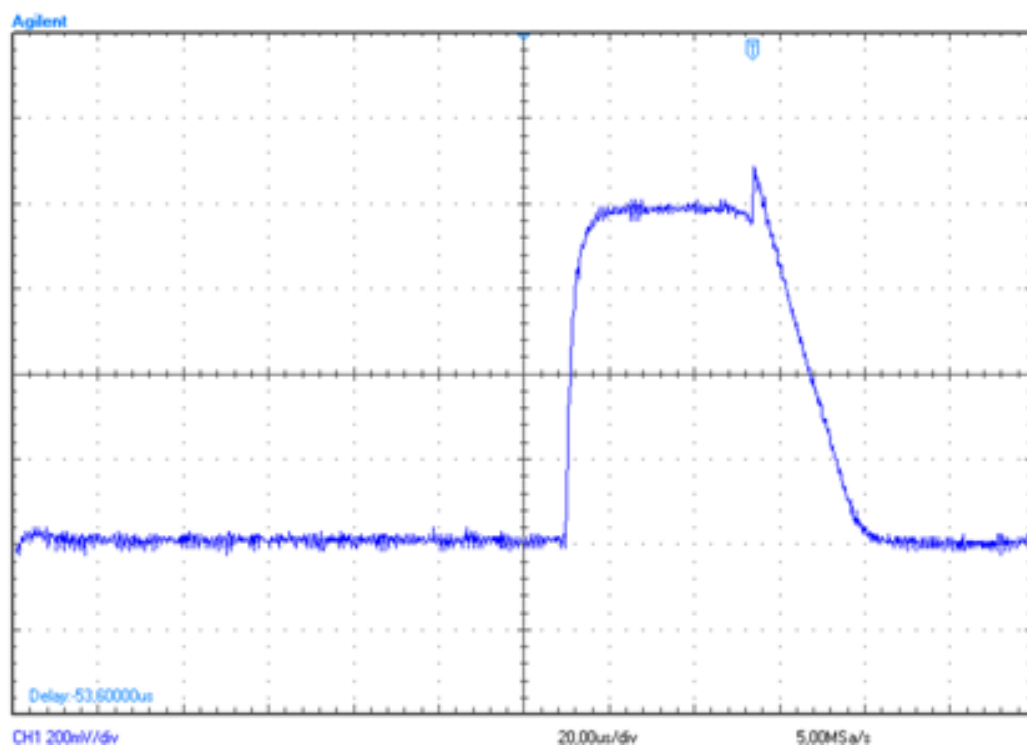


Figura 5.6: Luminosidade do ambiente

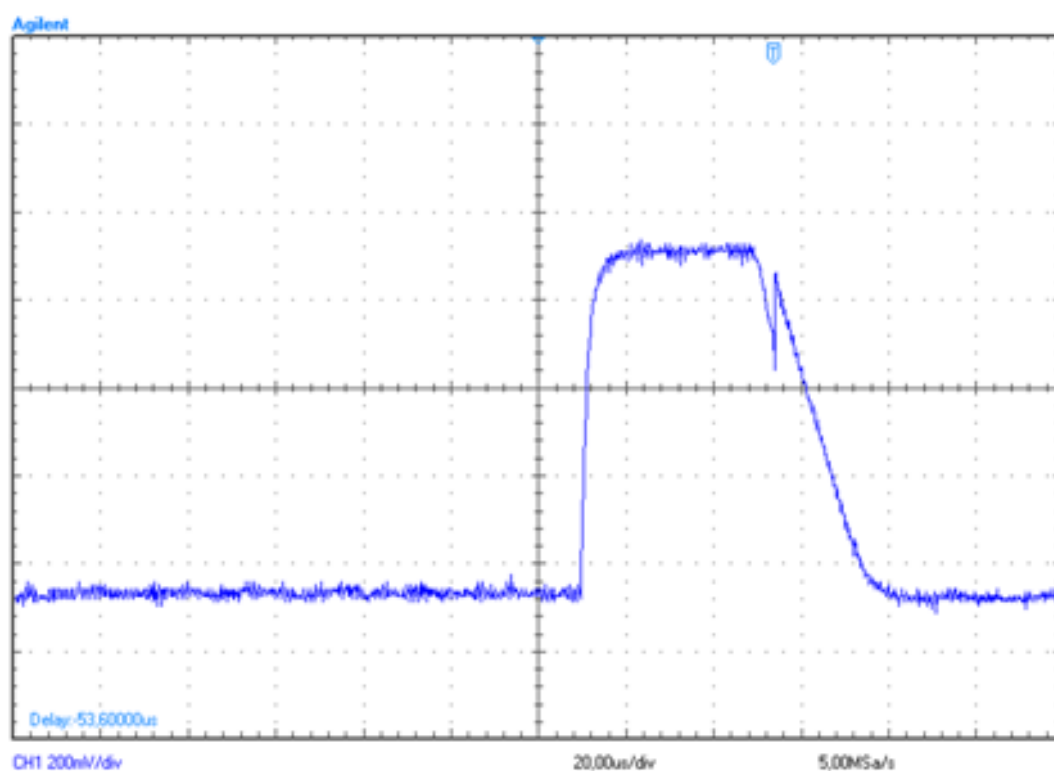


Figura 5.7: Luminosidade do ambiente

Observe que o comportamento da saída de tensão observada nos resultados obtidos tem o mesmo comportamento teorizado através das simulações realizadas quando o sensor opera no modo linear e logarítmico. Isto se torna mais evidente quando observamos as figuras 5.8 e 5.9.

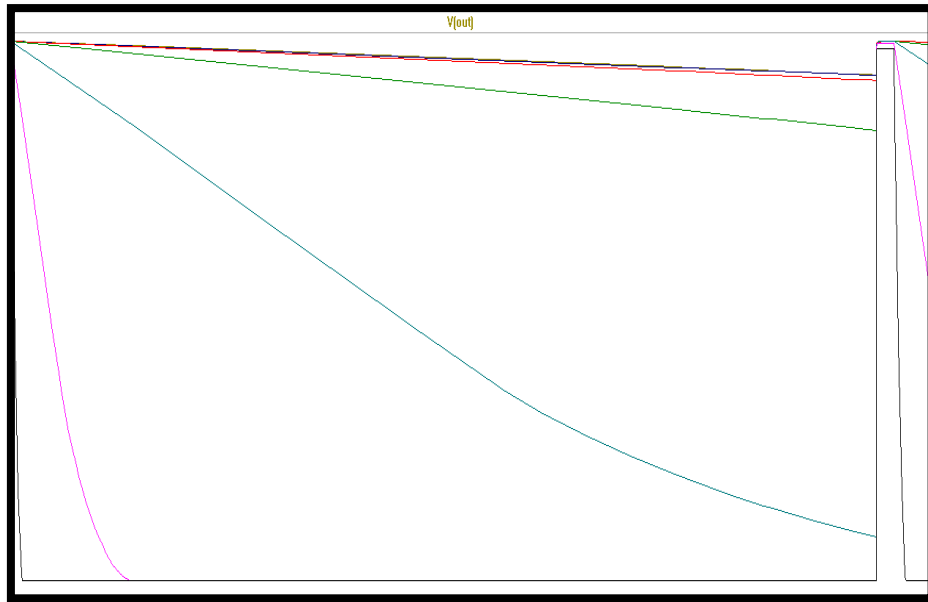


Figura 5.8: Resposta do sensor nas simulações realizadas

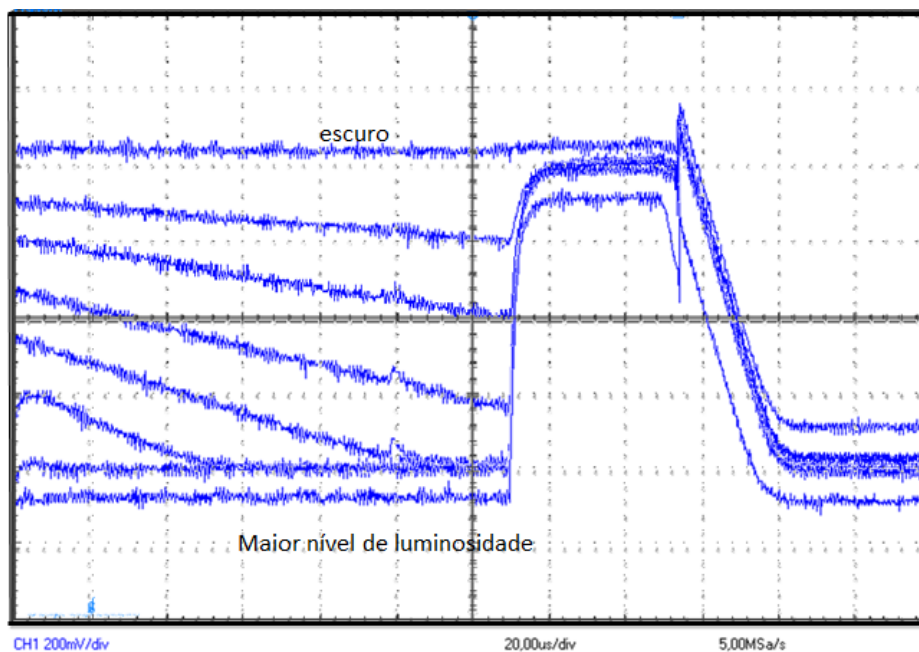


Figura 5.9: Testes do sensor operando modo linear e logarítmico

## **6. Capítulo VI: CONCLUSÃO**

Neste trabalho foi apresentado o fluxo de projeto de desenvolvimento para fabricação e implementação dos circuitos de controle de uma matriz 8x8 de sensores do tipo APS fabricados em tecnologia AMS CMOS no processo C35B4 na tecnologia de  $0.35\ \mu\text{m}$  que compõe o circuito de teste da matriz.

No desenvolvimento da escolha das estruturas a serem utilizadas foram realizados alguns cálculos para verificação de sua funcionalidade. Porém, quando foram desenvolvidos os diagramas esquemáticos das estruturas inicialmente selecionadas, observamos que, em sua forma mais simples, funcionaram bem para os circuitos moduladores do sinal RDR, mas não funcionariam para o que o fim ao qual foram projetadas, no caso dos circuitos que modulavam o sinal de reset. A primeira solução para o problema era bem simples, mas impraticável devido à forma como os circuitos integrados são fabricados. Para solucionar este problema foi desenvolvida uma estrutura mais complexa, que atendia aos requisitos iniciais do projeto. Confirmamos o funcionamento dos circuitos através de simulações via software.

A partir deste ponto os layouts foram desenvolvidos e enviados para fabricação. Após a fabricação, foram realizados testes do sensor no modo linear e logarítmico que confirmaram o funcionamento dos circuitos de controle e endereçamento.

O conhecimento obtido neste trabalho sobre o fluxo de projeto de um chip pode ser estendido também para outros tipos de circuitos; desde desenvolvimento de células de memória, que tem um circuito muito semelhante ao de um sensor de pixel passivo, até circuitos integrados para relés de potência eletrônicos microprocessados, entre outros.

### **6.1 Proposições para trabalhos futuros**

Como vimos ao longo do trabalho, surgiram problemas no desenvolvimento do inversor que modula o sinal de reset, relacionados à sua funcionalidade, pois o mesmo funcionou para o sinal de RDR mas não para o sinal de RST. Este problema foi sanado com o desenvolvimento de um novo diagrama esquemático de inversor que é mostrado na figura a seguir:

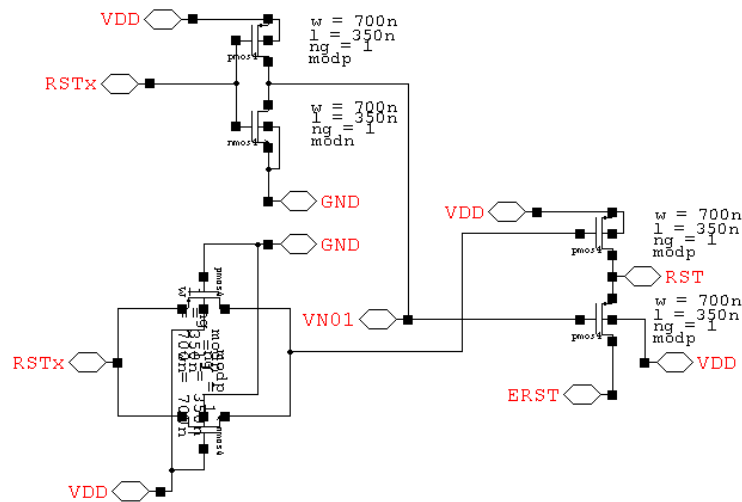


Figura 6.1: Diagrama esquemático final do circuito RST

Como já foi analisado anteriormente, é prática comum introduzir o circuito T-GATE funcionando sempre em modo “habilitado” com o objetivo de reduzir a diferença entre os sinais de entrada desse inversor para que o circuito inversor projetado opere da melhor forma possível.

Porém, na prática, a diferença de sinal entre os sinais de porta sem o T-GATE é de cerca de algumas dezenas de nano segundos, enquanto que o tempo necessário para leitura de uma única coluna na matriz de testes é de cerca de algumas centenas de microssegundos. Logo, para um trabalho futuro, esse inversor poderia ser implementado sem o circuito T-GATE se o circuito acionado operar em frequências que não prejudiquem o sistema como um todo. Isto deve ser analisado.

Outra observação feita durante as simulações desse circuito foi o comportamento da forma de onda de saída do inversor acoplado ao circuito inversor principal, no nó VN01, vista nas figuras a seguir:

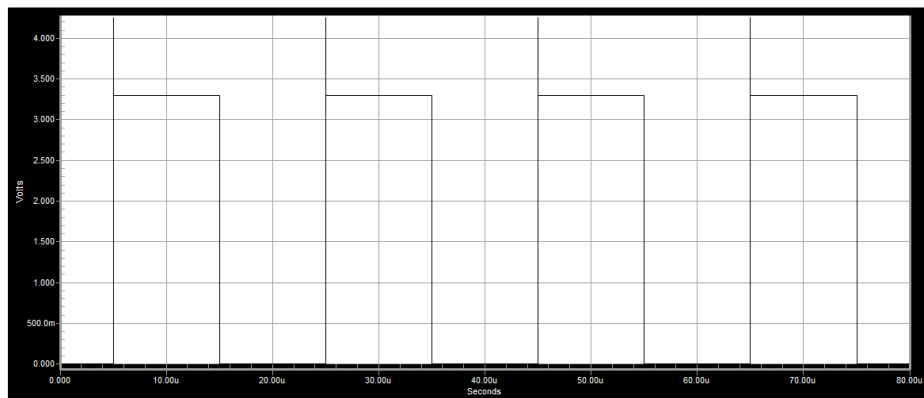




Figura 6.2: Forma de onda no nó VN01

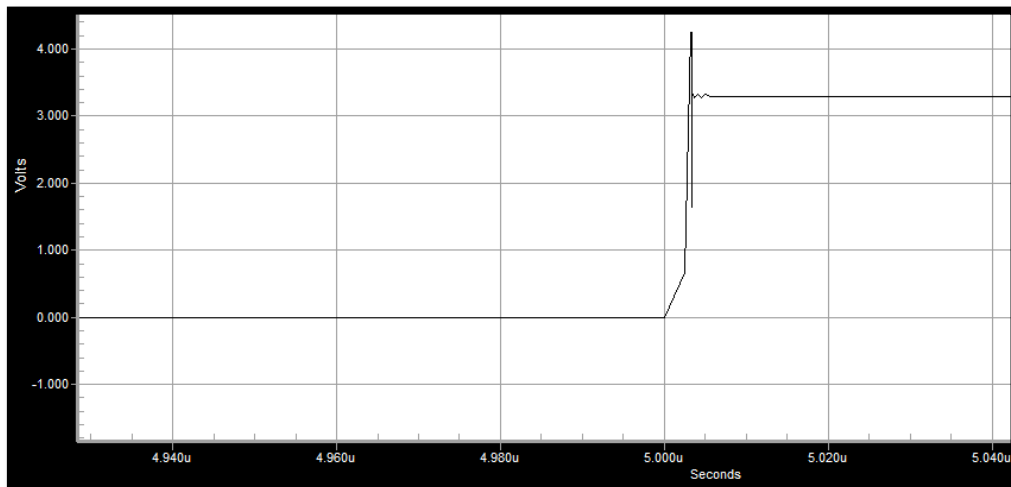


Figura 6.2: Forma de onda no nó VN01

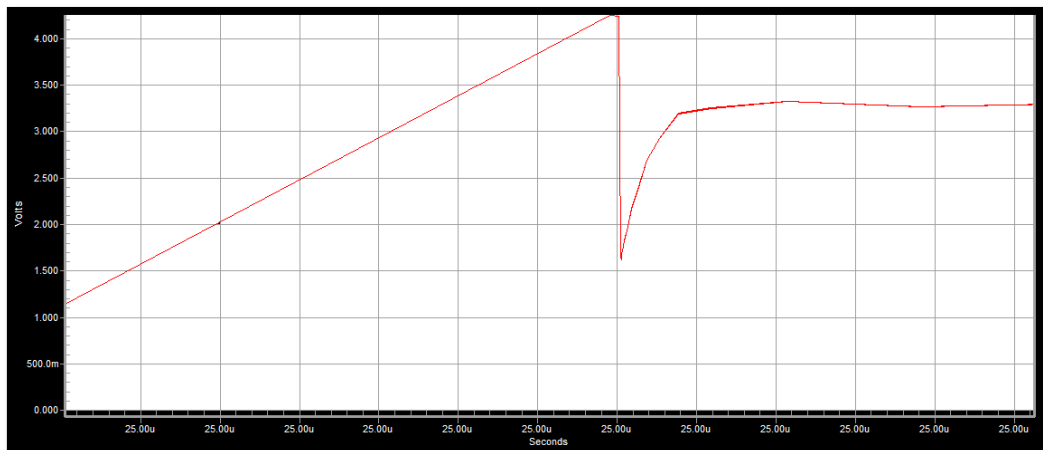


Figura 6.3: Forma de onda no nó VN01 (Ampliação no ponto crítico)

Como podemos observar nas figuras 6.2 e 6.3, ha um efeito transitório na borda de subida do sinal no nó VN01 que chega a um valor de aproximadamente 4.1V de valor máximo que é um valor bem maior do que a tensão de alimentação de 3.3V do chip. Fazendo agora simulações do mesmo ponto sem o circuito T- GATE, observamos a seguinte forma de onda na figura 6.4:

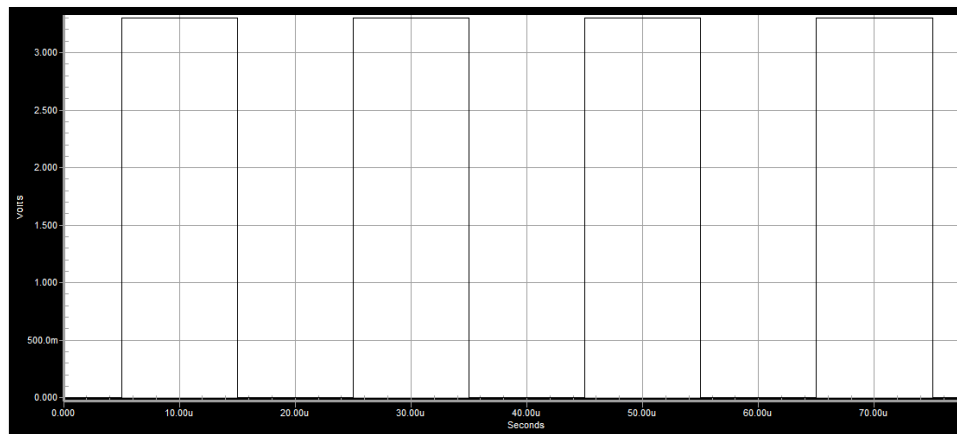


Figura 6.4: Forma de onda no nó VN01 sem o circuito de atraso

Como podemos observar na figura 6.4, a forma de onda de tensão no nó VN01 não mais exibe o efeito transitório visto anteriormente. O efeito transitório pode ser derivado de uma maior capacitância total do circuito devido a maior quantidade de transistores. Não se sabe ainda se este efeito transitório influencia no funcionamento do circuito ou em sua vida útil. Feita esta análise, observamos que se a frequência de operação do circuito não influenciar na operação do inversor RST, o T-GATE de redutor de atraso pode ser retirado. Observe que retirar dois transistores deste circuito, reduz sua capacitância total, extingue o efeito transitório observado inicialmente e nos dá também um ganho de área desse circuito inversor.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] SEDRA, Adel Smith, SMITH, K. C., **Microeletrônica**. 5ª edição, São Paulo: Pearson Prentice Hall, 2007.
- [2] BROWN, Stephen, VRANESIC, Zvonko, **Fundamentals of DIGITAL LOGIC with VHDL design**. 2ª edição, Mc Graw Hill Company, 2005.
- [3] Austriamicrosystem, “**0.35  $\mu m$  CMOS Process Parameters**”, Eng-248, revision 2,0, Janeiro 2007.
- [4] LIMA, K.G., **Estruturas APS Resistentes á aplicações espaciais**. Dissertação de Mestrado, Engenharia Elétrica, UFRJ, COPPE, Março 2006.
- [5] DE SOUZA, Jhonata Serra, **Sensores de Imagem Digitais CCD e CMOS**. VII CONEPI, IFAM, 2009.
- [6] TEIXEIRA, Estêvão Coelho, Sensor APS com Faixa Dinâmica Estendida. Tese de Doutorado, Rio de Janeiro, UFRJ/COPPE, 2010.
- [7] MARICE, E., “**Mntagem Experimental Para Concretização de Câmeras Digitais**”. 146pgs. Dissertação (Mestrado em Engenharia Eletrica) – Colegiado do Programa de Pós Graduação em Engenharia Elétrica. Universidade Federal de Minas Gerais, Belo Horizonte, 2011.
- [8] CRUZ, Carlos A. Moraes, **Simple Technique to Reduce FPN in a linear-logarithm APS**. Dept. of Electronics and Telecommunication, Universidade Federal do Amazonas, Manaus, 2012.
- [9] Capacitor CMOS - **Molecular Expressions: Images from the Microscope** – disponível:<http://micro.magnet.fsu.edu/primer/digitalimaging/concepts/images/moscapacitorfigure1.jpg>, acessado em 20 de janeiro 2014.
- [10] MOREIRA, L.; MESTANZA, S.; SILVA, I.; NOIJE, W.; e SWART, J. “**Sensor de Pixel ativo no processo 0,35  $\mu m$** ” 2003. Centro de Componentes semicondutores, Laboratório de sistemas integráveis. CCS/FEEC – Unicamp, LSI-EPUSP. São Paulo, 2003.
- [11] EL GAMAL, A., “**High dynamic range image sensor**”, in Tutorial at International Solid State Circuits Conference, fevereiro, 2002.