



UFAM - Engenharia Elétrica

DEMULTIPLEXAÇÃO EM NÍVEIS ANALÓGICOS PARA O CONTROLE DE
SENSORES DE IMAGEM DE LARGO ALCANCE DINÂMICO

Alexandre Kennedy Pinto Souza

Monografia de Graduação apresentada à
Coordenação de Engenharia Elétrica, UFAM,
da Universidade Federal do Amazonas, como
parte dos requisitos necessários à obtenção do
título de Engenheiro Eletricista.

Orientador:

Carlos Augusto de Moraes Cruz

Manaus

Março de 2014

DEMULTIPLEXAÇÃO EM NÍVEIS ANALÓGICOS PARA O CONTROLE DE
SENSORES DE IMAGEM DE LARGO ALCANCE DINÂMICO

Alexandre Kennedy Pinto Souza

MONOGRAFIA SUBMETIDA AO CORPO DOCENTE DO CURSO DE
ENGENHARIA ELÉTRICA DA UNIVERSIDADE FEDERAL DO AMAZONAS
COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO
GRAU DE ENGENHEIRO ELETRICISTA.

Aprovada por:

Prof. MSc. Carlos Augusto de Moraes Cruz.

Prof. Dr. Vicente Ferreira de Lucena Junior.

Prof. Dr. Eduardo Adriano Cotta.

Manaus
Março de 2014

Pinto Souza, Alexandre Kennedy

Demultiplexação em Níveis Analógicos Para o Controle
de Sensores de Imagem de Largo Alcance Dinâmico
Principais/Alexandre Kennedy Pinto Souza. - Manaus:
UFAM, 2014.

Orientador: Carlos Augusto de Moraes Cruz.

Monografia (Graduação) - UFAM / Curso de Engenharia
Elétrica, 2014.

1. Sensores de Imagem. 2. Demultiplexação. 3. Layout de
Circuitos Integrados.

Agradecimentos

Toda honra, glória, louvor e gratidão, seja dado a Deus sempre em primeiro lugar, pois sem sua infinita graça concedida não estaria concluindo uma importante etapa da minha vida.

Aos meus pais que são os maiores exemplos da minha vida, que com muito esforço e dedicação souberam mostrar o melhor caminho a ser trilhado neste mundo, através da educação e amor dados a minha pessoa.

Aos meus irmãos sempre atenciosos e grandes exemplos no qual sempre me espelhei e aprendi muito com eles.

Ao mestre Prof. MSc. Carlos Augusto de Moraes Cruz grande facilitador e colaborador para a conclusão deste projeto com quem aprendi muito.

Aos amigos Luciano Lourenço e Daniel Rocha que participaram da equipe de desenvolvimento do projeto contribuindo por demais para a conclusão deste projeto.

Resumo da Monografia apresentada à UFAM como parte dos requisitos necessários
para obtenção do grau de Engenheiro Eletricista

**DEMULTIPLEXAÇÃO EM NÍVEIS ANALÓGICOS PARA O CONTROLE DE
SENSORES DE IMAGEM DE LARGO ALCANCE DINÂMICO**

Alexandre Kennedy Pinto Souza

Março/2014

Orientador: Carlos Augusto de Moraes Cruz

Curso: Engenharia Elétrica

Este trabalho apresenta os resultados do projeto de desenvolvimento de duas estruturas internas de um circuito integrado, que realizam a função de demultiplexação em níveis analógicos para o controle de sensores de imagem de largo alcance dinâmico. A demultiplexação analógica para sensores de imagem CMOS, se torna o grande diferencial desta tecnologia, devido a forma de seleção e leitura que pode ser realizada em pixels individuais em uma matriz de sensores de imagem, algo realizado no presente trabalho através dos circuitos propostos e aferições no mesmo.

Abstract of Monograph presented to UFAM as a partial fulfillment of the requirements for the degree of Electrical Engineer

DEMULTIPLEXING LEVELS IN ANALOG CONTROL SENSOR IMAGE OF
WIDE DYNAMIC RANGE

Alexandre Kennedy Pinto Souza

March/2014

Advisors: Carlos Augusto de Moraes Cruz

Course: Electrical Engineering

This work presents the results of the project to develop an internal structure of an integrated circuit, which performs the function of demultiplexing in analog to control imaging sensors for wide dynamic range levels. The analog demultiplexing for CMOS image sensors, becomes the great advantage of this technology, because the way of selecting and reading that can be performed on individual pixels in an array of image sensors, something done in the present work through the proposed circuit and measurements therein.

Sumário

Capítulo 1	11
Introdução	11
1.1 Sensor de Imagem CCD	12
1.2 Sensor de Imagem CMOS	12
1.3 Comparações Entre Sensor CCD e Sensor CMOS APS	15
Capítulo 2	17
Desenvolvimento	17
2.1 Diagrama em Blocos do Sensor de Imagem.....	17
2.1.1 Circuitos de Endereçamento	18
2.1.2 Circuito de Leitura.....	19
2.1.3 Circuito de Controle do Sensor: RDR_RST.....	19
2.1.4 Matriz de Sensores de Imagem APS3T 8x8.....	20
2.2 Fundamentação Teórica do DEMUX	21
2.3 Circuito ROWSEL.....	22
2.3.1 Esquemático do Circuito ROWSEL	22
2.3.2 Dinâmica do Circuito ROWSEL, Simulações e Formas de Onda.	26
2.4 Circuito COLSEL	28
2.4.1 Esquemático do Circuito COLSEL	29
2.4.2 Dinâmica do Circuito COLSEL, Simulações e Formas de Onda.....	33
2.5 Layout dos Circuitos ROWSEL e COLSEL	35
2.5.1 Layout Circuito ROWSEL	37
2.5.2 Layout Circuito COLSEL.....	39
Capítulo 3	42
3.1 Resultados Experimentais e Testes Realizados nos Circuitos Propostos.....	42
Capítulo 4	48
Considerações Finais	48
4.1 Conclusão	48
4.2 Propostas para Trabalhos Futuros	49
Referências Bibliográficas.....	50
Anexo I	51
Anexo II.....	52
Anexo III	53

LISTA DE FIGURAS

Figura 1 - Estrutura Básica do Pixel PPS [6]	13
Figura 2 - Arquitetura Básica de uma matriz PPS [6]	13
Figura 3 - Esquema do Circuito APS3T [6]	14
Figura 4 - Princípio de um Sensor APS.....	14
Figura 5 - Arquitetura do Sensor de Imagem	17
Figura 6 - Diagrama em Blocos Circuito ROWSEL	18
Figura 7 - Diagrama em Blocos Circuito COLSEL	18
Figura 8 - Diagrama em blocos TGATE	19
Figura 9: Diagrama em Blocos Circuito RDR_RST	19
Figura 10: Diagrama Esquemático em Circuito Elétrico Matriz APS3T 8x8.....	20
Figura 11 - Analogia com chaves para o Circuito DEMUX	21
Figura 12 - Modelo DEMUX	21
Figura 13 - Circuito ROWSEL.....	22
Figura 14 - Circuito Interno do DEMUX	24
Figura 15 - Primeiro Estágio Demux.....	24
Figura 16 - Primeiro e Segundo Estágio do DEMUX.....	25
Figura 17 - Diagrama em Formas de Onda do ROWSEL.....	27
Figura 18 - Diagrama Circuito COLSEL	29
Figura 19: Parâmetros Sinais de Controle	30
Figura 20 - Formas de Onda Sinais RDR_DIG e RST_DIG.....	31
Figura 21: Primeiro Estágio Circuito COLSEL	32
Figura 22 - Diagrama em Blocos Primeiro Estágio Circuito COLSEL	32
Figura 23 - Segundo Estágio Circuito COLSEL	33
Figura 24: Diagrama em Tempo Funcionamento Circuito COLSEL.....	35
Figura 25 - Layout Circuito Integrado ROWSEL	37
Figura 26 - Célula do Layout ROWSEL	37
Figura 27 - Portas Lógicas (a) NOR30, (b) NAND20 e (c) INV0	38
Figura 28 - Layout Circuito COLSEL.....	39
Figura 29 - Célula do Layout COLSEL	40
Figura 30 - Portas Lógicas (a) NOR30, (b) NAND20 e (c) INV0	41
Figura 31-Sinais de Endereçamento de Linhas A0, A1 e A2.....	42
Figura 32 - Sinais de Endereçamento de Colunas	43

Figura 33 - Sinais de Controle RST_DIG e RDR_DIG	43
Figura 34 - Sinal de Leitura da 2ª Coluna da Matriz no Escuro.....	44
Figura 35 - Sinal de Leitura da 2ª Coluna com Luminosidade.....	44
Figura 36 - Sinal de Leitura da Oitava Coluna no Escuro.....	45
Figura 37 - Sinal de Leitura da Oitava Coluna com Luminosidade	45
Figura 38 - Níveis de Tensão em Escala Valores de Cinza Referente a Tabela 7.....	46
Figura 39 - Escala de Cinza dos Valores Correspondente da Tabela 8.....	47
Figura 40 - Layout Sensor de Imagem	51
Figura 41 - Plataforma de Testes do Circuito Integrado	52
Figura 42 - Níveis de Tensões e Escala de Cinza Máscara 1	53
Figure 43 - Níveis de Tensões e Escala de Cinza Máscara 2	53
Figura 44 - Níveis de Tensões e Escala de Cinza Máscara 3	53

LISTA DE TABELAS

Tabela 1 - Sinais de Endereçamento A0, A1 e A2	23
Tabela 2 - Funcionamento Primeiro Estágio do ROWSEL.....	26
Tabela 3 - Tabela Verdade Segundo Estágio ROWSEL	26
Tabela 4 - Combinações Sinais COLSEL	30
Tabela 5 - Tabela Verdade Primeiro Estágio do Circuito COLSEL	34
Tabela 6 - Tabela Verdade Segundo Estágio Seleção de Colunas	34
Tabela 7 - Máscara com Níveis de Tensões da Matriz de Pixel.....	46
Tabela 8 - Máscara de Níveis de Tensões da Matriz APS.....	47

CAPÍTULO 1

INTRODUÇÃO

A tecnologia de sensores de imagem a estado sólido avançou a tal ponto que agora é extremamente necessário considerar a fabricação de redes integradas de fotodetectores, capazes de produzir imagens de alta resolução [1].

A pesquisa de sensores de imagem a estado sólido teve início na década de 60, com trabalho de diferentes grupos de pesquisas utilizando processos NMOS, PMOS e bipolares [2].

Com o advento da tecnologia CCD (*Charge Coupled Device*), no início da década de 70, e de sua superioridade em relação aos sensores de imagem até então propostos, a maior parte das pesquisas se concentrou no desenvolvimento desta tecnologia, se tornando predominante em aplicações que variam desde câmeras digitais até aplicações científicas específicas [1].

Em meados da década de 70 nos Laboratórios Bell Labs, durante várias pesquisas relacionadas a circuitos integrados nasce ocasionalmente um sensor de imagem que hoje conhecemos como Sensor CCD, através de um projeto desenvolvido pelos físicos Willard Boyle e George Smith [4].

Em 1975 por conta desta tecnologia ser uma novidade, foram criadas as primeiras câmeras de TV com uso restrito para uso comercial de emissoras de televisão.

No início da década de 90, o desenvolvimento de sensores de imagem CMOS baseados na tecnologia APS (*Active Pixel Sensor*), originada no Jet Propulsion Laboratory da NASA, iniciou uma mudança neste cenário [2].

Os sensores de imagem são caracterizados pela tecnologia utilizada, consumo de energia, qualidade de imagem, velocidade de captura, tamanho e custo.

Os Sensores de imagem mais utilizados atualmente são: O Sensor de imagem **CCD** (*Charged Coupled Device*) e o Sensor de Imagem **CMOS** (*Complementary Metal Oxide Semiconductor*).

Basicamente dispositivos de sensores de imagem eletrônicos executam a tarefa de converter um padrão de iluminação incidente sobre a superfície do sensor em um sinal de tensão. A forma de onda de tensão de saída é referida como um sinal de vídeo [1].

1.1 SENSOR DE IMAGEM CCD

O sensor de imagem CCD é composto por várias células individuais sensíveis à luz (pixels) capazes de produzir uma carga elétrica proporcional à intensidade de radiação luminosa incidente [4].

Os pixels em um sensor de imagem CCD estão dispostos normalmente em uma simples linha ou em uma matriz bi-dimensional composta por linhas e colunas. Em scanners, por exemplo, os pixels são organizados em uma linha, neste caso é necessário mover o CCD sobre a imagem (ou vice-versa). Já as câmeras digitais são formadas por uma matriz bidimensional, dessa forma, uma imagem bidimensional pode ser capturada numa única exposição.

Um dos principais parâmetros de um CCD é a resolução, que é igual ao número total de pixels existentes na área sensível à luz do dispositivo. Um dos primeiros dispositivos CCD de matriz, desenvolvido em 1974, possuía resolução de 100x100 pixels. Atualmente, encontram-se dispositivos com resolução de aproximadamente 9000x7000, ou seja, 63 milhões de pixels [4].

1.2 SENSOR DE IMAGEM CMOS

Sensores de imagem CMOS assim como sensores CCD são formados por elementos fotossensíveis capazes de gerar um sinal elétrico ou carga proporcional à intensidade de luz que incide sobre eles.

Em Sensores de Imagem CMOS, temos a presença de um fotodiodo, elemento responsável pela conversão de luz em um sinal de tensão, além da presença de transistores que podem ser integrados formando um circuito individual para cada pixel.

Sensores de imagem CMOS podem ser implementados de duas formas: Sensor de imagem PPS (Passive Pixel Sensor) e Sensor de imagem APS (Active Pixel Sensor), sendo que os dois tipos utilizam a mesma forma de leitura.

O pixel passivo foi introduzido em 1967 por Welckler [6]. Cada Pixel de uma matriz PPS consiste de um elemento fotossensível, geralmente fotodiodo, e apenas um transistor que é usado como chave, transferindo o sinal de pixel para o amplificador de pixel localizado em cada coluna ou por um único amplificador para todo o sistema [5].

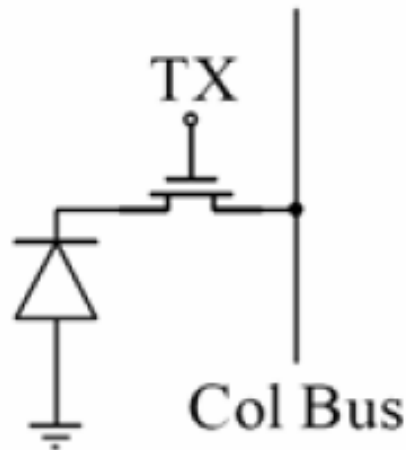


Figura 1 - Estrutura Básica do Pixel PPS [6]

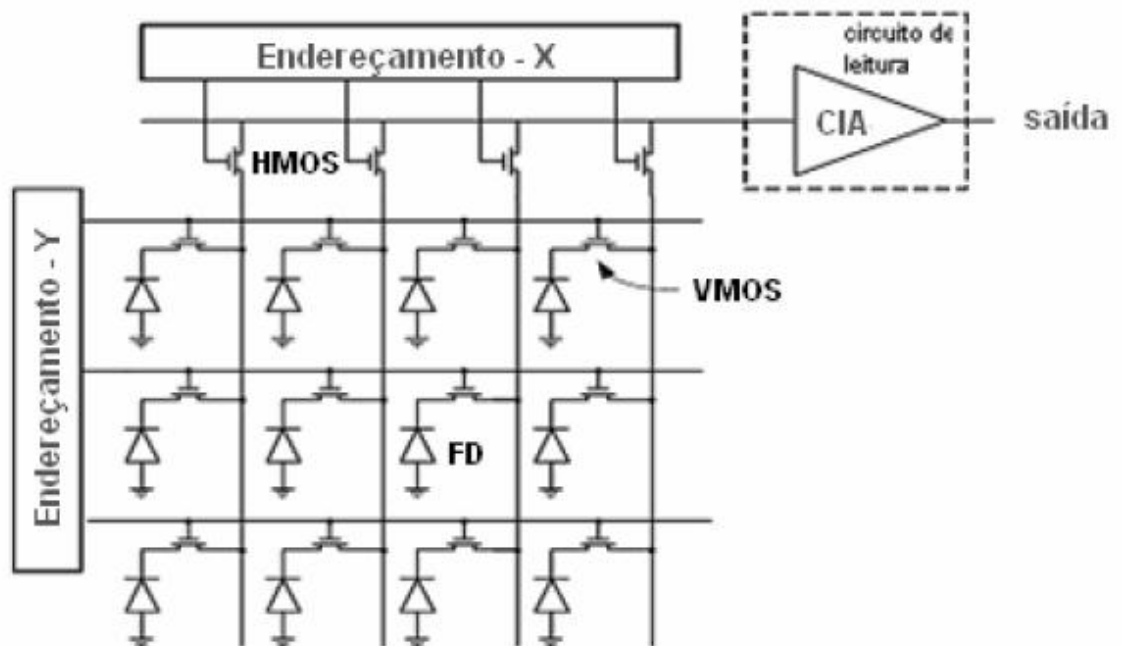


Figura 2 - Arquitetura Básica de uma matriz PPS [6]

A estrutura básica de um pixel ativo ou APS3T é composta por um fotodiodo e um circuito contendo três transistores: Um transistor de Reset, um transistor de Seleção Linha (RS) e um transistor Seguidor de Fonte. Devido à presença destes três transistores, o pixel em particular é denominado de APS3T e está exibido a seguir na figura 3.

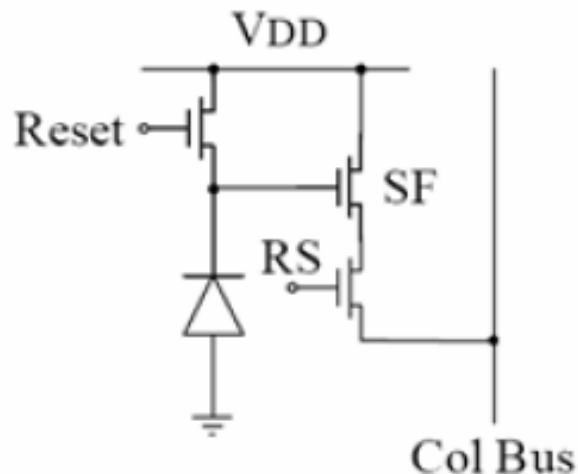


Figura 3 - Esquema do Circuito APS3T [6]

O Transistor de Reset tem a função de inicializar o pixel carregando a capacitância de junção do fotodiodo; tem se a presença do Transistor de Seleção (RS) operando como uma chave analógica realizando a seleção de linha (RowSel) em uma matriz de pixels, observa se que o transistor Seguidor de Fonte (FS) realiza a leitura da tensão desenvolvida na capacitância de junção do fotodiodo, sendo o amplificador de carga ativo presente em cada pixel. Abaixo está exibido o diagrama esquemático de uma matriz de APS com seus amplificadores indicados em cada pixel além do barramento comum para cada linha da matriz.

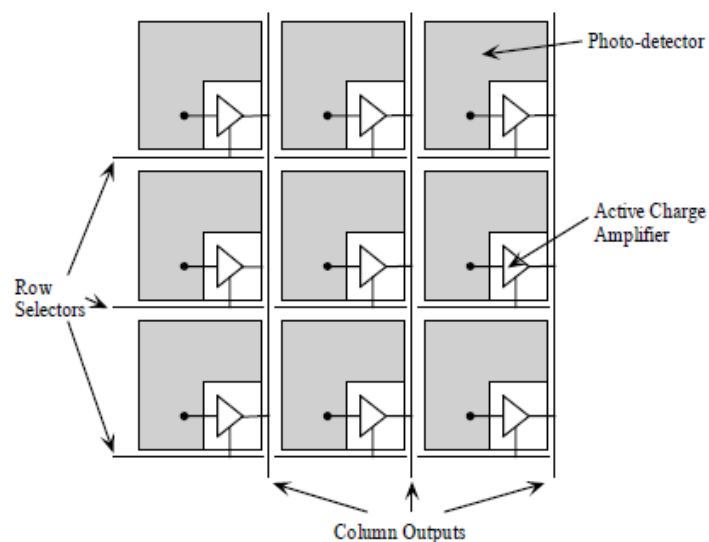


Figura 4 - Princípio de um Sensor APS

1.3 COMPARAÇÕES ENTRE SENSOR CCD E SENSOR CMOS APS

Os sensores de imagem CMOS APS podem incorporar no mesmo chip, circuitos que realizam funções analógicas bem como circuitos digitais, enquanto que os sensores CCD necessitam de vários circuitos auxiliares de suporte, isso possibilita uma redução tanto no consumo de energia dos sensores CMOS APS bem como possibilita a redução do tamanho dos circuitos implementados nesta tecnologia em comparação aos Sensores CCD.

Em sensores de imagem CMOS do tipo APS, pode ser realizada a seleção e leitura, diretamente de cada sinal gerado por cada pixel, através de circuitos específicos de endereçamento e leitura (assim como em uma DRAM). A seleção de um determinado pixel, linhas ou colunas de pixels para a leitura requer um conjunto único de chaves a serem ativadas. [3]

Em uma matriz de sensores de imagens ou matriz de Sensores APS (Active-Pixel Sensor), faz-se necessário a presença de circuitos auxiliares para realização de funções tais como: Seleção de linhas e colunas, Circuitos de Controle, que realizam a polarização de cada sensor em tempos específicos, e circuitos de leitura.

O presente trabalho irá abordar especificamente a parte de seleção de linhas e colunas do sensor de imagem, através do processo demultiplexação em níveis analógicos. Irá ser demonstrado todo o procedimento de desenvolvimento e construção de dois circuitos demultiplexadores que realizam a esta tarefa.

Este trabalho está composto de 3 Capítulos além da introdução.

O capítulo 2 inicia-se com uma apresentação do diagrama em blocos do Sensor de Imagem onde estão implementados os circuitos propostos, além de outros circuitos que auxiliam no funcionamento do sensor de imagem. Há também uma fundamentação teórica a respeito de demultiplexadores, além do que, está demonstrado todo o processo de desenvolvimento dos dois circuitos seletores de linha e coluna, que realizam a função de demultiplexação, denominados de ROWSEL e COLSEL. Nesta etapa do trabalho estão exibidos os diagramas esquemáticos dos circuitos, tabelas verdade, simulações e formas de onda passando toda a dinâmica dos circuitos além do processo de construção de layouts em forma integrada dos mesmos.

No capítulo 3 temos os resultados experimentais obtidos dos circuitos propostos. Temos a presença dos sinais que foram gerados para os testes dos circuitos, dados

obtidos da Matriz do Sensor de Imagem e formas de onda que constatarem o funcionamento correto do circuito.

Finalizando a monografia tem-se o capítulo 4 com a conclusão do trabalho, ressaltando as vantagens e aspectos relevantes dos circuitos e propostas para trabalhos futuros ou futuras aplicações.

CAPÍTULO 2

DESENVOLVIMENTO

2.1 DIAGRAMA EM BLOCOS DO SENSOR DE IMAGEM

No presente trabalho temos o seguinte diagrama em blocos do sensor de imagem exibido na figura 5, demonstrando todos os circuitos que compõem a arquitetura do sensor. Há a presença de circuitos que realizam a detecção de intensidade luminosa que chega a uma matriz de fotodetectores, circuitos de endereçamento de linhas e colunas da matriz de APS3T, circuitos de controle do sensor e circuitos de leitura.

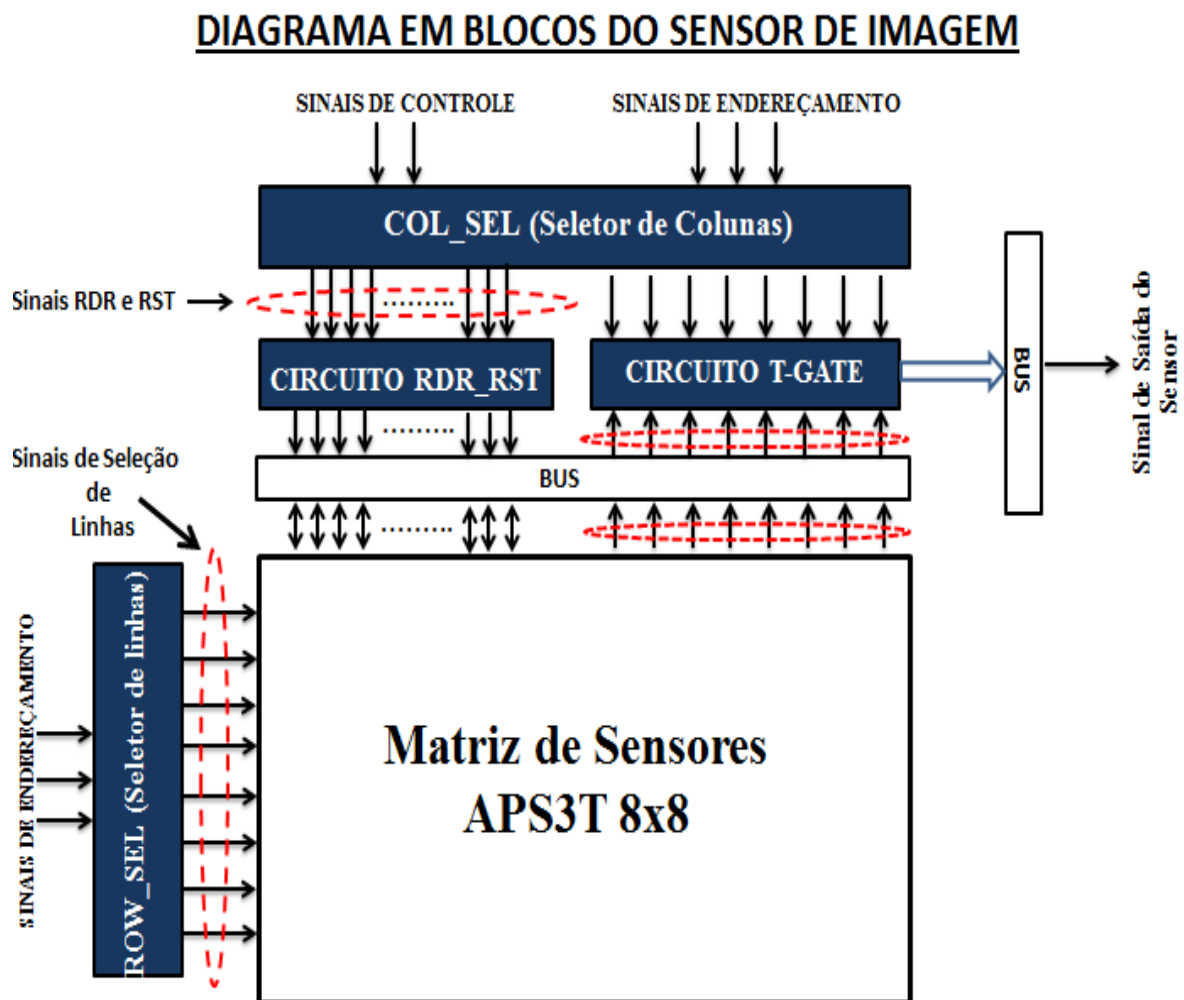


Figura 5 - Arquitetura do Sensor de Imagem

2.1.1 Circuitos de Endereçamento

No diagrama em blocos do sensor mostrado na figura 5, temos há presença de dois circuitos responsáveis em fazer a seleção de linhas e colunas da matriz, ou seja, a seleção de um determinado pixel da Matriz de Sensores APS3T.

O Circuito ROWSEL está realizando a função de selecionar uma determinada linha da matriz através de um sinal de endereçamento aplicado na sua entrada.

Para seleção de uma determinada coluna da matriz de sensores de imagem, utiliza-se o circuito COLSEL que possui a dinâmica de funcionamento semelhante ao circuito ROWSEL além de fazer a geração de sinais que realizam o controle do sensor de imagem. Está exibido abaixo nas figuras 6 e 7 respectivamente o diagrama em blocos dos circuitos ROWSEL e COLSEL.

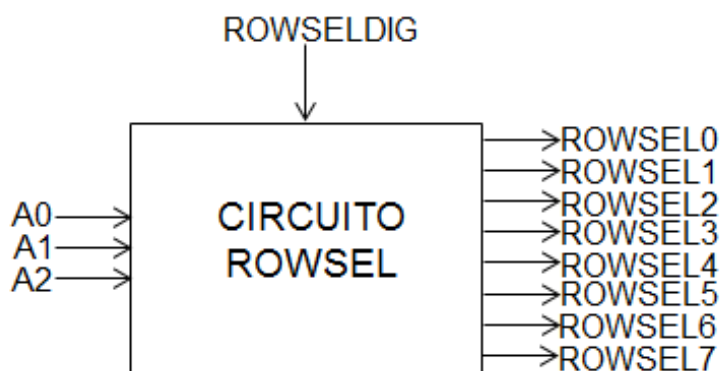


Figura 6 - Diagrama em Blocos Circuito ROWSEL

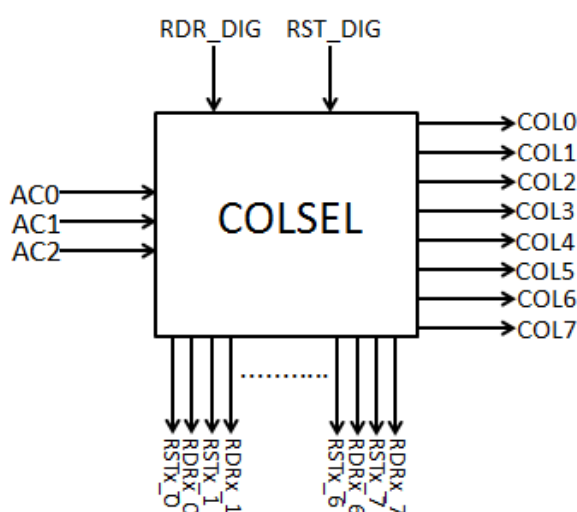


Figura 7 - Diagrama em Blocos Circuito COLSEL

2.1.2 Circuito de Leitura

Para realizar a leitura dos sinais de luz fotodetectados na Matriz de APS3T, faz-se necessário a presença de um circuito que realize a obtenção desta informação. O circuito responsável por realizar esta função é o **circuito TGATE**, que basicamente é um **circuito composto de chaves controladas**.

Para a melhor compreensão do funcionamento do circuito TGATE, está exibido na figura 8 o diagrama em blocos com os fluxos de sinais de entrada e saída e sinais de ativação.

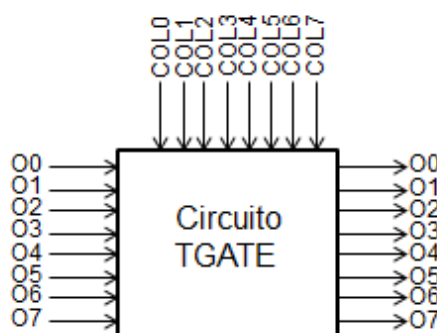


Figura 8 - Diagrama em blocos TGATE

Na entrada do circuito temos os sinais **O0, O1...O7** provenientes da saída matriz, que são transferidos para a saída do circuito TGATE de acordo com os sinais de habilitação COL0, COL1, ... , COL7.

2.1.3 Circuito de Controle do Sensor: RDR_RST

O controle do modo de operação dos pixels da matriz de sensores de imagem é realizado pelos circuitos de **RDR_RST**, que fazem a modulação dos sinais de controle derivados do circuito COLSEL e disponibilizam estes sinais de forma adequada a cada um dos sensores da matriz, colocando-os em certo modo de operação. Para este circuito está exibida na figura 9 toda a dinâmica de fluxo de sinais de entrada e saída.

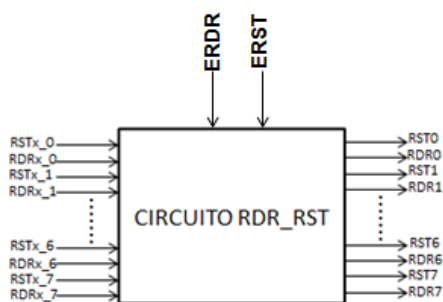


Figura 9: Diagrama em Blocos Circuito RDR_RST

Temos na entrada do circuito RDR_RST, sinais que chegam com nível digital de 0 a 3.3 V e após serem processados internamente no circuito, são entregues a matriz de sensores de imagem com níveis específicos. Localizado acima do diagrama em blocos há a presença dos sinais **ERDR** e **ERST** com valores de tensões DC específicos de 1.4 V e 2.5 V respectivamente.

ERDR=1,4V

ERST=2,5V

2.1.4 Matriz de Sensores de Imagem APS3T 8x8

Para realização da fotodetecção da intensidade de luz que chega ao sensor de imagem, há a presença de um conjunto de sessenta e quatro Sensores de Pixel Ativo ou APS3T dispostos em uma Matriz 8x8, ou seja, contendo oito linhas e oito colunas. Nesta matriz é feita a varredura das linhas e colunas ou a seleção de pixels através dos circuitos ROWSEL e COLSEL, assim como, o controle do modo de operações dos pixels é realizado através do circuito RDR_RST e a leitura dos dados obtidos na matriz é feita com circuito TGATE. Abaixo na figura 10 está exibido o diagrama esquemático em circuito elétrico da matriz com blocos representando pixels e as conexões externas existentes.

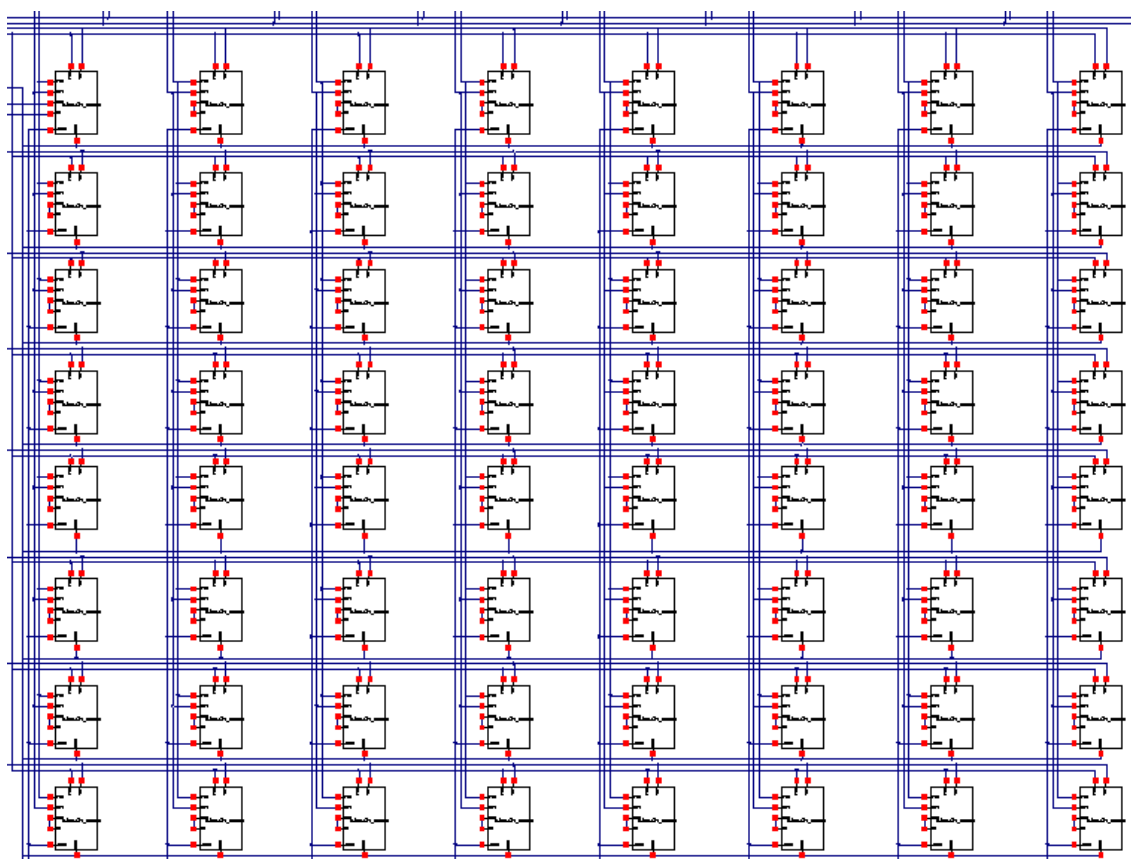


Figura 10: Diagrama Esquemático em Circuito Elétrico Matriz APS3T 8x8

2.2 Fundamentação Teórica do DEMUX

O demultiplexador ou **DEMUX** consiste de um circuito combinacional dedicado, que tem a finalidade de **selecionar, através das variáveis de seleção, quais de suas saídas deve receber a informação presente em sua única entrada.** Pode-se fazer a analogia com chaves de seleção composta de uma entrada e várias saídas como demonstrado na figura 11.

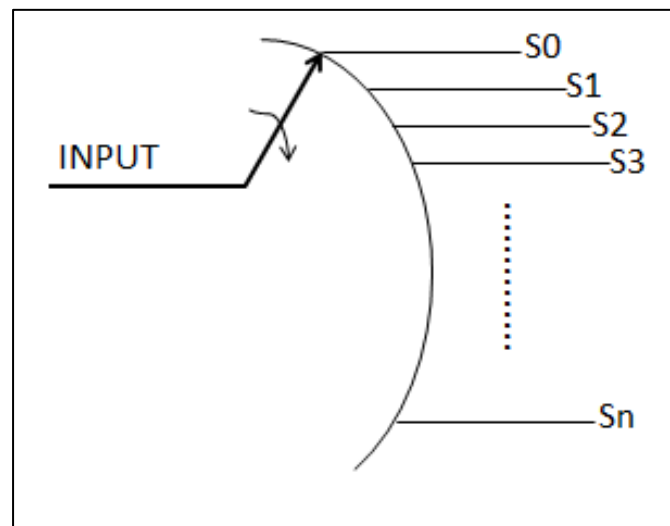


Figura 11 - Analogia com chaves para o Circuito DEMUX

Genericamente, um DEMUX pode ser representado pelo seguinte modelo mostrado na figura 12.

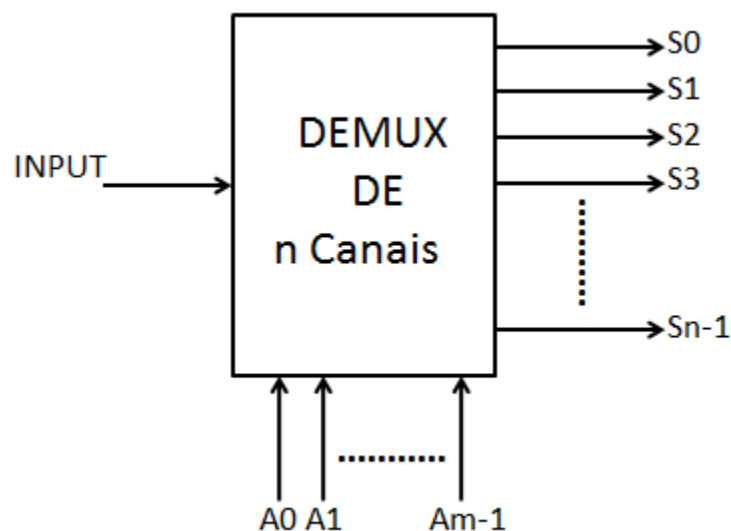


Figura 12 - Modelo DEMUX

O número de saídas está logicamente relacionado com o número de variáveis de seleção, ou seja:

$$n = 2^m$$

Onde:

$n \rightarrow$ *número de canais de saída*

$m \rightarrow$ *número de variáveis de seleção*

No Presente trabalho foram desenvolvidos dois circuitos demultiplexadores, destinados a realizar o endereçamento ou seleção de pixels em uma matriz de sensores de imagem dispostos em linhas e colunas. Os DEMUX's implementados, se diferenciam por usar somente uma entrada de seleção e realizarem a geração de sinais que influenciam no controle do modo de operação do sensor.

2.3 Circuito ROWSEL

Esta seção do trabalho descreve um dos circuitos propostos neste projeto final de curso. O objetivo nesta etapa do trabalho foi de realizar o desenvolvimento de um esquemático em circuito elétrico, que tenha como principal função, a seleção de linhas da matriz de sensores de imagem, através de um sinal de endereçamento contendo três bits sendo aplicados a entrada do circuito, além de possuir uma entrada de habilitação que ative a saída correspondente de acordo com o código presente na entrada do circuito. Nas seções seguintes irão ser demonstrados detalhes de construção do circuito assim como será demonstrado seu funcionamento e testes de simulação.

2.3.1 Esquemático do Circuito ROWSEL

O esquemático em circuito elétrico por completo do circuito apresenta-se da seguinte forma sendo exibido na figura 13.

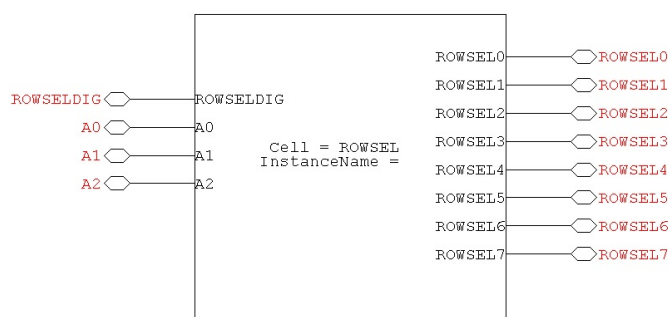


Figura 13 - Circuito ROWSEL

Analisando a figura 13, observa-se à esquerda do diagrama, sinais de entrada do circuito e à direita sinais correspondentes de saída de dados.

Os sinais de entrada se dividem da seguinte forma:

- Sinais de Endereçamento, compostos de três bits $A0$, $A1$ e $A2$ que realizam uma contagem binária variando de 0 a 7, com amplitude dos sinais variando com nível digital de 0 V a 3.3 [V], demonstrado na tabela 1.

Tabela 1 - Sinais de Endereçamento $A0$, $A1$ e $A2$

$A2$	$A1$	$A0$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

- Sinal de Habilitação **ROWSELDIG**, realizando a função de habilitação das saídas correspondentes.

Os sinais de endereçamento $A0$, $A1$ e $A2$, são conectados inicialmente a três inversores lógicos para a geração de sinais complementares que participam das combinações lógicas para ativar as respectivas saídas do circuito.

O primeiro estágio do circuito consiste de um conjunto de oito portas lógicas NOR contendo cada uma três entradas, que são combinações dos sinais de endereçamento e seus complementos, e uma saída. Na figura 14 temos as indicações dos inversores lógicos e de cada conexão de entrada nas portas lógicas NOR e a combinação de sinais de entrada correspondente, para a ativação de cada saída.

CIRCUITO DEMUX

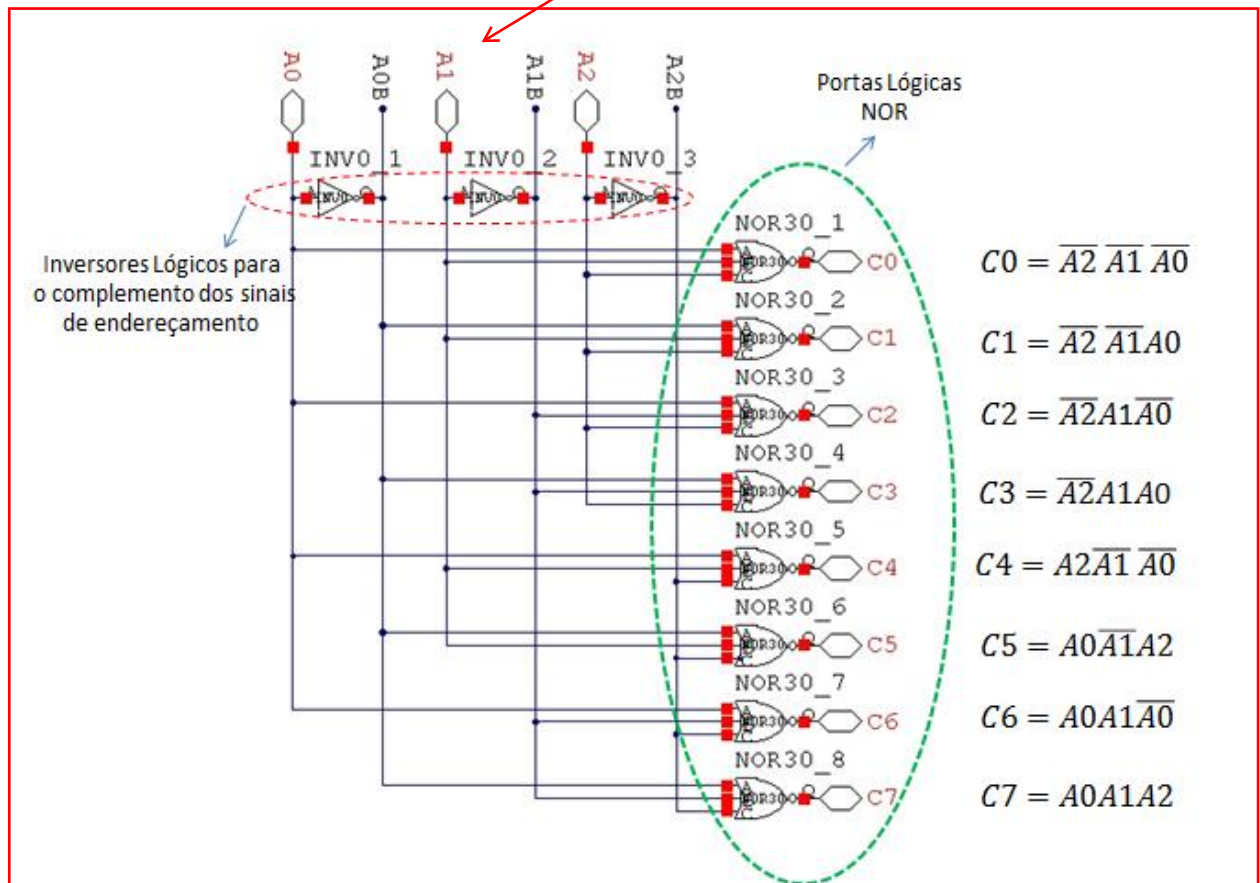


Figura 14 - Circuito Interno do DEMUX

Temos representado logo abaixo o diagrama simbólico do primeiro estágio, onde estão sendo exibidas somente as entradas externas de endereçamento e saídas do circuito, representando sinais que serão combinados para realizar a ativação as linhas da matriz de pixels.

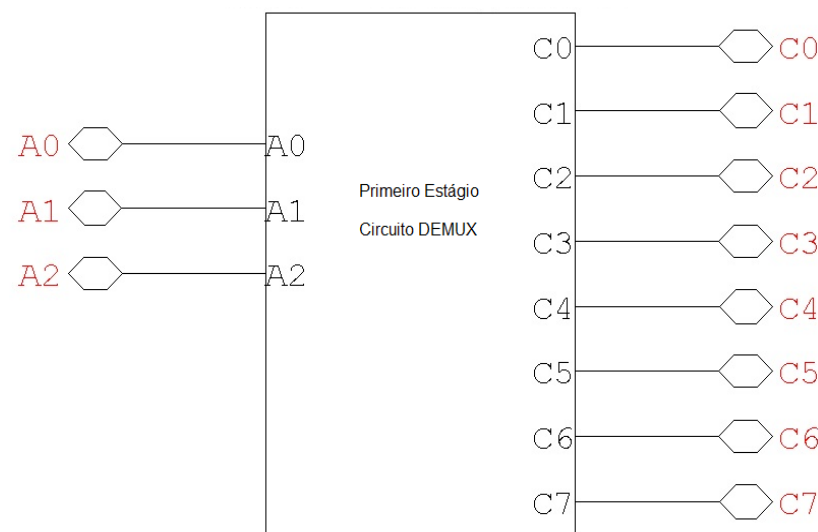


Figura 15 - Primeiro Estágio Demux

O segundo estágio do DEMUX é composto por conjunto de oito portas lógicas NAND's, seguidas de conexões com inversores lógicos. As portas NAND's possuem em uma de suas entradas, um sinal de habilitação comum a todas as portas, denominado ROWSELDIG. As outras entradas das portas NAND's, recebem os sinais do primeiro estágio, que dependem do endereçamento aplicado ao circuito. Por fim temos oito terminais de saída disponíveis mostrados a direita do circuito, representados após os inversores lógicos. Abaixo na figura 16 está exibido o primeiro estágio acoplado ao segundo estágio, formando assim o circuito ROWSEL por completo.

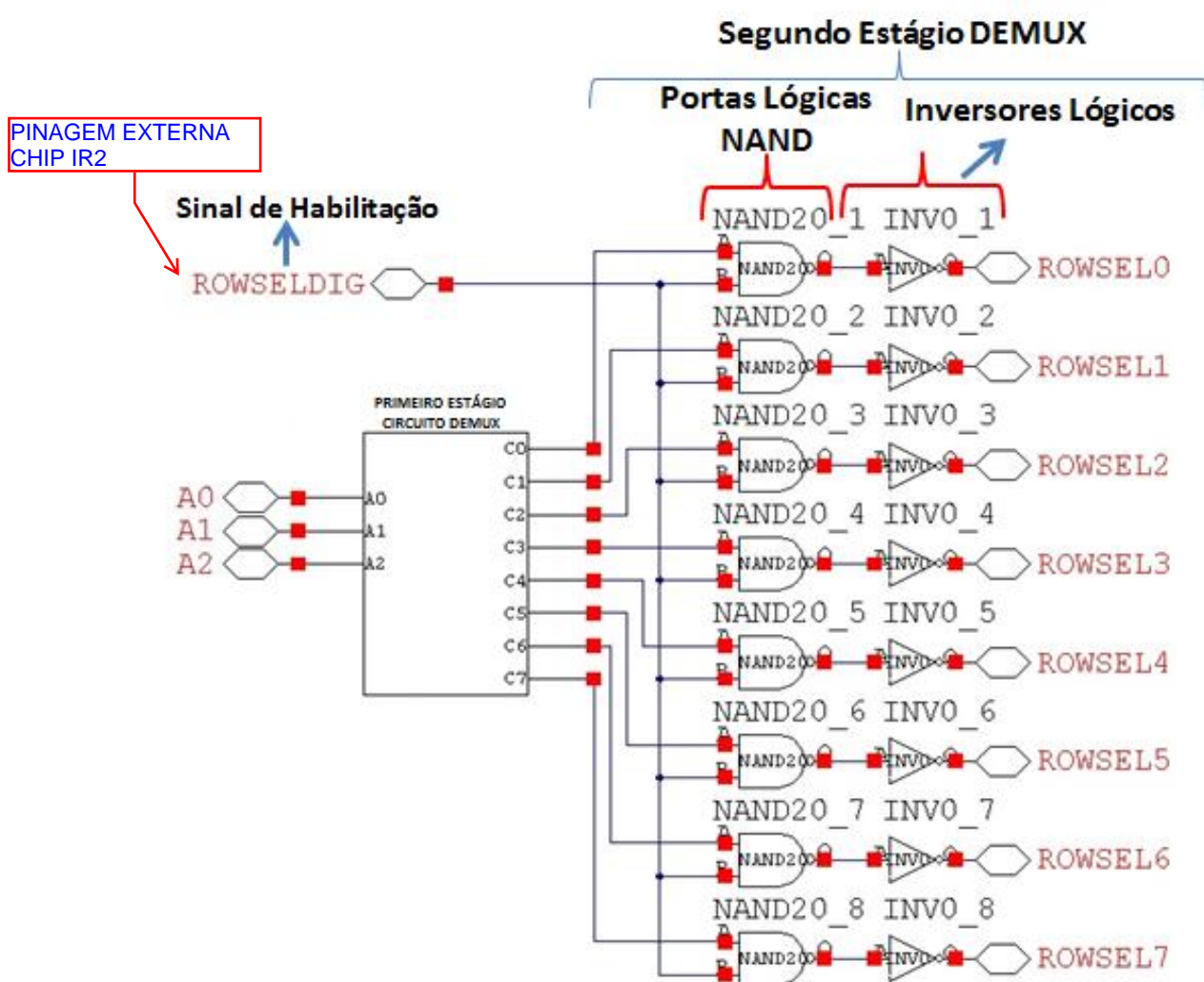


Figura 16 - Primeiro e Segundo Estágio do DEMUX

2.3.2 Dinâmica do Circuito ROWSEL, Simulações e Formas de Onda.

Nesta seção do trabalho serão apresentados os procedimentos realizados para: Endereçamento, Habilitação e Ativação das saídas do circuito ROWSEL.

O funcionamento do circuito segue a seguinte ordem de acionamento de acordo com tabela verdade mostrada abaixo:

Temos a dinâmica de funcionamento do primeiro estágio do circuito demonstrado na tabela verdade abaixo.

Tabela 2: Funcionamento Primeiro Estágio do ROWSEL

A2	A1	A0	A2B	A1B	A0B	OUT 1º ESTÁGIO
0	0	0	1	1	1	C0
0	0	1	1	1	0	C1
0	1	0	1	0	1	C2
0	1	1	1	0	0	C3
1	0	0	0	1	1	C4
1	0	1	0	1	0	C5
1	1	0	0	0	1	C6
1	1	1	0	0	0	C7

De acordo com o endereçamento mostrado na tabela 2, observa-se que a saída do primeiro estágio obedece a uma sequência binária aplicada aos terminais A0, A1 e A2, que são os únicos terminais externos de endereçamento disponíveis para o endereçamento do circuito ROWSEL.

Passando adiante temos o segundo estágio do ROWSEL obedecendo à tabela 3 exibida logo abaixo.

Tabela 3: Tabela Verdade Segundo Estágio ROWSEL

1º ESTÁGIO	ROWSELDIG	OUT 2º ESTÁGIO
C0	1	ROWSELO
C1	1	ROWSEL1
C2	1	ROWSEL2
C3	1	ROWSEL3
C4	1	ROWSEL4
C5	1	ROWSEL5
C6	1	ROWSEL6
C7	1	ROWSEL7

Nesta tabela observa-se que uma vez tendo o sinal do primeiro estágio presente, basta que o sinal de **ROWSELDIG** esteja em nível lógico alto, para habilitar uma das saídas disponíveis do circuito. Uma observação importante a respeito da dinâmica de funcionamento do circuito, é que cada saída é ativa por vez, ou seja, não podem existir duas saídas sendo acionadas simultaneamente.

Pode-se resumir o funcionamento do circuito ROWSEL através do seguinte diagrama de tempo exibindo as formas de onda dos sinais de entrada e sinal de habilitação, e os respectivos sinais de saída do circuito ROWSEL.

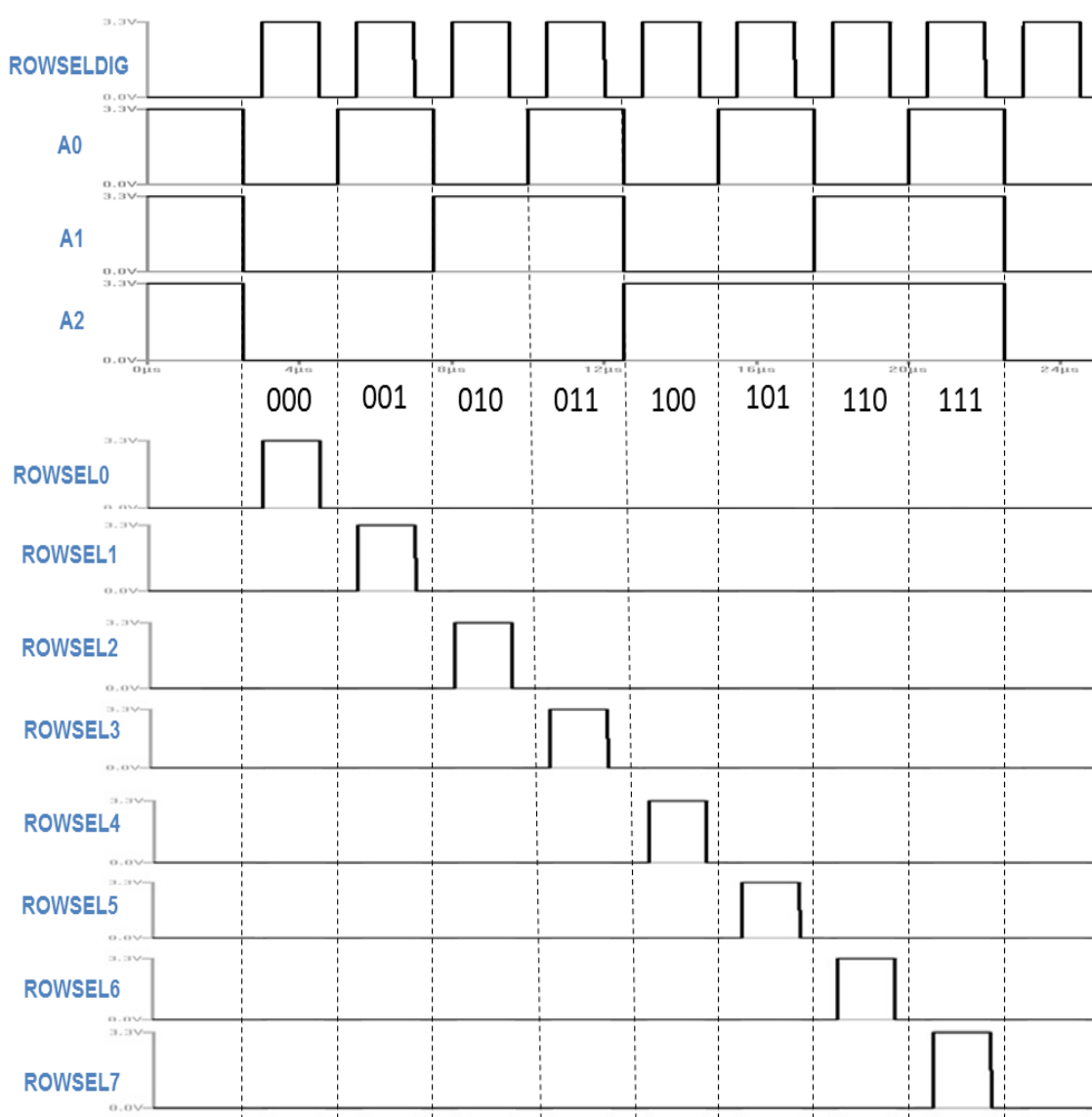


Figura 17 - Diagrama em Formas de Onda do ROWSEL

Nesta seção foi realizada uma abordagem por completo a respeito do circuito ROWSEL, sendo demonstrados esquemáticos dos circuitos elétricos em detalhes, tabelas verdades, passando assim uma visão da dinâmica de funcionamento, e por fim foram apresentados diagrama de tempo e formas de onda, resultantes de simulações realizadas diretamente no circuito.

2.4 Circuito COLSEL

Nesta etapa do trabalho irá ser apresentado todo o processo de desenvolvimento do circuito COLSEL, em se tratando de esquemáticos de circuito elétrico. Este circuito tem por função auxiliar a tarefa de demultiplexação de sinais de colunas da matriz, ou seja, atuar na seleção de colunas da matriz de pixels, além de gerar sinais que realizam o controle do modo de operação do sensor de imagem.

A ordem de apresentação dos tópicos nesta seção será realizada de forma semelhante ao que foi mostrado na seção 2.3 Circuito ROWSEL e nos subtópicos, onde foram apresentados os diagramas em blocos dos circuitos com os respectivos esquemáticos em circuito elétrico, tabelas verdade de todos os estágios da estrutura e formas de ondas resultantes de simulações realizadas no circuito.

2.4.1 Esquemático do Circuito COLSEL

O primeiro diagrama em blocos a ser exibido, refere-se ao circuito ao COLSEL, composto internamente de dois estágios sendo demonstrado na figura 18.

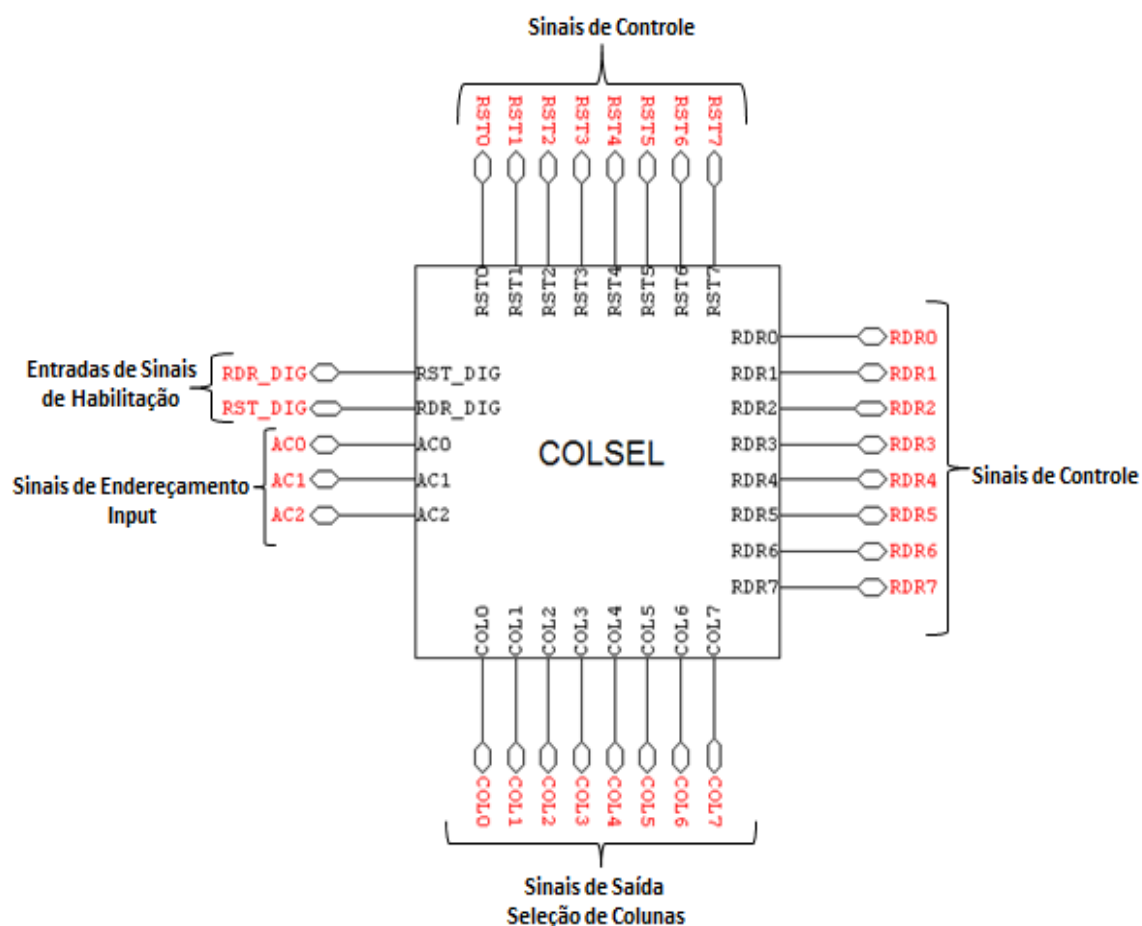


Figura 18 - Diagrama Circuito COLSEL

No diagrama em blocos do circuito COLSEL estão indicados os terminais de entrada e saída, que podem ser divididos da seguinte forma:

- **Sinais de Endereçamento**

O circuito COLSEL possui três sinais responsáveis pelo endereçamento, denominados AC0, AC1 e AC2 com nível digital de 0 [V] ou 3.3[V] representado pelos níveis lógicos 0 ou 1 respectivamente, podendo assumir as seguintes combinações de acordo com a tabela exibida abaixo.

Tabela 4 - Combinações Sinais COLSEL

AC2	AC1	AC0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

- Sinais de Controle**

Há a presença de dois sinais de controle no circuito, com a função de habilitar a saída de outros sinais responsáveis pelo controle do modo de operação do sensor de imagem, denominados **RDR_DIG** e **RST_DIG** com os seguintes parâmetros de configuração e formas de onda demonstrados nas figuras 19 e 20 respectivamente:

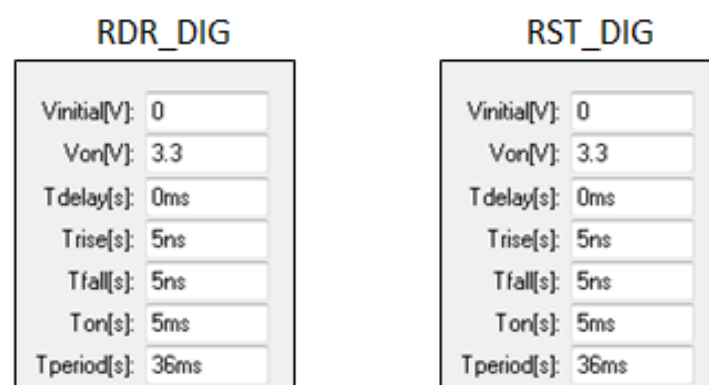


Figura 19: Parâmetros Sinais de Controle

os dois períodos são iguais

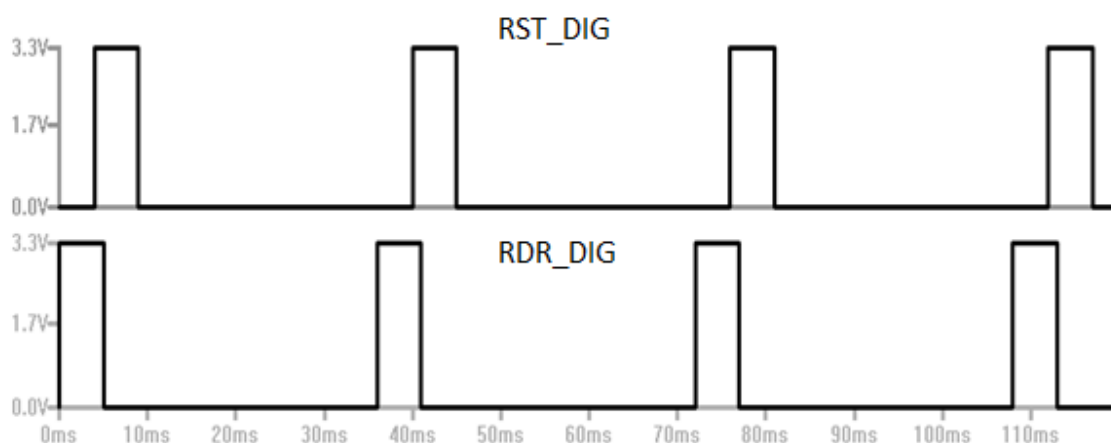


Figura 20 - Formas de Onda Sinais RDR_DIG e RST_DIG

Os outros sinais de controle que aparecem indicados na figura 22, denominados **RDR0, RDR1 ... RDR7** e **RST0, RST1...RST7**, são sinais de saída resultantes de operações internas no circuito COLSEL e tem características de um sinal digital variando entre dois níveis lógicos 0 e 1 representado por tensões de 0 [V] e 3.3[V].

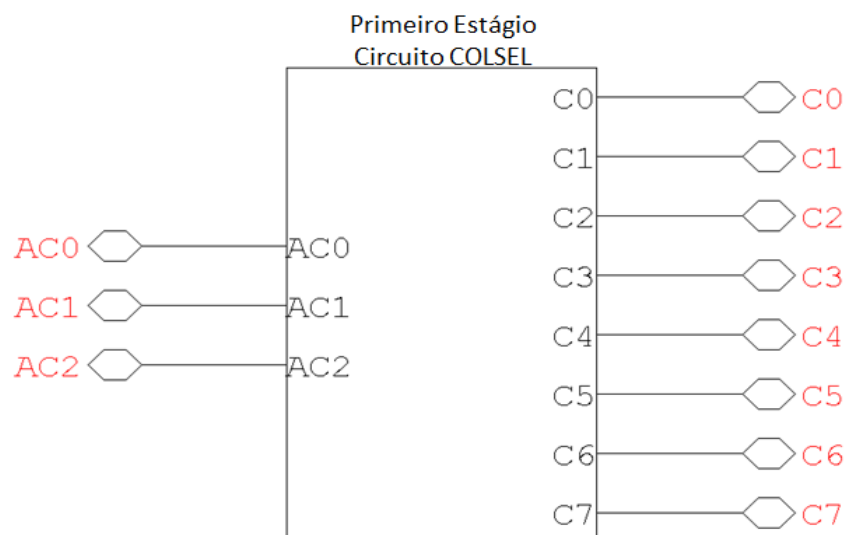
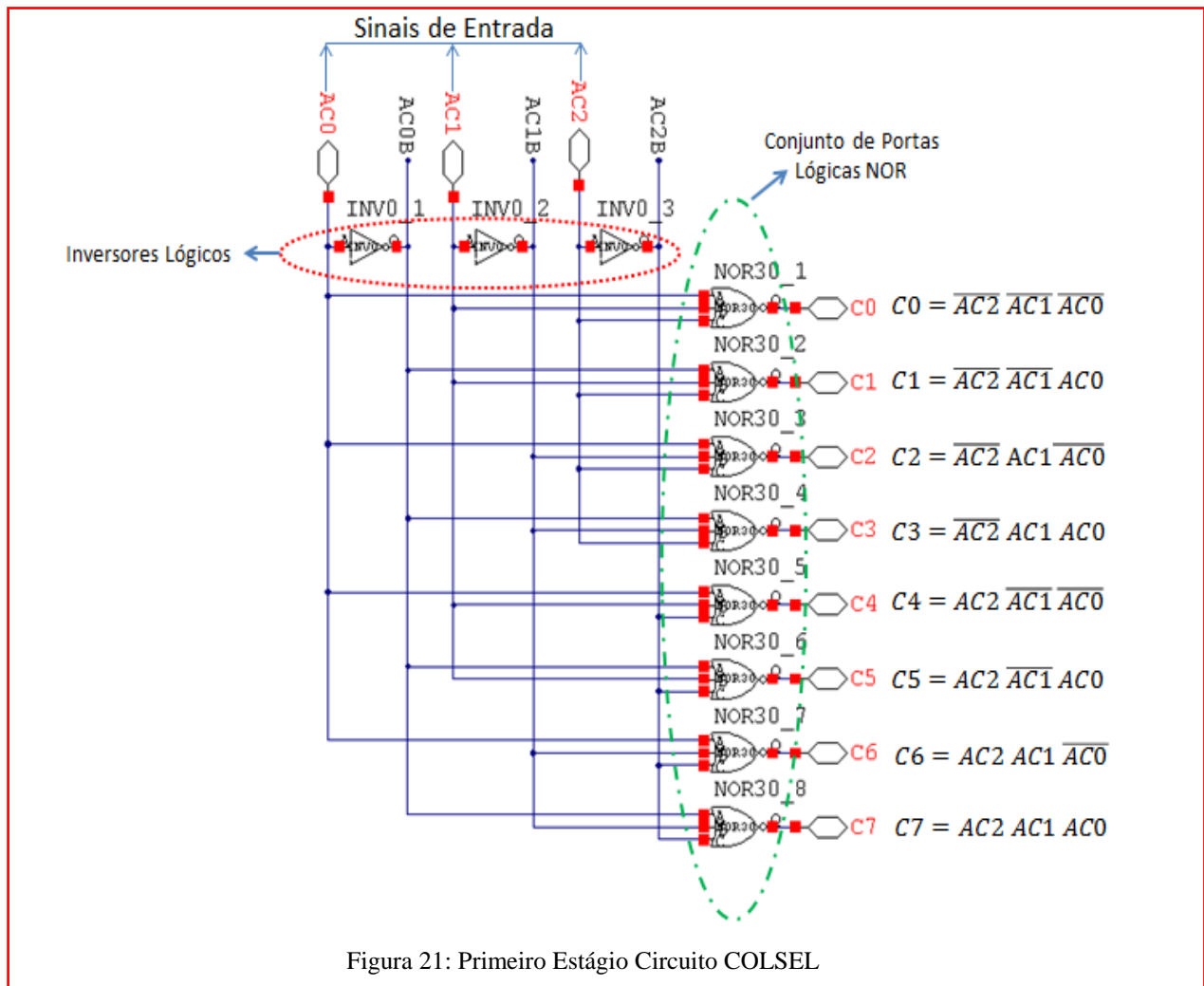
- **Sinais de Seleção de Colunas**

Há presença de oito sinais de saída provenientes do circuito COLSEL, que tem por finalidade a seleção de colunas e são dependentes dos sinais de endereçamento para a sua habilitação, denominados **COL0, COL1, ..., COL7** com características de um sinal digital variando entre dois níveis lógicos 0 e 1 representados por tensões de 0 [V] e 3.3 [V] respectivamente.

Internamente no diagrama em blocos do circuito COLSEL mostrado na figura 18, há a presença de dois estágios responsáveis por acionar os sinais de saídas dependendo das combinações de sinais aplicados a entrada do circuito.

O primeiro estágio do circuito COLSEL é exatamente igual ao estágio inicial do circuito ROWSEL já demonstrado na seção 2.3.1, com a diferença dos sinais aplicados a entrada do circuito. No primeiro estágio do circuito COSEL, há presença de um conjunto de oito portas lógicas **NOR** interligadas em suas entradas aos sinais de endereçamento **AC0, AC1 e AC2** e seus complementos **AC0B, AC1B e AC2B** e sinais de saída **C0, C1, C2, ... , C7** habilitadas, de acordo com as combinações dos sinais de endereçamento. Abaixo nas figuras 21 e 22, está exibido em detalhes o esquemático em circuito elétrico do primeiro estágio do circuito COLSEL bem como o diagrama em bloco do circuito, com as indicações dos sinais de entrada e saídas correspondentes.

INTERNO CHIP IR2

PINAGEM EXTERNA
DO CHIP IR2

Dando prosseguimento a abordagem realizada ao circuito demux COLSEL, temos o segundo estágio do circuito demonstrado na figura 23, com a indicação dos sinais de entrada e saída já especificados acima.

INTERNO CHIP IR2

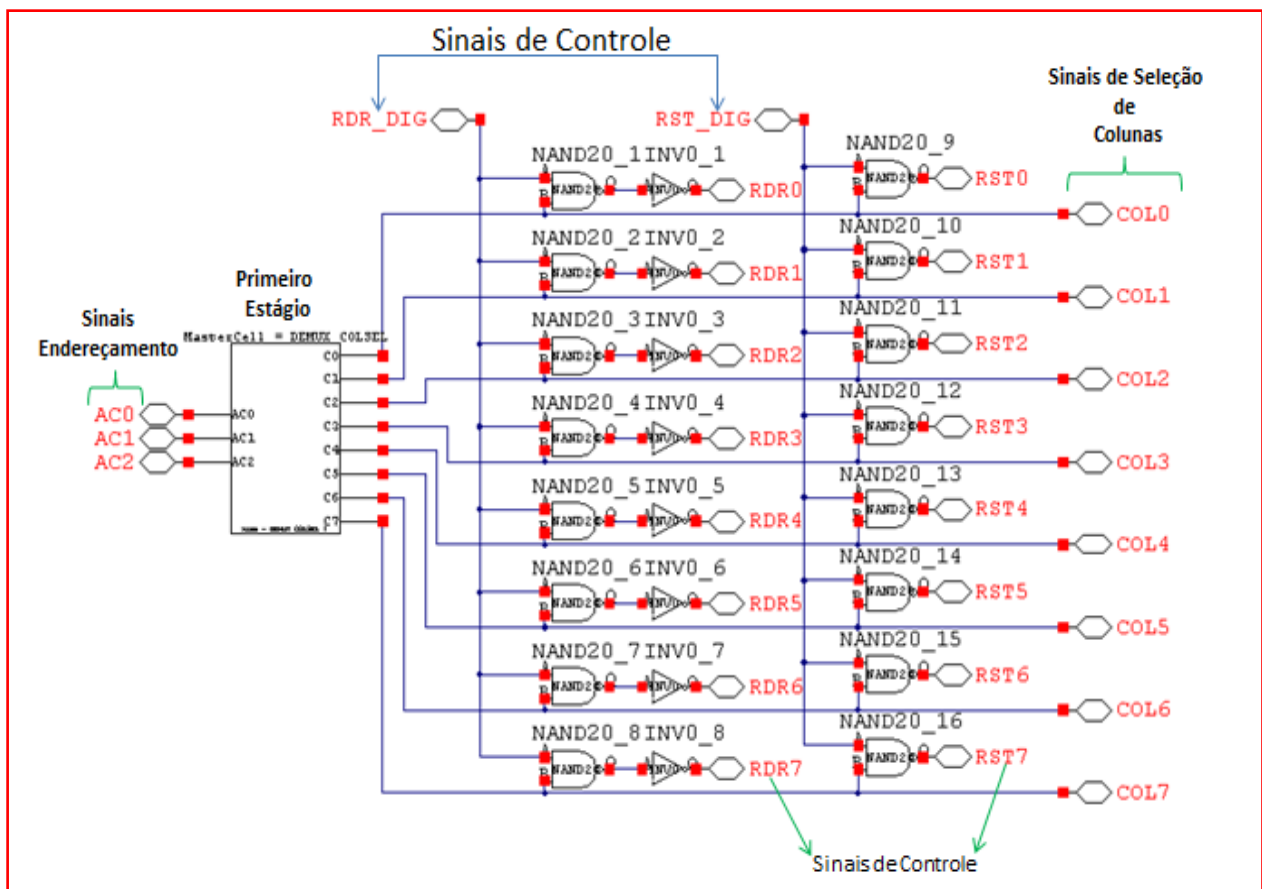


Figura 23 - Segundo Estágio Circuito COLSEL

O diagrama em bloco do circuito COLSEL com os dois estágios acoplados internamente está exibido na figura 22, onde se tem os terminais de entrada e saída indicados.

2.4.2 Dinâmica do Circuito COLSEL, Simulações e Formas de Onda.

Para a compreensão do funcionamento do circuito, nesta seção estão sendo apresentados resultados de simulação e tabelas verdade da dinâmica do mesmo.

A primeira tabela verdade mostrada abaixo, refere-se ao funcionamento do primeiro estágio do circuito COLSEL.

Tabela 5 - Tabela Verdade Primeiro Estágio do Circuito COLSEL

AC2	AC1	AC0	AC2B	AC1B	AC0B	OUT
0	0	0	1	1	1	C0
0	0	1	1	1	0	C1
0	1	0	1	0	1	C2
0	1	1	1	0	0	C3
1	0	0	0	1	1	C4
1	0	1	0	1	0	C5
1	1	0	0	0	1	C6
1	1	1	0	0	0	C7

Na Tabela 5 fica bastante evidente a forma com que uma saída pode ser habilitada, ou seja, para acionar a saída **C0**, basta fazer a aplicação do sinal de endereçamento de acordo com a primeira linha da Tabela 5, somente nos terminais **AC2**, **AC1** e **AC0**, únicos terminais disponíveis para aplicação do sinal. Este procedimento se repete para todas as outras saídas deste estágio.

Em se tratando do segundo estágio, observa-se tanto a o acionamento dos sinais de seleção de colunas, bem como os sinais de controle.

A tabela 6 abaixo demonstra a lógica somente para os sinais de seleção de colunas. Tendo o sinal do primeiro estágio habilitado, o sinal de coluna correspondente que aparecerá na saída do circuito, segue a descrição de acordo com a tabela.

Tabela 6 - Tabela Verdade Segundo Estágio Seleção de Colunas

OUT 1º Estágio	OUT 2º Estágio
C0	COL0
C1	COL1
C2	COL2
C3	COL3
C4	COL4
C5	COL5
C6	COL6
C7	COL7

Pode-se resumir a dinâmica das tabelas 5 e 6 através da figura 24 demonstrada a seguir, que exibe o diagrama em tempo de todos os sinais referentes ao endereçamento e seleção de colunas.

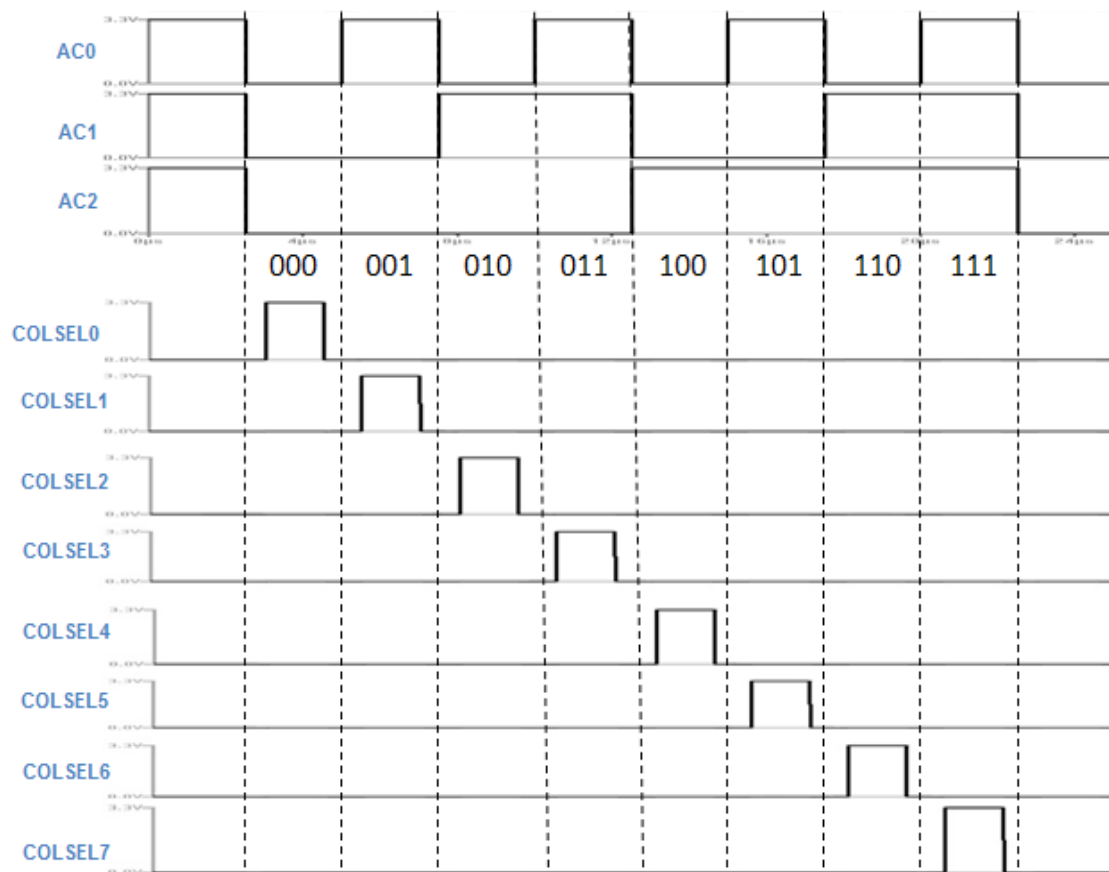


Figura 24: Diagrama em Tempo Funcionamento Circuito COLSEL

Para a geração de qualquer sinal de **RDR** e **RST**, é necessário que se tenha a presença do sinal de coluna correspondente, relativo à posição dos sinais RDR e RST que se quer gerar, além da presença dos sinais de habilitação **RST_DIG** e **RDR_DIG**.

2.5 Layout dos Circuitos ROWSEL e COLSEL

Nas seções anteriores foram demonstrados os procedimentos de desenvolvimento dos circuitos ROWSEL e COLSEL em se tratando de esquemas em circuito elétrico e simulações realizadas sobre os circuitos propostos. Nesta seção irão ser apresentados todos os procedimentos realizados para o desenvolvimento dos layouts implementados fisicamente dos circuitos ROWSEL e COLSEL.

A tecnologia utilizada para a construção dos layouts segue as regras de processo CMOS Padrão 0.35 μ m da AMS (Austria Microsystems) denominado **C35b4**, que descreve todas as regras de projeto que devem ser respeitadas para o bom andamento do projeto.

A ordem de apresentação dos tópicos será a seguinte:

- **Layout circuito ROWSEL**

Detalhe de construção dos estágios e indicação das partes que compõem a estrutura em forma integrada.

- **Layout circuito COLSEL**

Será repetido o mesmo procedimento de análise realizada no layout circuito ROWSEL.

2.5.1 Layout Circuito ROWSEL

Na figura 25 exibida abaixo, tem-se o layout do circuito ROWSEL em sua forma integrada, com todas as camadas e conexões realizadas.

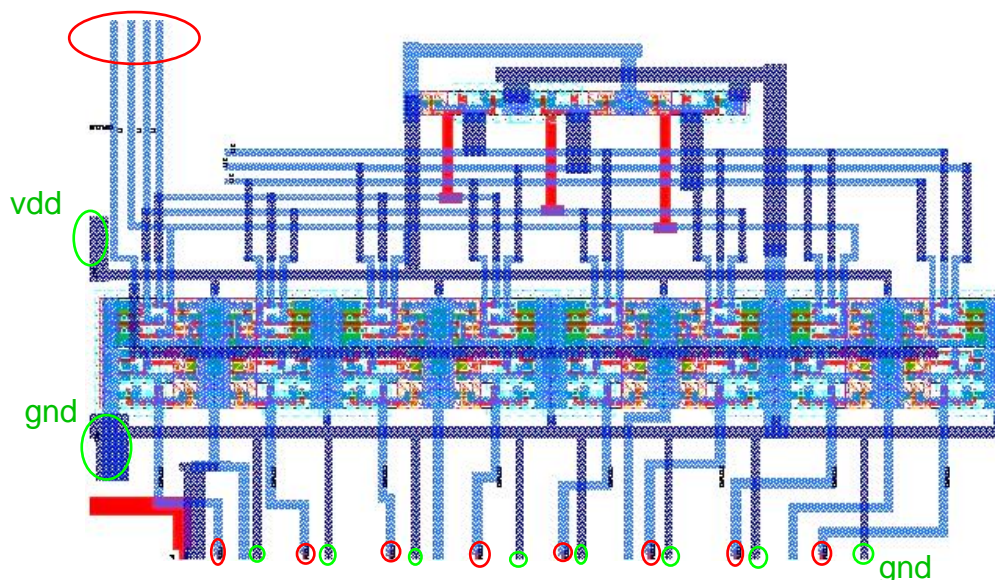


Figura 25 - Layout Circuito Integrado ROWSEL

Para a compreensão do layout acima, irá ser destacada uma parte da célula onde estão indicadas as partes principais que compõem esta estrutura. Tem-se a seguir na figura 26 a célula do layout ROWSEL.

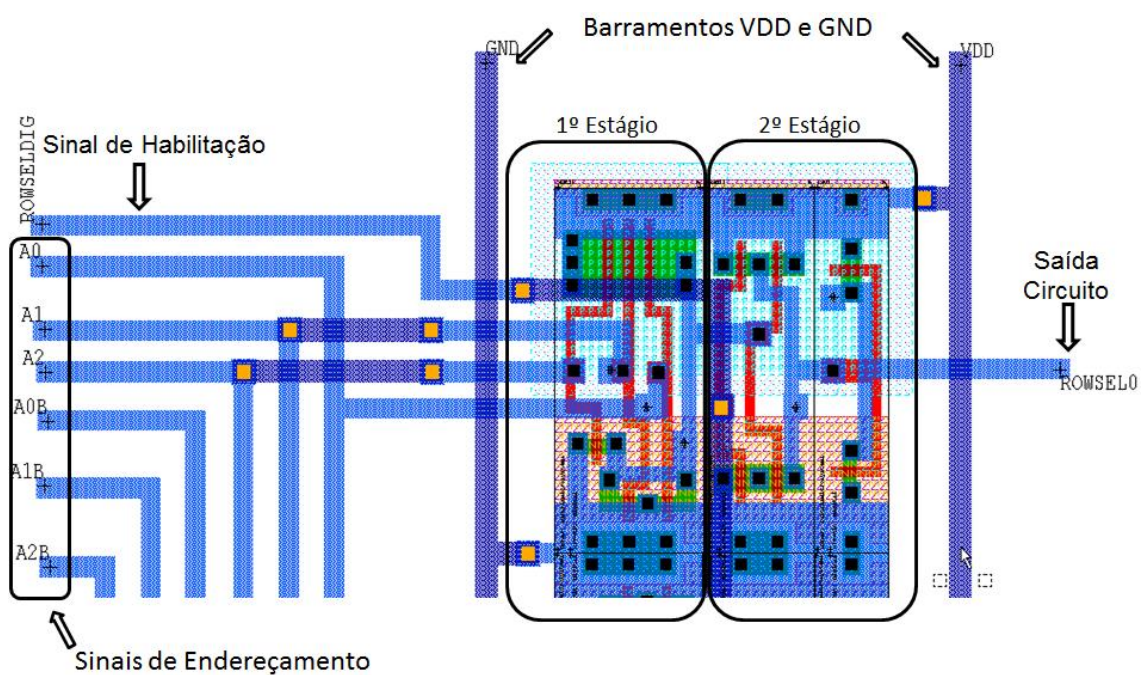


Figura 26 - Célula do Layout ROWSEL

Como indicado na figura 26, podem-se ressaltar as seguintes partes do layout:

- A esquerda do layout tem se as indicações dos terminais de entrada, representadas por conexões realizadas por camadas de metal, referenciando-se aos Sinais de Endereçamento e o Sinal de Habilitação.
- Mais ao centro da figura 26 temos o 1º Estágio do layout, referindo-se ao conjunto de oito portas lógicas NOR30 retiradas da biblioteca AMSC35_14.3
- O segundo estágio do layout está representando as conexões referentes a um conjunto de oito portas lógicas NAND20, seguidas de oito inversores lógicos INV0, ambos retirados da biblioteca AMSC35_14.3.
- Tem se também indicado mais acima no centro da figura, as conexões dos barramentos de VDD e GND, que se prolongam por todo o layout do circuito com a finalidade de alimentação do circuito e referência, assim como o terminal de saída ROWSEL0 localizado mais a direita da imagem.

As portas lógicas mencionadas acima estão exibidas a seguir na figura 34.

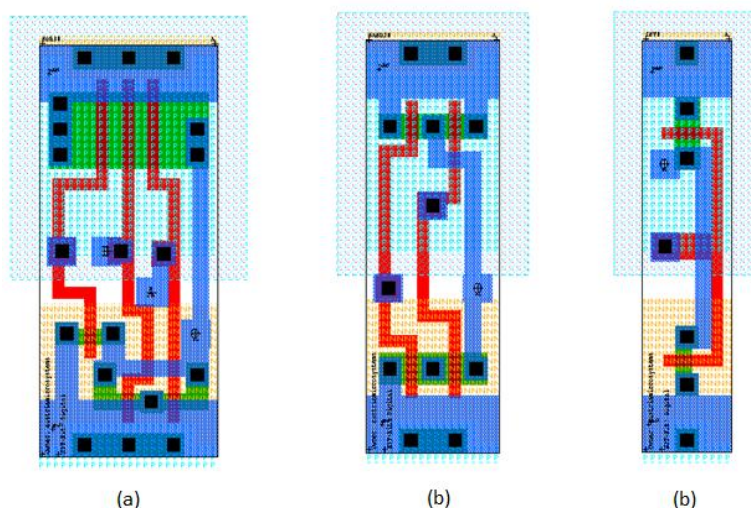


Figura 27 - Portas Lógicas (a) NOR30, (b) NAND20 e (c) INV0

2.5.2 Layout Circuito COLSEL

Para o desenvolvimento do layout do circuito COLSEL, foram seguidos os mesmos passos de projeto demonstrados na seção 2.5.1, resultando no seguinte layout exibido a seguir na figura 28.

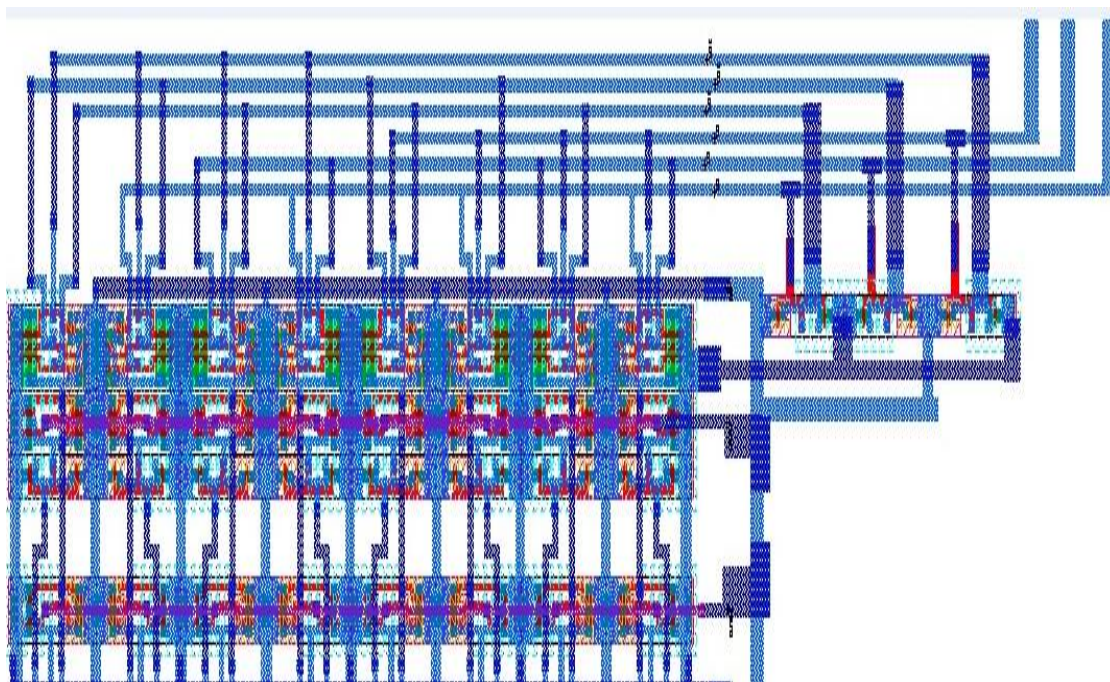


Figura 28 - Layout Circuito COLSEL

Novamente destacando uma parte do layout do circuito COLSEL para a melhor compreensão do circuito, tem-se a seguinte figura abaixo detalhando as partes da estrutura em forma integrada, onde estão indicados os terminais de entrada, que corresponde aos sinais de endereçamentos, terminais de controle, portas lógicas e os dois estágios que compõem o circuito COLSEL.

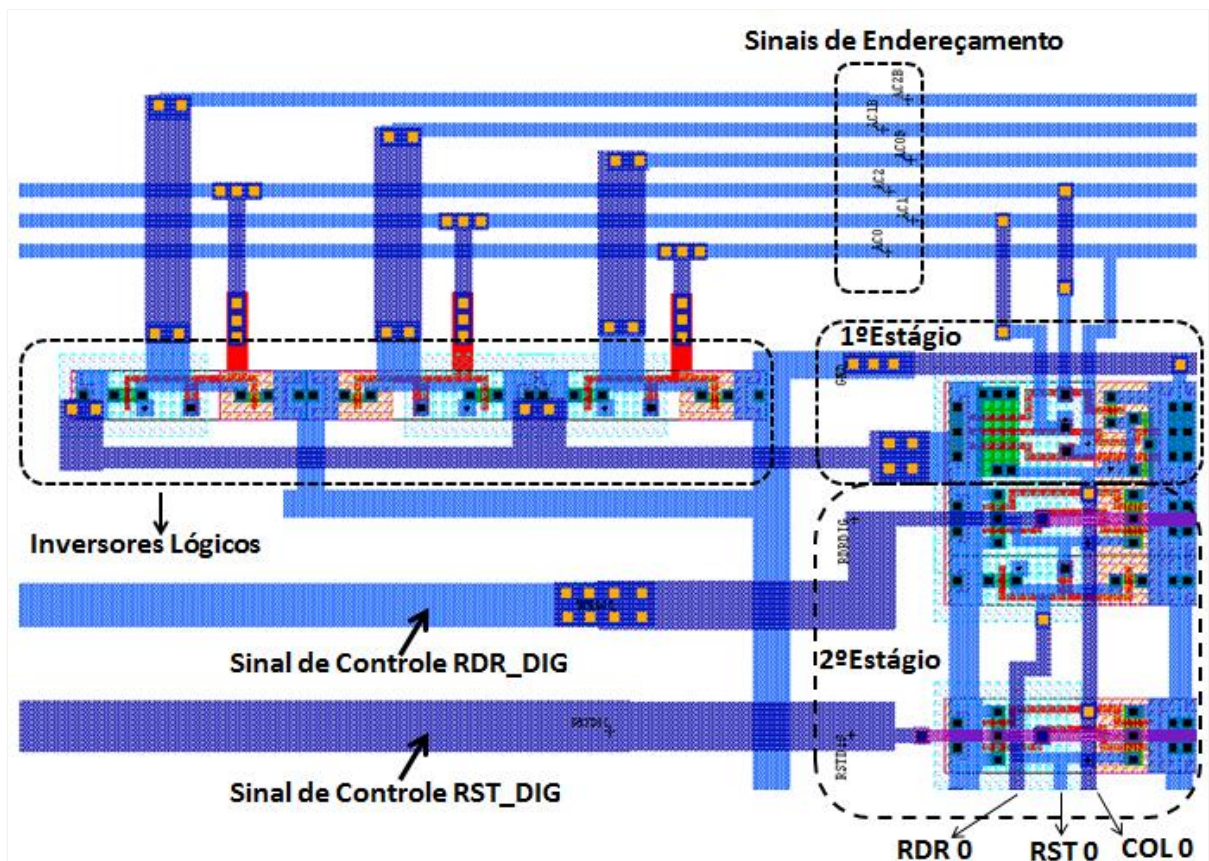


Figura 29 - Célula do Layout COLSEL

Como indicado na figura 29, podem ser enfatizados os seguintes pontos.

- Observa-se a esquerda do layout, as camadas de metal1 e metal2 representando os terminais de controle, **RDR_DIG** e **RST_DIG**. Há a indicação de três inversores lógicos, com a finalidade de gerar sinais complementares **AC0B**, **AC1B** e **AC2B** a partir dos sinais **AC0**, **AC1** e **AC2**, assinalados como sinais de endereçamento bem acima da figura 29.
- O 1º Estágio do circuito indicado no layout está referenciando-se ao conjunto de oito portas lógicas NOR30, retiradas da biblioteca AMSC35_14.3. Este estágio está responsável em fazer a geração do sinal COL0 de acordo com as combinações dos sinais de endereçamento.
- O 2º estágio do circuito assinalado no layout exibido na figura 29 está representando conexões do sinal **RDR_DIG**, com portas lógicas NAND's seguidas de inversores lógicos e do sinal **RST_DIG** ligado a portas lógicas NAND's. As referências das portas lógicas são as seguintes: NAND20, NOR30 e INV0 retiradas da biblioteca da AMSC35_14.3. Na saída do segundo estágio tem se os terminais de saída **RDR0**, **RST0** e **COL0**.

As portas lógicas utilizadas no desenvolvimento do layout COLSEL, são as mesmas usadas no desenvolvimento do Layout do circuito ROWSEL e estão exibidas abaixo na figura 30.

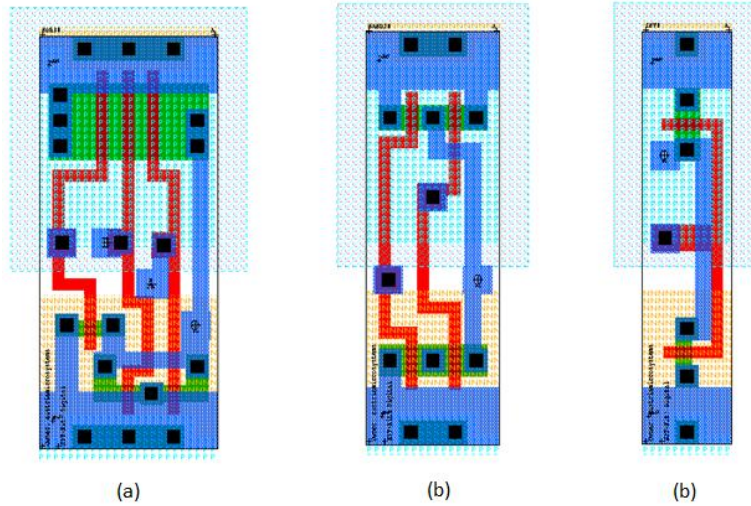


Figura 30 - Portas Lógicas (a) NOR30, (b) NAND20 e (c) INV0

CAPÍTULO 3

3.1 RESULTADOS EXPERIMENTAIS E TESTES REALIZADOS NOS CIRCUITOS PROPOSTOS

Nesta etapa da monografia será realizado um conjunto de testes demonstrando experimentalmente o funcionamento e dinâmica dos circuitos propostos, através de sinais de endereçamento, habilitação e leitura, sendo visualizados através de formas de onda exibidas em um osciloscópio.

Para a simulação do experimento é necessário a geração de seis sinais que estão relacionados ao endereçamento de linha e coluna da matriz de pixels, apresentada na seção 2.1.4, que podem ser listados da seguinte maneira: A0, A1 e A2 (Bits de Endereçamento de Linhas), AC0, AC1 e AC2 (Bits de Endereçamento de Colunas).

Esses sinais foram gerados e obtidos através de um osciloscópio sendo exibidos na figura 31 e 32 abaixo como se segue:

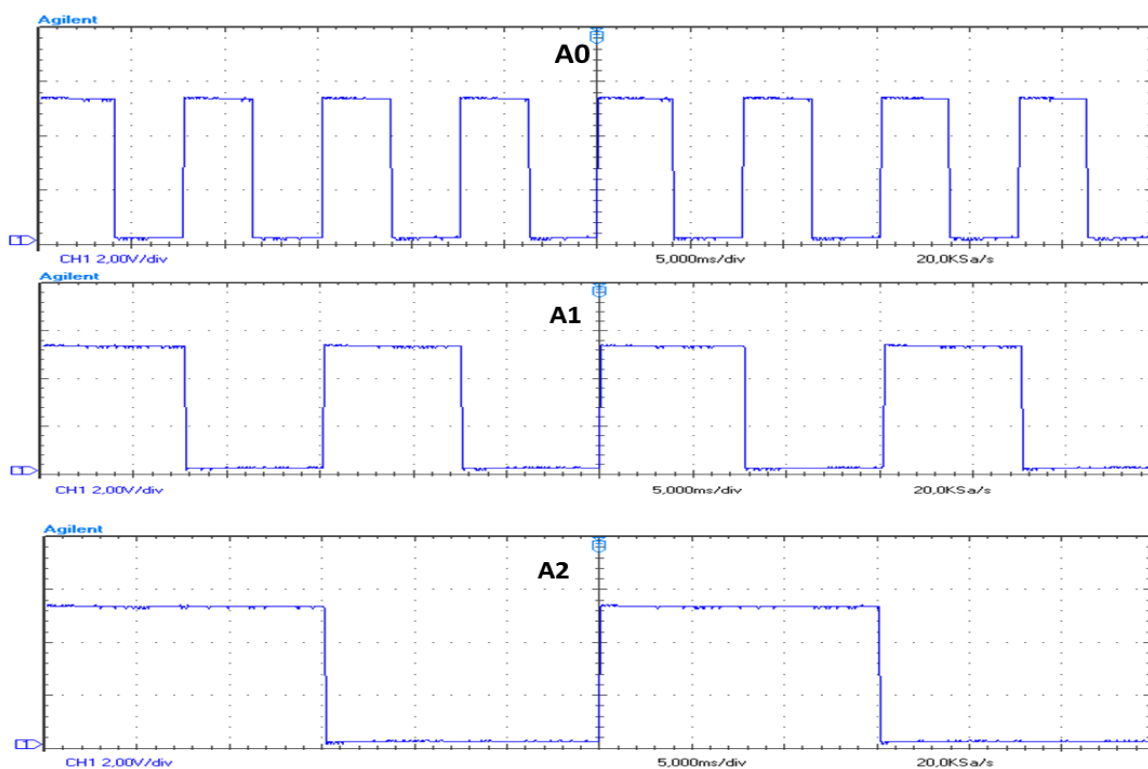


Figura 31-Sinais de Endereçamento de Linhas A0, A1 e A2

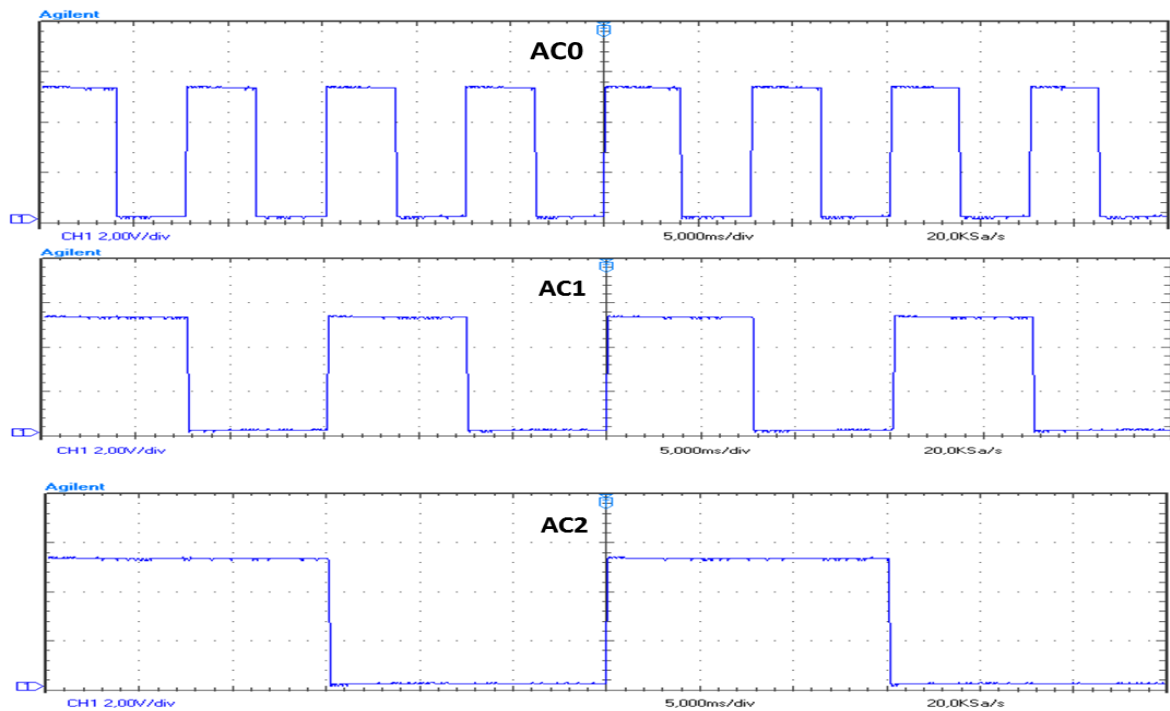


Figura 32 - Sinais de Endereçamento de Colunas

Os sinais de controle que foram gerados são os seguintes: **RDR_DIG**, **RST_DIG** e **ROWSELDIG** apresentados nas figuras abaixo do seguinte modo.

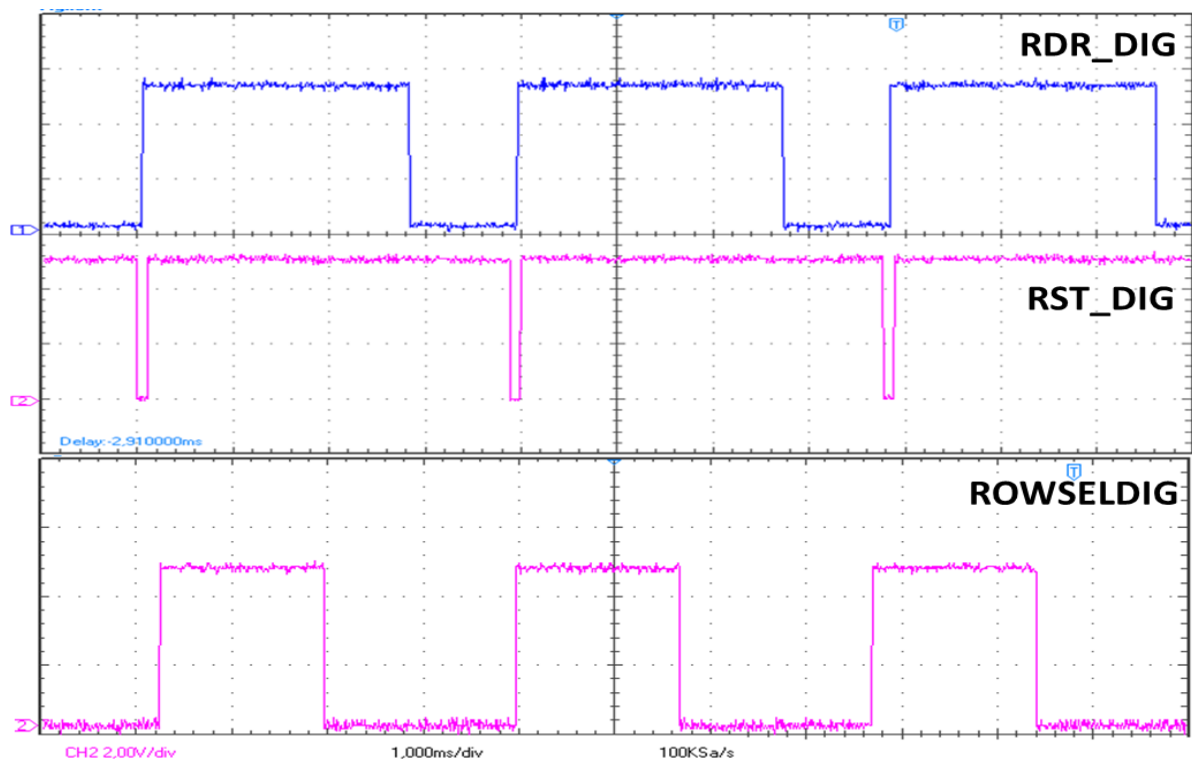


Figura 33 - Sinais de Controle RST_DIG e RDR_DIG

Há também a presença de duas fontes DC para ajuste da modulação dos sinais de controle que saem do circuito **RDR_RST**, denominados **ERDR** e **ERST** que estão com os respectivos valores 1,45 V e 2,1 V.

Temos de início as formas de onda de oito leituras dos pixels da segunda e oitava colunas, com níveis de luminosidades diferentes incidindo sobre o sensor de imagem, referente a matriz de pixels demonstrada na seção 2.1.4.

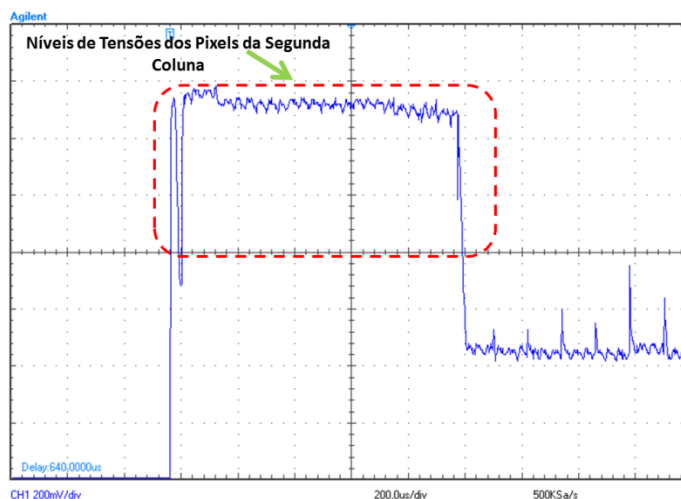


Figura 34 - Sinal de Leitura da 2ª Coluna da Matriz no Escuro

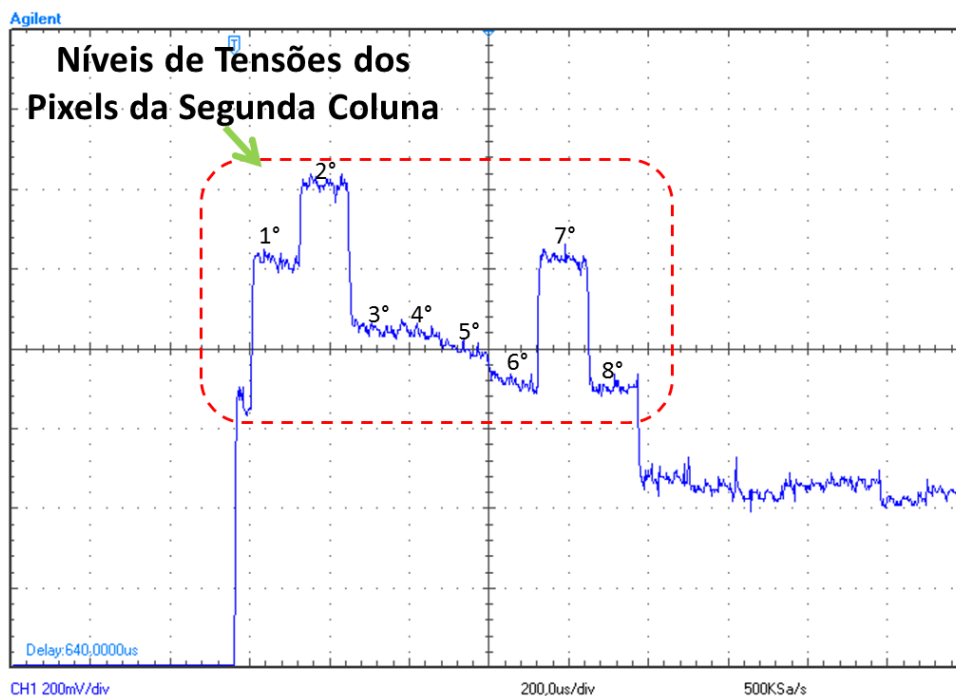


Figura 35 - Sinal de Leitura da 2ª Coluna com Luminosidade

Nas figuras 34 e 35 observa-se nitidamente a diferença entre os níveis de tensões na região de interesse circundada em cada gráfico, onde estão concentradas as oito

leituras realizadas em uma coluna da matriz do sensor de imagem. Esta diferença se dar devido luminosidade incidente sobre o sensor ser alterada, além do que são visualizados valores diferentes para cada pixel.

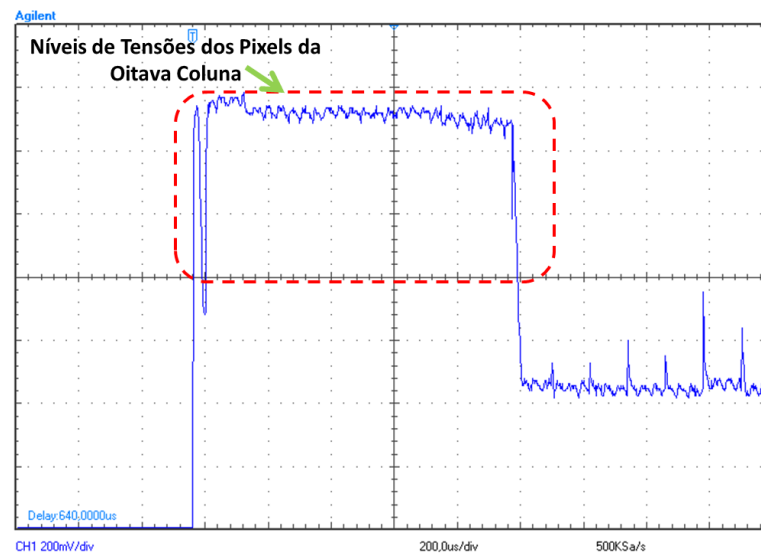


Figura 36 - Sinal de Leitura da Oitava Coluna no Escuro

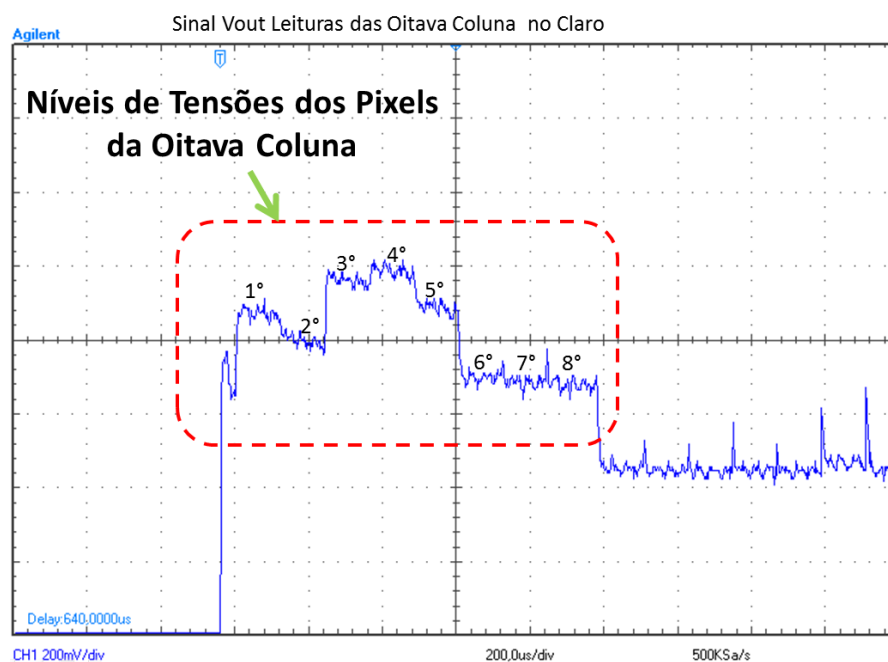


Figura 37 - Sinal de Leitura da Oitava Coluna com Luminosidade

Nas figuras 36 e 37 observa-se novamente a diferença entre os níveis de tensões que estão circundados, isto acontece devido a alteração na incidência de luminosidade.

Na Tabela 7 e figura 38 exibidas abaixo, estão indicados os valores de tensões e a escala de cinza correspondente para cada pixel da matriz do sensor de imagem, demonstrando a intensidade luminosa fotodetectada.

Tabela 7 - Máscara com Níveis de Tensões da Matriz de Pixel

1,39	1,41	1,3	1,29	1,34	1,31	1,27	1,23
1,29	1,55	1,34	1,23	1,27	1,25	1,24	1,15
1,32	1,27	1,27	1,26	1,22	1,16	1,32	1,31
1,31	1,27	1,2	1,114	1,16	1,12	1,34	1,34
1,2	1,24	1,19	1,15	1,15	1,05	1,26	1,23
1,21	1,17	1,13	1,1	1,11	1,03	1,02	1,03
1,115	1,39	1,07	1,04	1,07	1	1,03	1,02
1,07	1,09	1,02	0,976	1	0,952	0,952	0,992



Figura 38 - Níveis de Tensão em Escala Valores de Cinza Referente a Tabela 7

Temos na tabela 8 os valores de mais uma máscara com valores obtidos com uma luminosidade razoável e novamente a escala de cinza indicando a intensidade de cada valor detectado por cada pixel.

Tabela 8 - Máscara de Níveis de Tensões da Matriz APS

1,5	1,38	1,23	1,18	1,31	1,24	1,25	1,24
1,41	1,39	1,27	1,23	1,26	1,19	1,24	1,17
1,42	1,26	1,23	1,25	1,21	1,13	1,25	1,23
1,4	1,27	1,17	1,17	1,17	1,09	1,27	1,27
1,35	1,24	1,16	1,19	1,16	1,05	1,23	1,21
1,33	1,19	1,12	1,17	1,15	1,04	1,1	1,09
1,31	1,28	1,09	1,12	1,1	1,01	1,09	1,04
1,23	1,16	1,06	1,06	1,04	0,956	1,01	0,984



Figura 39 - Escala de Cinza dos Valores Correspondente da Tabela 8

CAPÍTULO 4

CONSIDERAÇÕES FINAIS

4.1 CONCLUSÃO

Em vista de tudo o que foi realizado nesta monografia, pode-se afirmar que houve um êxito na implementação dos circuitos propostos demonstrados. O que foi apresentado aqui descreve todo um processo de desenvolvimento de projeto de circuitos integrados, partindo desde a formulação do problema inicial que foi apresentado no começo da monografia, passando pela parte de desenvolvimento de esquemáticos em circuito elétrico dos demultiplexadores, dinâmica de funcionamento ou formas de operação dos circuitos. Posteriormente a esta etapa, foram apresentados e detalhados todos os passos de desenvolvimento dos layouts dos demultiplexadores, em forma integrada, com a finalidade de seleção de linhas e colunas da matriz de sensores de imagem.

Por fim foram exibidos os resultados experimentais dos sinais de entradas dos circuitos através de formas de onda obtidas de um osciloscópio. Nesta etapa da monografia, foram gerados sinais de endereçamento, controle, além do que, foram realizados testes e obtidos os gráficos dos sinais de leitura de colunas individuais. Constata-se o funcionamento correto dos circuitos de acordo com os valores obtidos em máscaras dispostas que expõem os níveis de tensões gerados em cada pixel da matriz do sensor de imagem comprovando a eficiência dos circuitos de endereçamento. Com todos os resultados expostos no capítulo 3 conclui-se que os demultiplexadores estão funcionando corretamente realizando a seleção dos pixels na matriz.

4.2 PROPOSTAS PARA TRABALHOS FUTUROS

Os circuitos desenvolvidos nesta monografia fazem parte da estrutura interna de qualquer sensor de imagem sendo portanto aplicado a diversas áreas dentre entre elas estão: Câmeras digitais ou Aplicações Móveis, Monitoramento e Segurança, Aplicações Automotivas Aplicações Científicas e Biomédicas.

Estes sensores listados acima possuem circuitos internos para seleção de linhas e colunas semelhante aos que foram desenvolvidos neste trabalho.

Referências Bibliográficas

- [1] DICK, R. H., WECKLER, G. P., “Integrated Arrays of Silicon Photodetectors for Image Sensing”, *IEEE Transactions on Electron Devices*, v. ED-15, n. 4, pp. 196-201, Apr. 1968.
- [2] FOSSUM, E. R. “CMOS Image Sensors: Electronic Camera on a Chip”, *IEEE Transactions on Electron Devices*, v. 44, n. 10, pp. 1689-1698, Oct. 1997.
- [3] FOSSUM, E. R. “Digital Camera System on a Chip”, *IEEE Micro*, pp. 8-15, May-Jun. 1998.
- [4] Goretti, K. “Estruturas APS Resistentes à Radiação para Aplicações Espaciais” 2006. 118pgs. Dissertação (Mestrado em Ciências Em Engenharia Elétrica) - Corpo Docente Da Coordenação Dos Programas De Pós-Graduação De Engenharia. Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2006.
- [5] BONATO,VANDERLEI, Projeto de um módulo de aquisição e pré-processamento de imagem colorida baseado em computação reconfigurável e aplicado a robôs móveis, Tese de M.Sc., USP, São Paulo, SP, Brasil, 2004.
- [6] G. WECKLERS,.”Operation of p-n junction photodetectors in a photon flux integrating mode”, *IEEE J. Solid-State Circuits*, Vol. SC-2, pp. 65-73, 1967.
- [7] BLANCH, N., CCD versus CMOS – has CCD imaging come to an end?, Technical Report, pp. 131-137, Wichmann Verlag, Heidelberg, 2001.
- [8] Carlos A. de Moraes Cruz, Davies W. de Lima Monteiro, Gilles and Alexandre K. P. Souza, “Simple Technique to Reduce FPN in a linear-logarithm APS”, “In 2013 Internacional Image Sensor Workshop (IISW)”, Snowbird, Utah, USA, June, 2013.

Anexo I

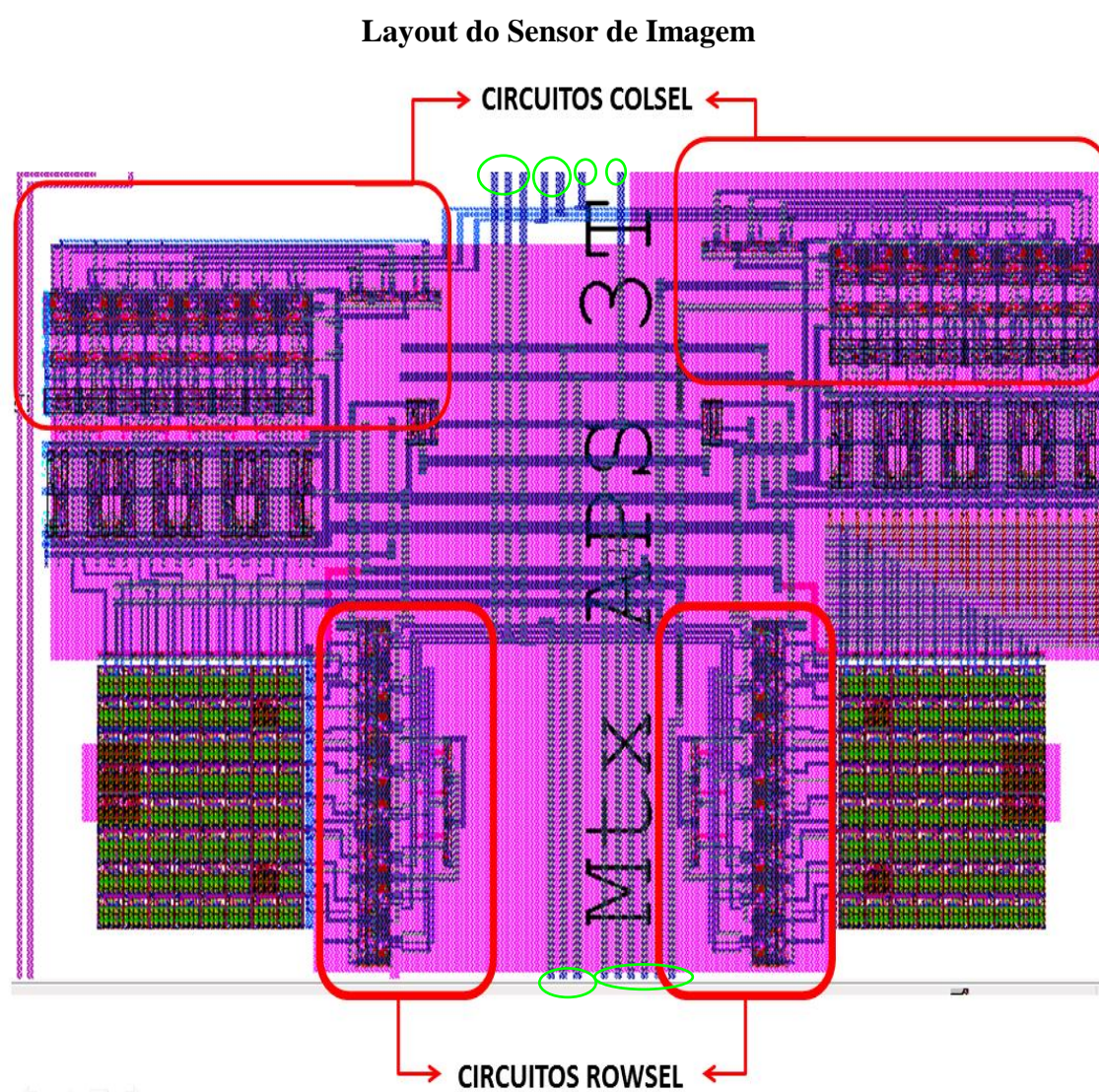


Figura 40 - Layout Sensor de Imagem

Anexo II

Plataforma de Testes do Circuito Integrado

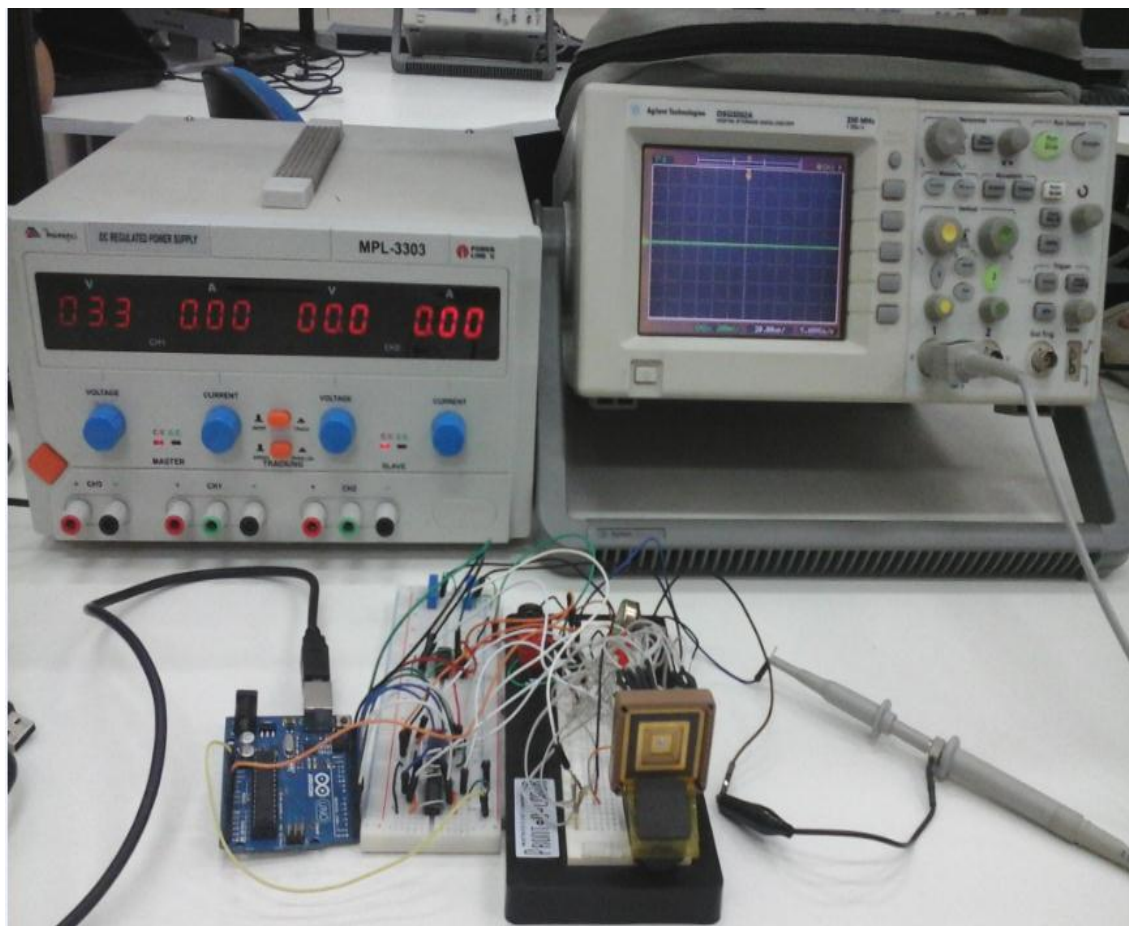


Figura 41 - Plataforma de Testes do Circuito Integrado

Anexo III

Resultados Experimentais

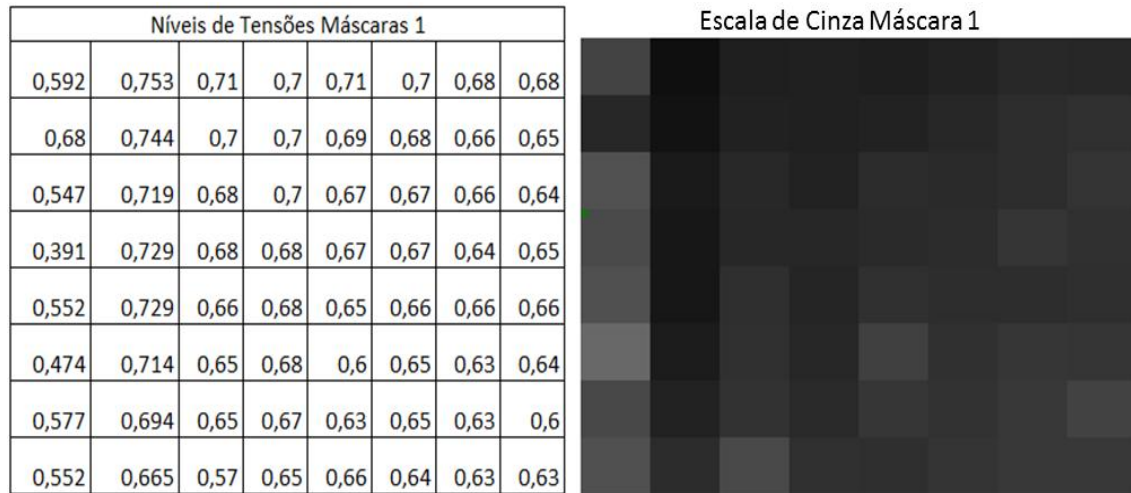


Figura 42 - Níveis de Tensões e Escaleta de Cinza Máscara 1

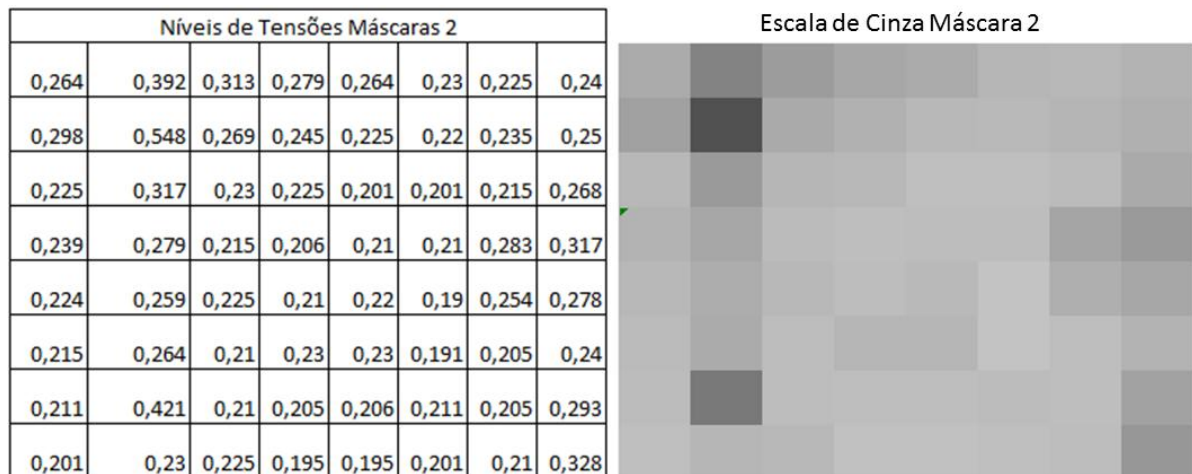


Figure 43 - Níveis de Tensões e Escaleta de Cinza Máscara 2

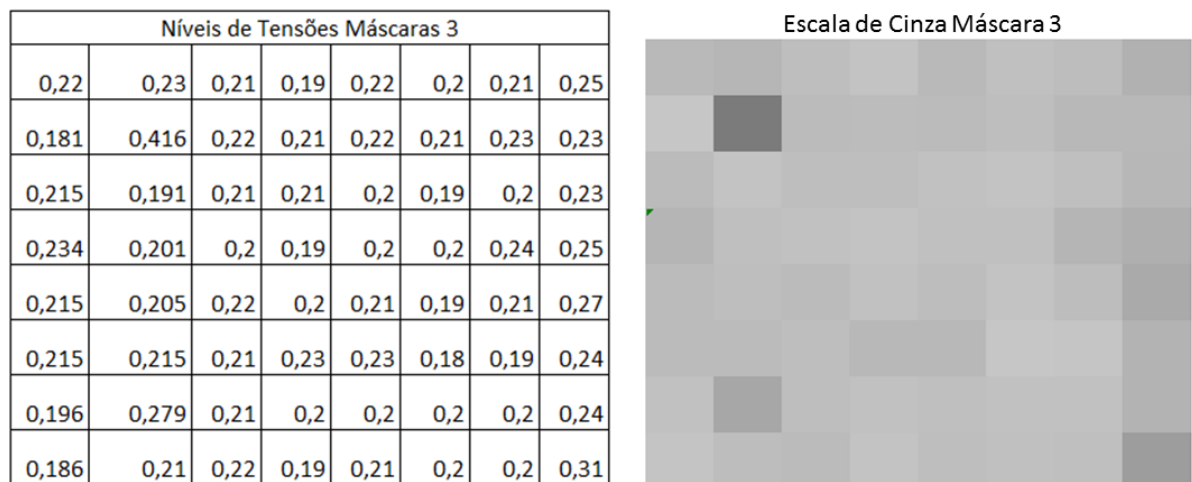


Figura 44 - Níveis de Tensões e Escaleta de Cinza Máscara 3