

RELATÓRIO:



CIRCUITOS DO CARLOS AUGUSTO

Confidencial: Não

Título: Circuitos do Carlos Augusto

Autor(es): Carlos Augusto de Moraes Cruz
Alexandre Kennedy Pinto Souza
Daniel Rocha
Luciano Lourenço

Última modificação: 25 de Abril de 2013

Versão: 1

Páginas: 42

Resumo/Objetivo: - Este documento apresenta os circuitos de matrizes de APS com dreno de reset livre e CDS projetados para no chip IR2.

Palavras chaves: APS, Matriz, CDS

História das revisões

Date	Autor	Versão	Modificações
	Carlos		
25/04/13	Alexandre Daniel Luciano	1	Versão inicial

1 Conteúdo

1	Conteúdo.....	2
2	APS 3T com Dreno de Reset Livre à 300K.....	3
2.1	Análise Transiente do Pixel 3T com Dreno de Reset Livre	3
2.2	RST: circuitos e análise transiente	6
2.3	RDR (CTR): circuitos e análise transiente	7
2.4	COLSEL: circuito e análise transiente	8
2.5	ROWSEL: circuito e análise transiente	15
3	Análise em Frequência à 300K.....	20
3.1	Variação na Frequência do Sinal de Reset.....	20
3.2	Variação na Frequência do Sinal de Foto-Corrente.....	20
4	Densidade Espectral do APS à 300K	22
4.1	Configuração da Simulação	22
4.2	Resultados da Simulação	22
5	Leiaute	24
5.1	Leiaute do APS3T-RDR.....	24
5.2	Extração Automática dos Parâmetros do Fotodiodo	24
5.3	Extração Manual dos Parâmetros do Fotodiodo	26
5.4	Matriz 8x8 do APS3T-RDR com FPN induzido	28
5.5	Leiaute do circuito RST_CTR.....	28
5.6	Leiaute do circuito COLSEL	30
5.7	Leiaute do circuito ROWSEL.....	32
5.8	Circuito T-Gate Esquemático e Leiaute	33
5.9	Matriz 8x8 com Controle	35
5.10	Instruções para LVS.....	36
5.11	Matriz 8x8 Dupla Integrada no CHIP IR2	38
6	Circuito CDS.....	39
6.1	Esquemático	40
6.2	Leiaute.....	40
6.3	CDS integrado no Chip IR2	41
7	Referências	42

A figura 3 apresenta o banco de testes usado para realizar a simulação de transiente do circuito de acordo com o esquema da figura 2. As configurações de cada fonte de sinal são mostrados nas tabelas abaixo.

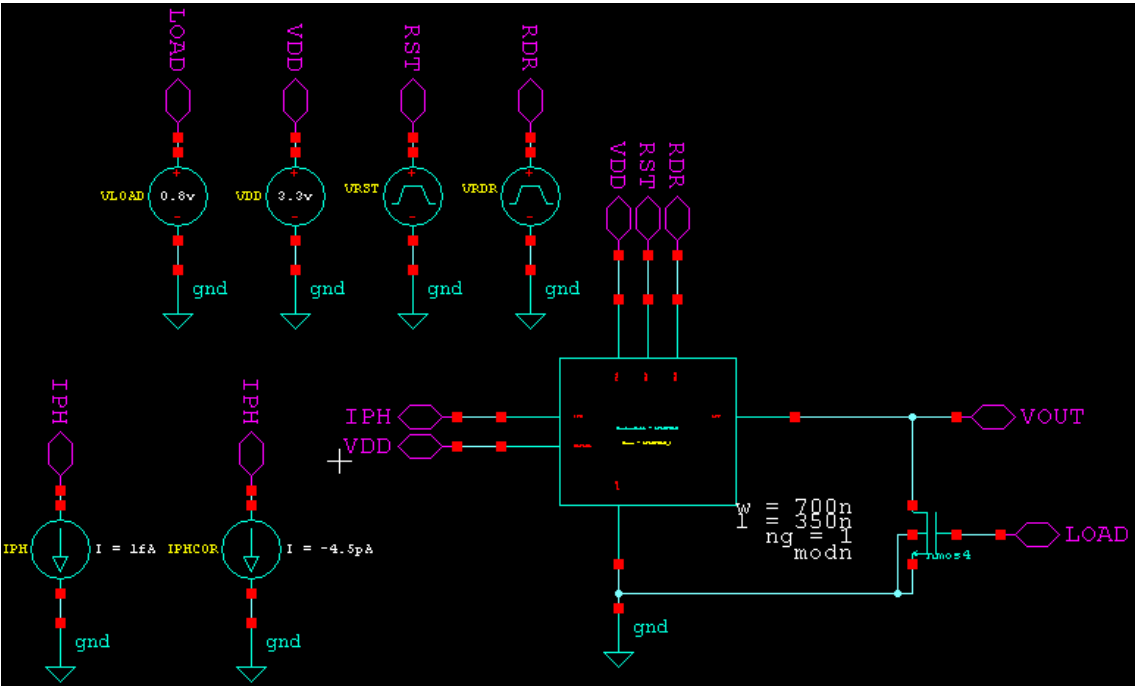


Figura 3 – Configuração para teste

A fonte de tensão VRDR tem seus parâmetros na tabela 1:

Tabela 1: Configuração da fonte de tensão VRDR

Delay	31.1ms
FallTime	1ns
Period	35ms
PulseWidth	4ms
RiseTime	1ns
Vhigh	1.4v
Vlow	3.3v

A fonte de tensão VRST tem seus parâmetros na tabela 2:

Tabela 2 - Configuração da fonte VRST

FallTime	1ns
Period	35ms
PulseWidth	1ms
RiseTime	1ns
VHigh	3.3v
VLow	2.5v

A fonte de corrente Iph representa os diferentes níveis de luminosidade incidentes no fotodiodo e seus valores variam de 0,1fA a 10µA. A fonte de tensão Vdd tem seu valor igual a 3.3V e a fonte de corrente IPHCOR tem seu valor igual a 4.5pA (este valor é usado para ajustar os níveis de corrente de escuro que divergem, com aqueles indicados pelo processo

de fabricação e também com resultados experimentais apresentados na literatura [2]). A fonte de tensão V_{LOAD} é de 0,8V, para polarizar o transistor de carga de coluna.

O resultado da simulação de transiente com variação da fonte de IPH produz o resultado mostrado na figura 4. A amostragem realizada em S1 é o sinal é a saída em tensão em função da foto corrente bruta. Se o resultado de S1 for subtraído de S2 então teremos um sinal compensado em FPN que é similar ao sinal mostrado na figura 5. Onde $TOTAL\ VOUT$ é o resultado de S1 e $CORRECTED\ VOUT$ é o resultado de S1-S2.

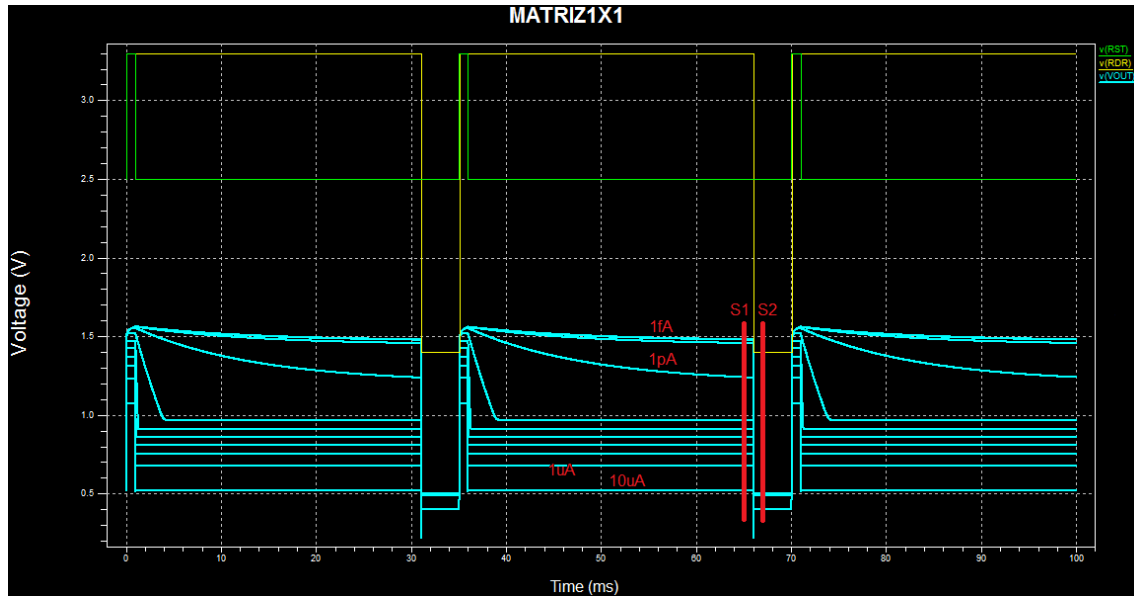


Figura 4 – Configuração para teste

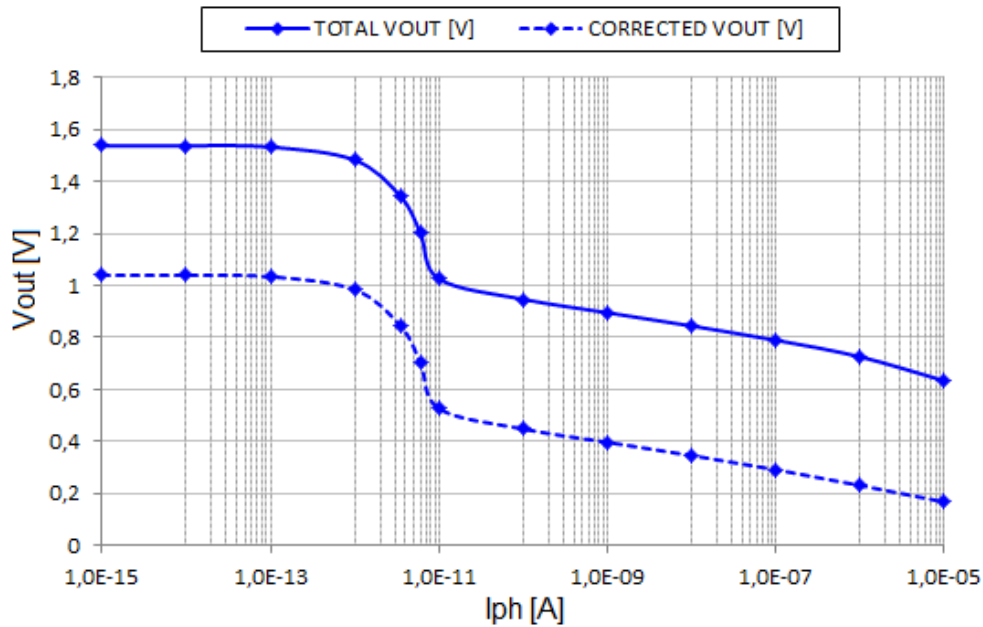


Figura 5 – Saída de em função da foto corrente com e sem compensação de FPN.

O pixel apresentado nesta seção será a célula principal a ser colocado em uma matriz 8x8 cujo controle de leitura será feito em modo obturador eletrônico rolante. O controle da matriz será realizado pelos circuitos apresentados a seguir.

2.2 RST: circuitos e análise transiente

O circuito RST realiza o controle de modulação do nível baixo do sinal de reset, cujo esquemático é apresentado na figura abaixo. O seguinte esquemático para o circuito RST foi montado conforme demonstrado na figura 6, com os devidos terminais de entrada e saída conectados.

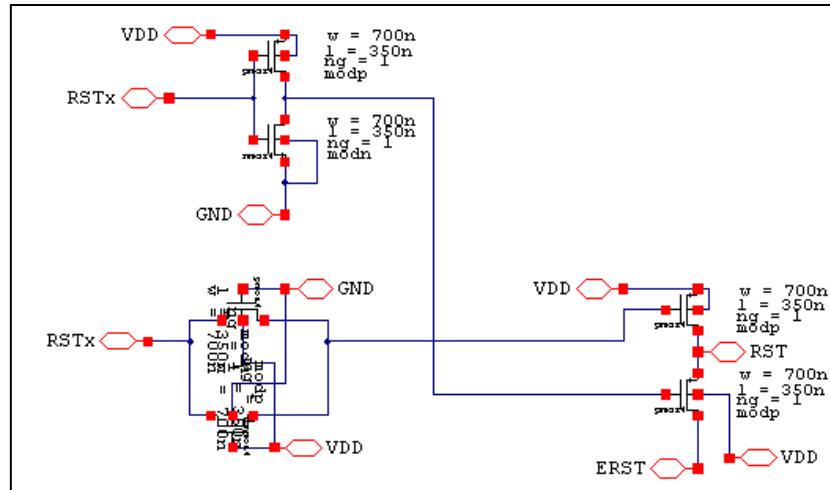


Figura 6 - Esquemático Circuito Reset

No circuito acima temos as seguintes alimentações para as portas I/O.

- VDD: Alimentação DC do Circuito com o valor de 3.3 [V]
- GND: Terra Global do Circuito.
- ERST: Fonte de Alimentação DC com o seguinte valor de 2.5 [V]
- RSTx: Sinal de Entrada do Circuito Reset com os seguintes parâmetros : Período de 20us, Largura de Pulso de 10us, VHigh 3.3[V] e VLow 0[V].
- RST: Sinal de Saída do Reset com os seguintes parâmetros : Período de 20us, Largura de Pulso de 10us, VHigh 3.3[V] e VLow 2.5[V].

Os sinais de entrada (RSTx) em azul e saída (RST) em vermelho do circuito estão demonstrado na figura 7.

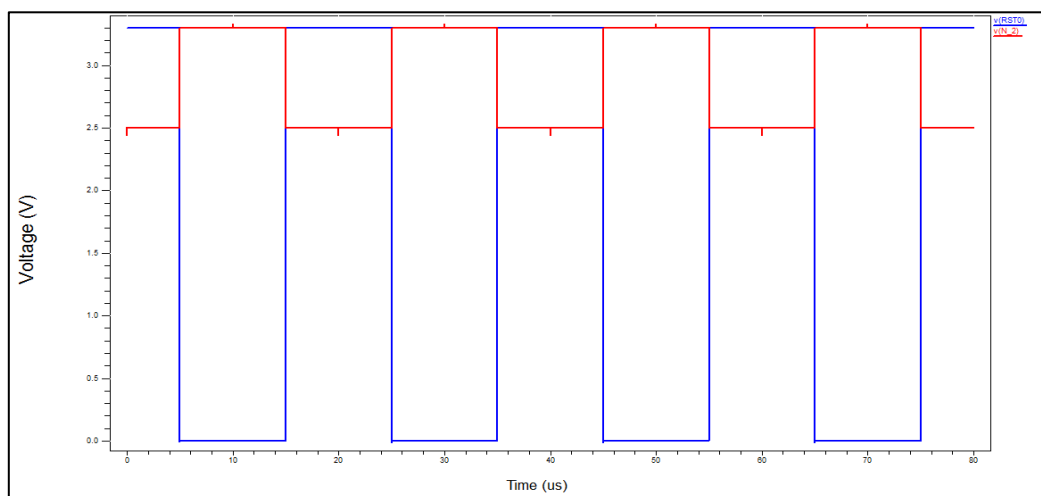


Figura 7 - Forma de Onda RSTx e RST

O circuito RST da figura 6 está dividido em três outros circuitos. No canto superior esquerdo temos um **Inversor Lógico**. Logo abaixo temos uma estrutura que está sendo usada para gerar um atraso com relação ao sinal **RSTx**, e por fim temos o circuito que recebe tanto o sinal invertido do **RSTx** no gate do primeiro transistor **PMOS** e o sinal de **CTR_x** com certo atraso entrando no gate do segundo transistor **PMOS**. Quando se considera o pulso de **CTR_x** em alto, temos a seguinte situação acontecendo na estrutura que contém os dois transistores **PMOS**: o transistor mais acima fica em alta impedância ou corte devido o sinal em alto ser aplicado diretamente no gate do transistor **PMOS**, enquanto que o transistor mais abaixo esta em condução fazendo com que o potencial do terminal de **ERST** com o valor de 2.5 [V] esteja conectado diretamente com o terminal de **RST**, sendo assim o valor do terminal de **RST** será de 2.5[V]. A segunda situação a ser considerada apresenta-se de forma inversa, temos que quando o pulso estiver em baixo o transistor **PMOS** mais acima da estrutura estará com nível baixo sendo aplicado no gate do transistor, fazendo com que ele entre em condução, enquanto que o segundo transistor estará com o sinal invertido e logo entrará em alta impedância, o terminal de **RST** terá o mesmo valor que o terminal de **VDD**.

2.3 RDR (CTR): circuitos e análise transiente

O circuito RDT (CTR) realiza o controle da modulação do nível baixo aplicado ao dreno do transistor de reset para que a tensão de referência seja produzida. O seguinte esquemático para o circuito de controle foi montado conforme demonstrado na figura 8, com os devidos terminais de entrada e saída conectados.

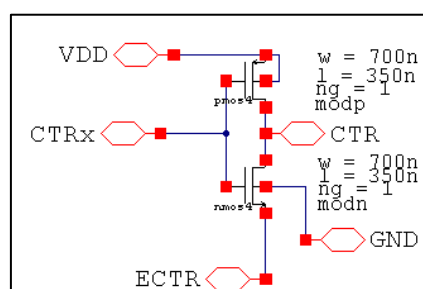


Figura 8 - Esquemático CTR

No circuito acima temos as seguintes alimentações para as portas I/O.

- **VDD**: Alimentação DC do Circuito com o valor de 3.3 [V]
- **GND**: Terra Global do Circuito.
- **ECTR**: Fonte de Alimentação DC com o seguinte valor de 1.4 [V]
- **CTR_x**: Sinal de Entrada do Circuito Reset apresenta os seguintes parâmetros : Período de 20us, Largura de Pulso de 10 us, VHigh 3.3[V] e VLow 0[V].
- **CTR**: Sinal de Saída do Reset tem os seguintes parâmetros: Período de 20us, Largura de Pulso de 10us, VHigh 3.3[V] e VLow 1.4[V].

Os sinais de entrada (CTR_x) em azul e saída (CTR) em vermelho do circuito, estão demonstrado na figura 9.

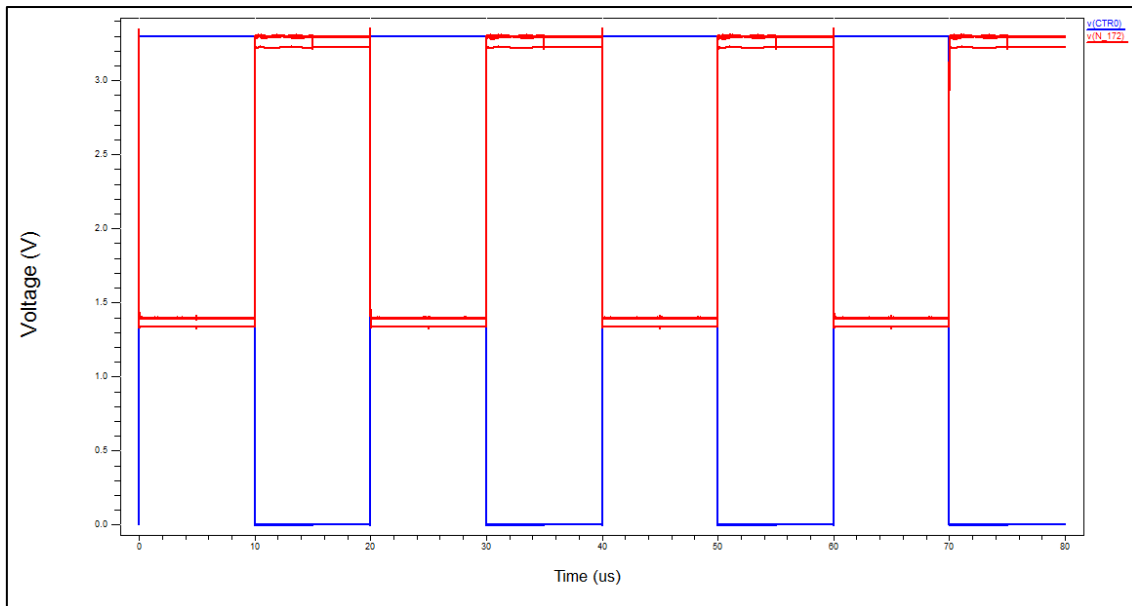


Figura 9 - Formas de Onda CTRx e CTR

Através da figura 9 pode-se entender melhor o funcionamento do circuito. Temos dois instantes a serem considerados nas formas de onda, quando **CTR_x** está em alto com o valor de 3.3V, o **Transistor PMOS** do esquemático mostrado na figura 8 está aberto, enquanto que o transistor **NMOS** está conduzindo e o ponto **CTR** assume o valor da fonte **E_{CTR}** com o valor de 1.4 [V]. O Segundo momento a ser considerado é o **CTR_x** em baixo, temos agora a situação inversa, o **Transistor PMOS** está conduzindo enquanto que o transistor **NMOS** estará em corte e o ponto **E_{CTR}** assume o valor de **V_{DD}**.

2.4 COLSEL: circuito e análise transiente

O circuito COLSEL realiza o controle de seleção de colunas assim como dos sinais que RDR (CTR) e RST que serão aplicados nestas. O esquemático do circuito COLSEL é apresentado a seguir:

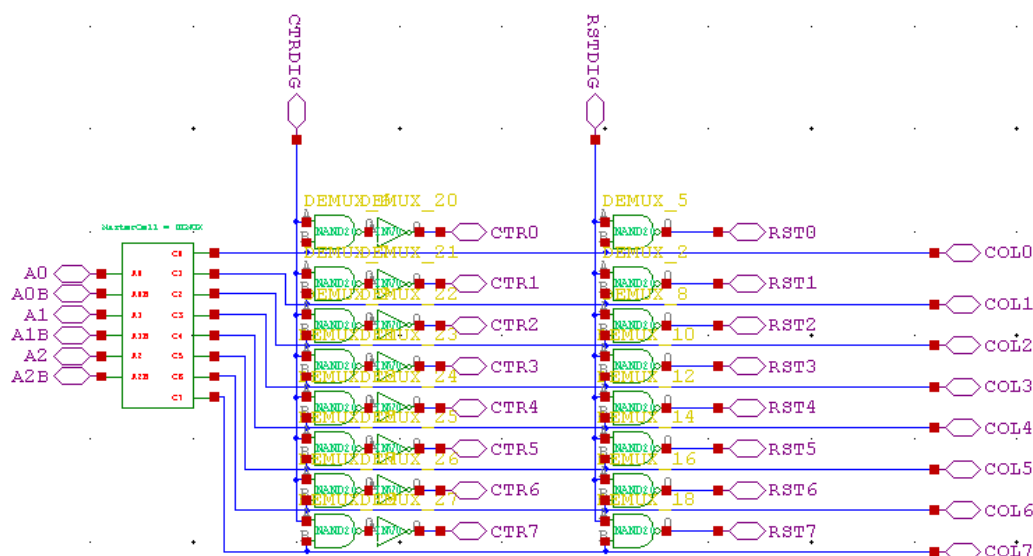


Figura 10 - Circuito COLSEL

A célula DEMUX também é apresentada na figura 11:

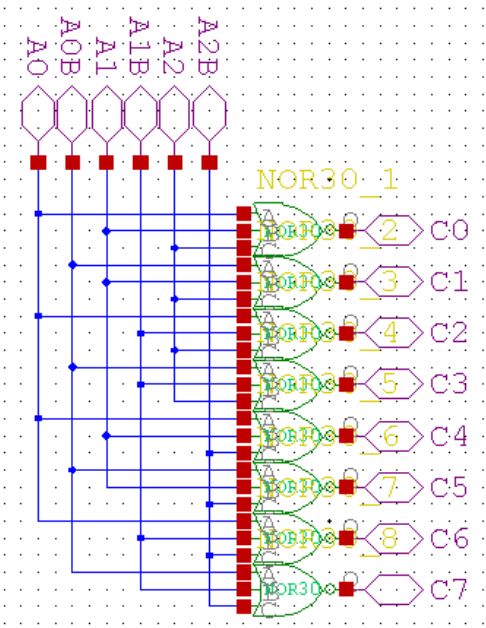


Figura 11 - Circuito DEMUX

O demultiplexador tem a função de gerar pulsos em suas saídas de forma sequencial crescente (de C0 a C7), de tal sorte que quando uma das saídas estiver em “high” (nível alto) todas as outras estarão em “low” (nível baixo). Quando o último pulso ocorrer na saída C7, o ciclo termina e se inicia novamente em C0. Os sinais de entrada do DEMUX são gerados por um contador de 8 bits.

Tabela 3 – Circuito DEMUX

Entrada			Saída do demultiplexador							
A2	A1	A0	C0	C1	C2	C3	C4	C5	C6	C7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

O circuito COLSEL distribui o sinal CTRDIG e RSTDIG para o circuito RST_CTR_INV, responsável pela seleção das colunas da matriz, além de enviar outro sinal para o circuito T-GATE, também usado para a seleção das colunas da matriz. A distribuição vem de acordo com o demultiplexador anterior.

A portas lógicas NAND e INV em cada linha fazem a saída CTRx ir para sinal alto, quando o sinal CTRDIG e a saída Cx do demultiplexador estiverem em nível alto. A porta lógica NAND em cada linha faz a saída RSTx ir para nível baixo, quando a entrada RSTDIG e a saída Cx do demultiplexador estiverem em nível alto. As tabelas seguintes mostram com mais detalhes.

Tabela 4 - Circuito COLSEL/CTR

Saída do Demultiplexador								CTRDIG	Saída selecionada							
C 0	C 1	C 2	C 3	C 4	C 5	C 6	C 7		CTR0	CTR1	CTR2	CTR3	CTR4	CTR5	CTR6	CTR7
X	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1	0	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0	0
0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1

Tabela 5 - Circuito COLSEL/RST

Saída do Demultiplexador								RSTDIG	Saída selecionada							
C 0	C 1	C 2	C 3	C 4	C 5	C 6	C 7		RST0	RST1	RST2	RST3	RST4	RST5	RST6	RST7
X	x	x	x	x	x	x	x	0	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1
0	1	0	0	0	0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	0	0	0	0	1	1	1	0	1	1	1	1	1
0	0	0	1	0	0	0	0	1	1	1	1	0	1	1	1	1
0	0	0	0	1	0	0	0	1	1	1	1	1	0	1	1	1
0	0	0	0	0	1	0	0	1	1	1	1	1	1	0	1	1
0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	0	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0

Tabela 6 - Circuito COLSEL/COL

Saída do Demultiplexador								Saída selecionada							
C0	C1	C2	C3	C4	C5	C6	C7	COL0	COL1	COL2	COL3	COL4	COL5	COL6	COL7
1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Para as saídas COLx, pode-se ver, conforme o circuito da figura 1 e a tabela 4, que o sinal provém diretamente da saída do demultiplexador.

Abaixo são mostrados os sinais de entrada Cx. Quando a entrada CTRDIG/RSTDIG se encontra em nível alto (3,3V), cada saída CTRx/RSTx é ativada quando sua entrada Cx respectiva está em sinal alto, ou seja, a forma de onda de saída é igual à de entrada.

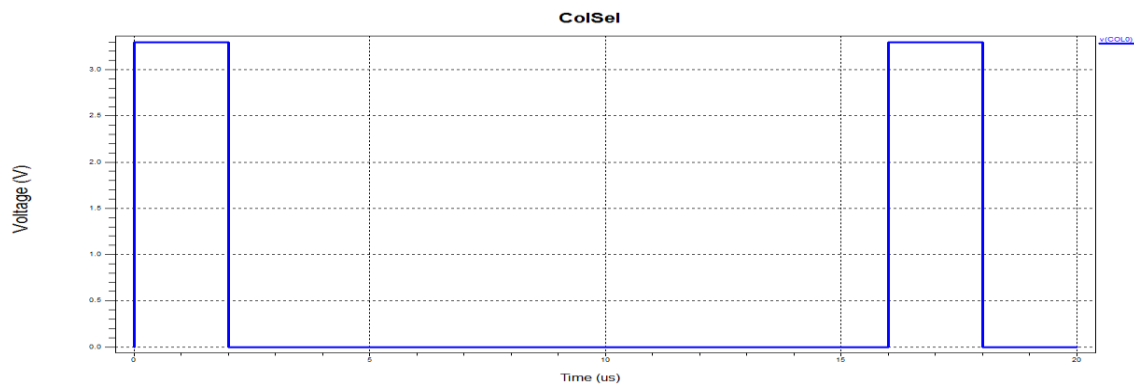


Figura 12 - Forma de onda C0/CTR0/COL0, para CTRDIG em nível alto

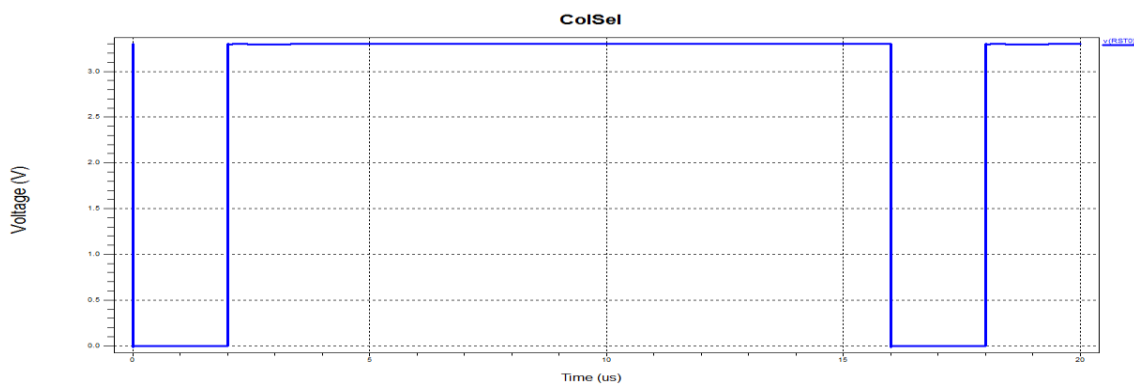


Figura 13 - Forma de onda RST0, para RSTDIG em nível alto

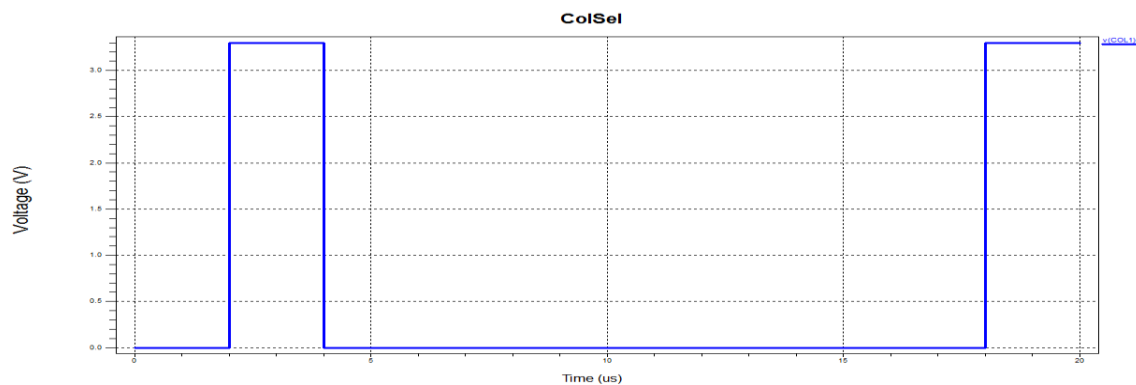


Figura 14 - Forma de onda C1/CTR1/COL1, para CTRDIG em nível alto

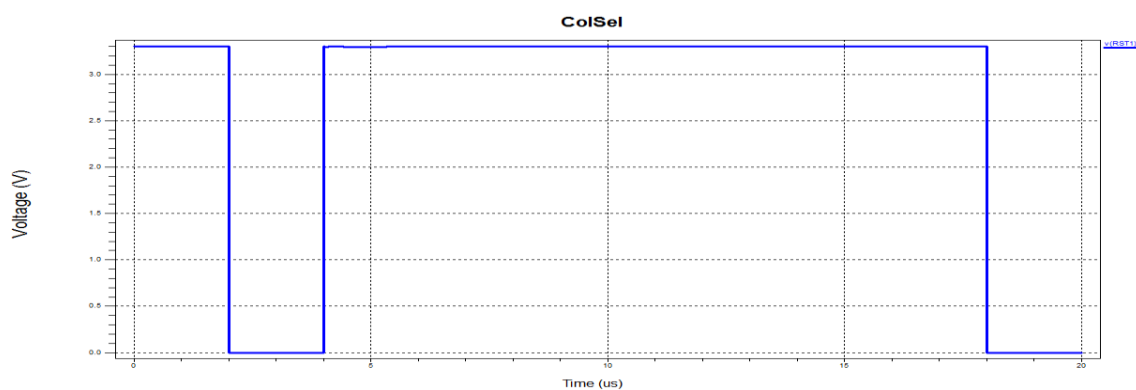


Figura 15 - Forma de onda RST1, para RSTDIG em nível alto

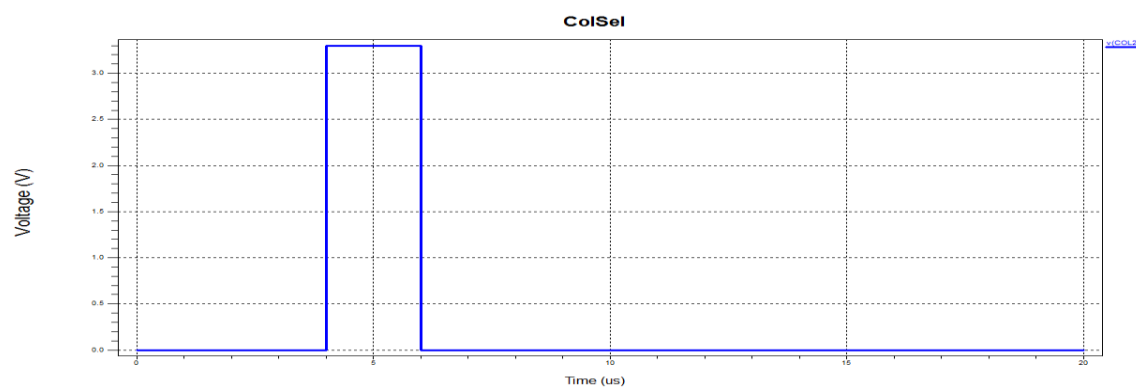


Figura 16 - Forma de onda C2/CTR2/COL2, para CTRDIG em nível alto

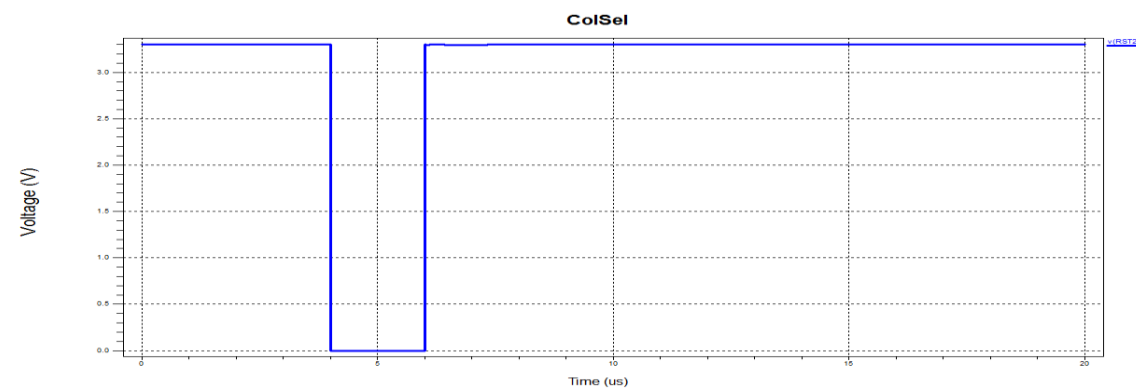


Figura 17 - Forma de onda RST2, para RSTDIG em nível alto

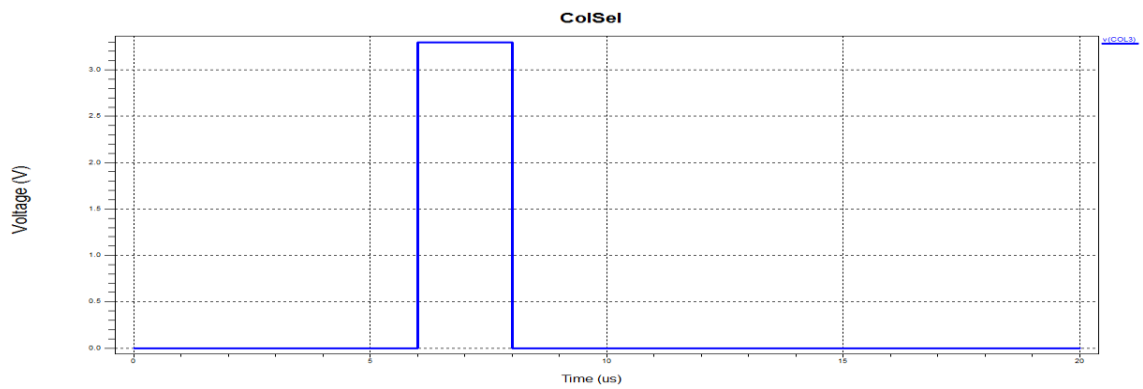


Figura 18 - Forma de onda C3/CTR3/COL3, para CTRDIG em nível alto

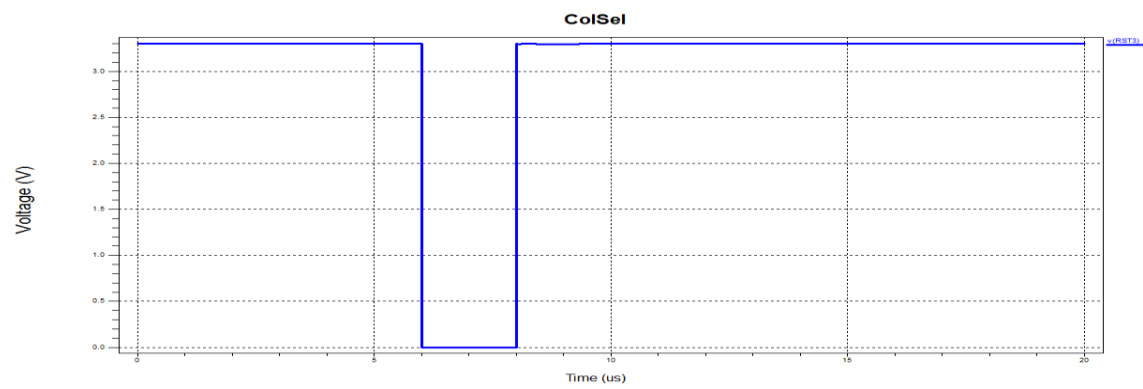


Figura 19 - Forma de onda RST3, para RSTDIG em nível alto

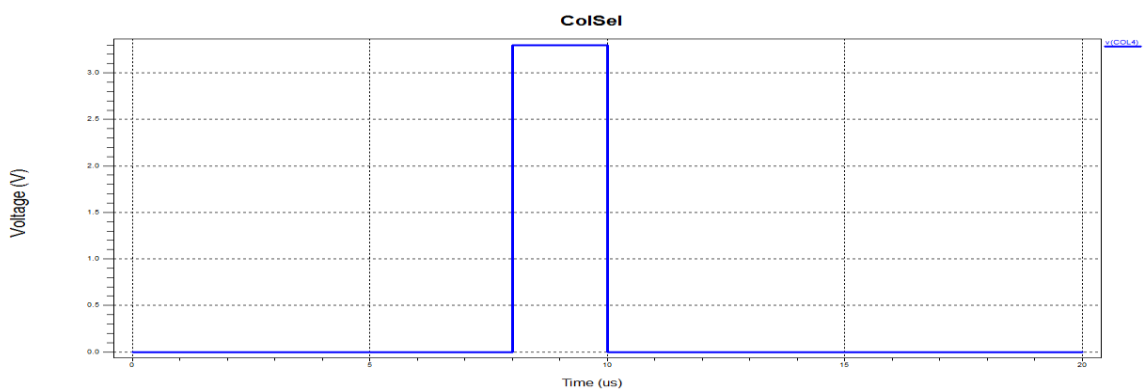


Figura 20 - Forma de onda C4/CTR4/COL4, para CTRDIG em nível alto

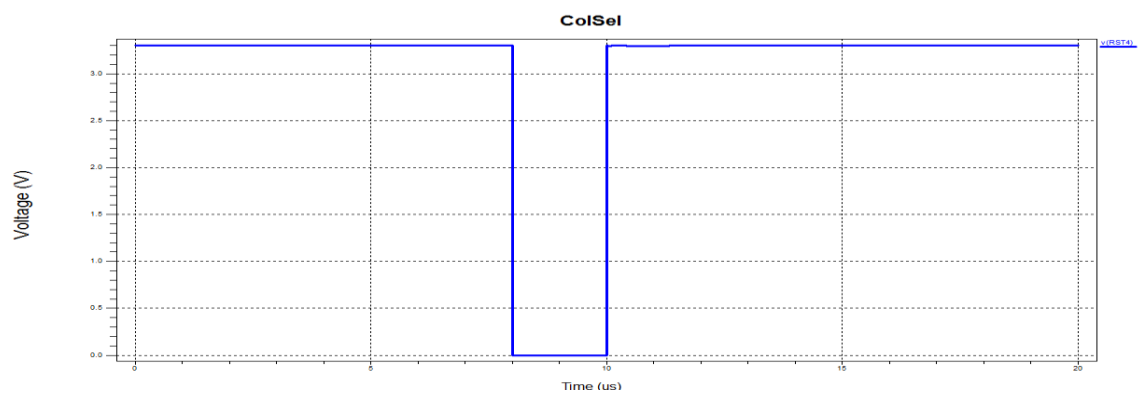


Figura 21 - Forma de onda RST4, para RSTDIG em nível alto

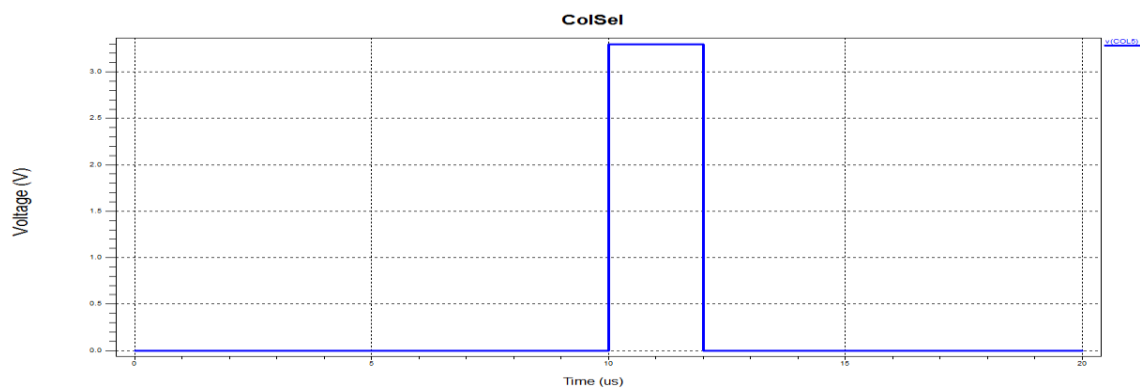


Figura 22 - Forma de onda C5/CTR5/COL5, para CTRDIG em nível alto

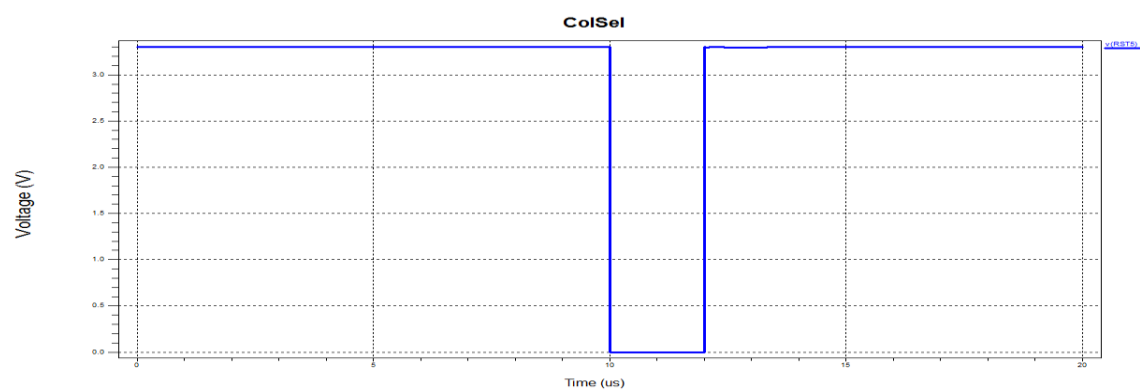


Figura 23 - Forma de onda RST5, para RSTDIG em nível alto

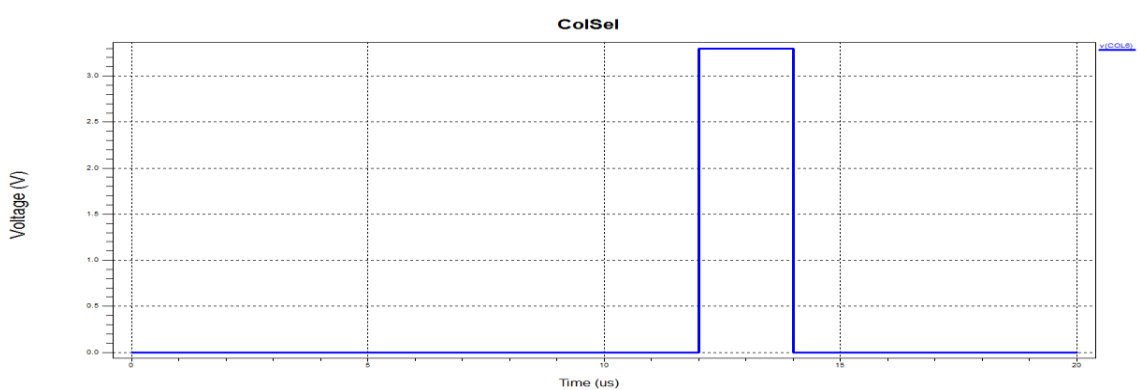


Figura 24 - Forma de onda C6/CTR6/COL6, para CTRDIG em nível alto

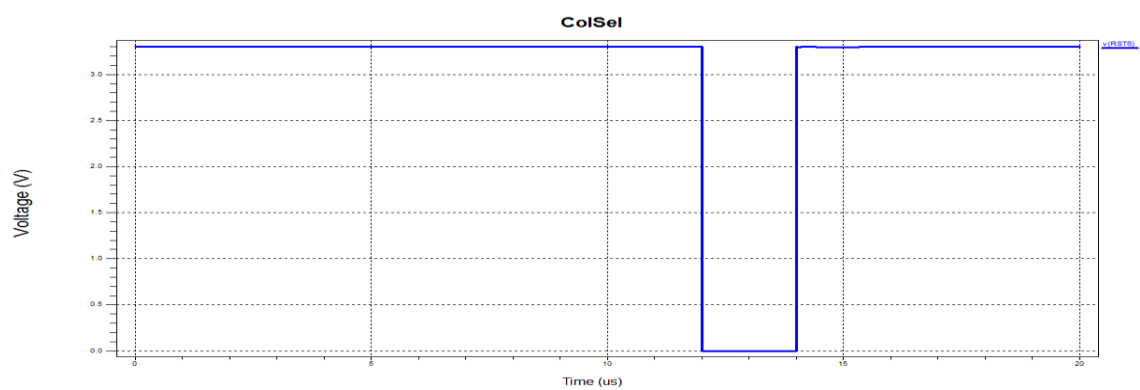


Figura 25 - Forma de onda RST6, para RSTDIG em nível alto

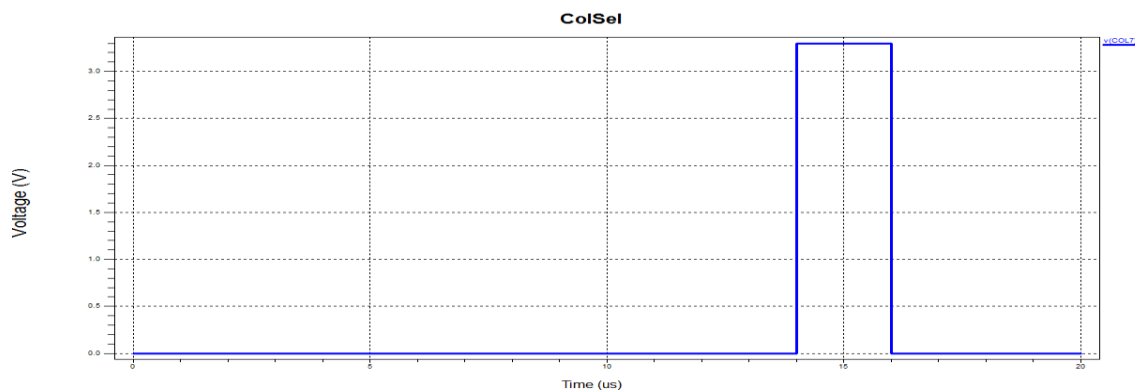


Figura 26 - Forma de onda C7/CTR7/COL7, para CTRDIG em nível alto

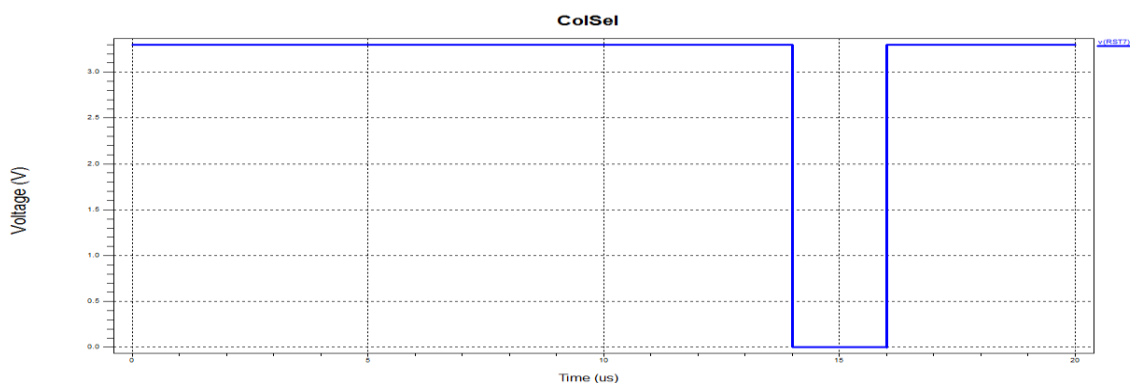


Figura 27 - Forma de onda RST7, para RSTDIG em nível alto

2.5 ROWSEL: circuito e análise transiente

O circuito ROWSEL realiza o controle de seleção de linhas da matriz. O esquemático do circuito ROWSEL é apresentado a seguir:

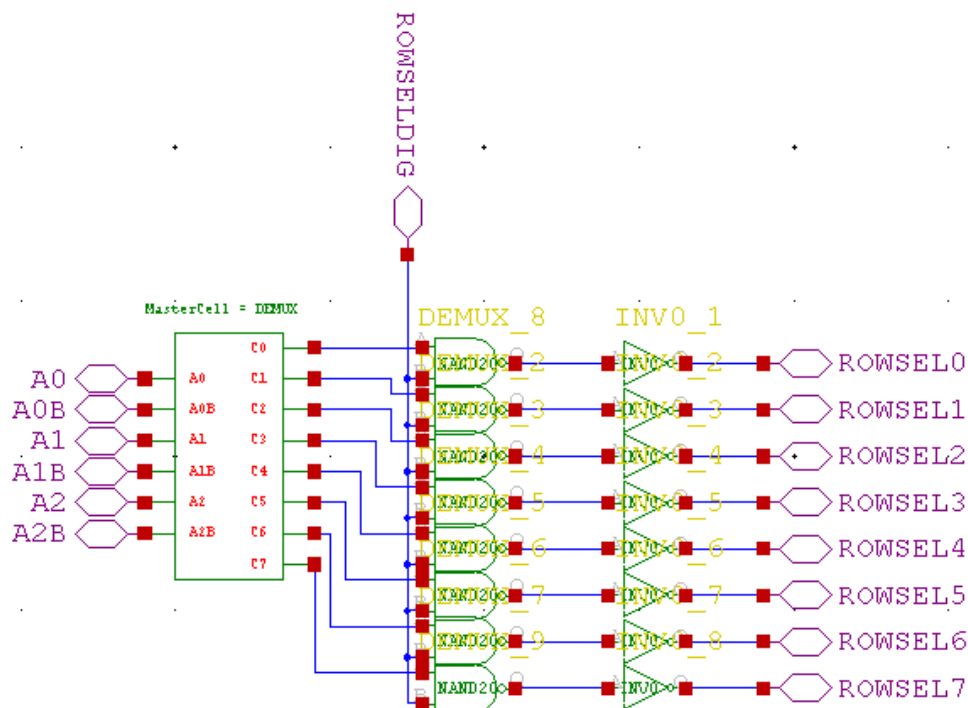


Figura 28 - Circuito ROWSEL

A célula DEMUX também é apresentada na figura 29:

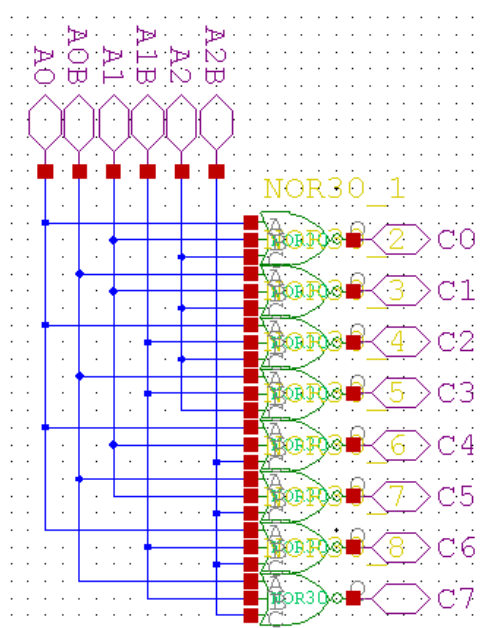


Figura 29 - Circuito DEMUX

O demultiplexador tem a função de gerar pulsos em suas saídas de forma sequencial crescente (de C0 a C7), de tal sorte que quando uma das saídas estiver em “high” (nível alto) todas as outras estarão em “low” (nível baixo). Quando o último pulso ocorrer na saída C7, o ciclo termina e se inicia novamente em C0. Os sinais de entrada do DEMUX são gerados por um contador de 8 bits.

Tabela 7 – Circuito DEMUX

Entrada			Saída do demultiplexador							
A2	A1	A0	C0	C1	C2	C3	C4	C5	C6	C7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

As portas lógicas NAND e INV em cada linha fazem a saída ROWSELx ir para sinal alto, quando o sinal ROWSELDIG e a saída Cx do demultiplexador estiverem em nível alto. A tabela seguinte mostra com mais detalhes.

Tabela 8 - Circuito ROWSEL

Saída do Demultiplexador								ROWSELDIG	Linha selecionada da Matriz							
C0	C1	C2	C3	C4	C5	C6	C7		ROWSEL0	ROWSEL1	ROWSEL2	ROWSEL3	ROWSEL4	ROWSEL5	ROWSEL6	ROWSEL7
X	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1	0	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0	0
0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1

Abaixo são mostrados os sinais de entrada Cx. Quando a entrada ROWSELDIG se encontra em nível alto (3,3V), cada saída ROWSELx é ativada quando sua entrada Cx respectiva está em sinal alto, ou seja, a forma de onda de saída é igual à de entrada.

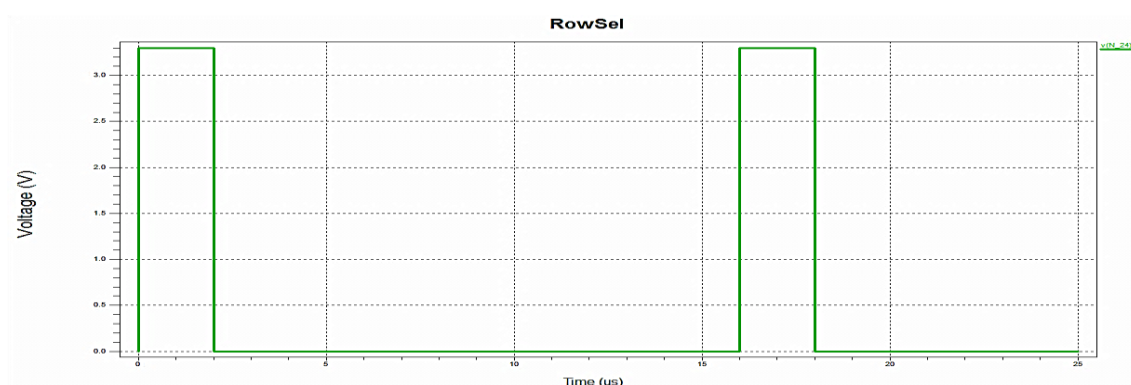


Figura 30 - Forma de onda C0/ROWSEL0, para ROWSELDIG em nível alto

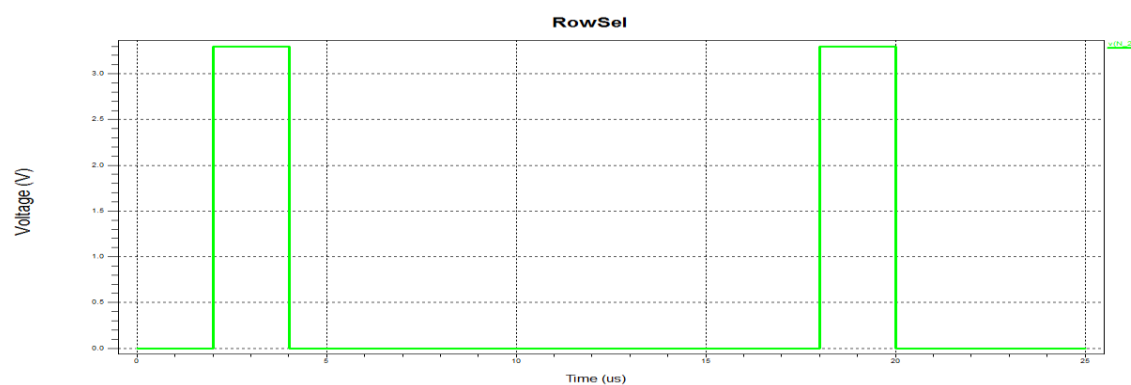


Figura 31 - Forma de onda C1/ROWSEL1, para ROWSELDIG em nível alto

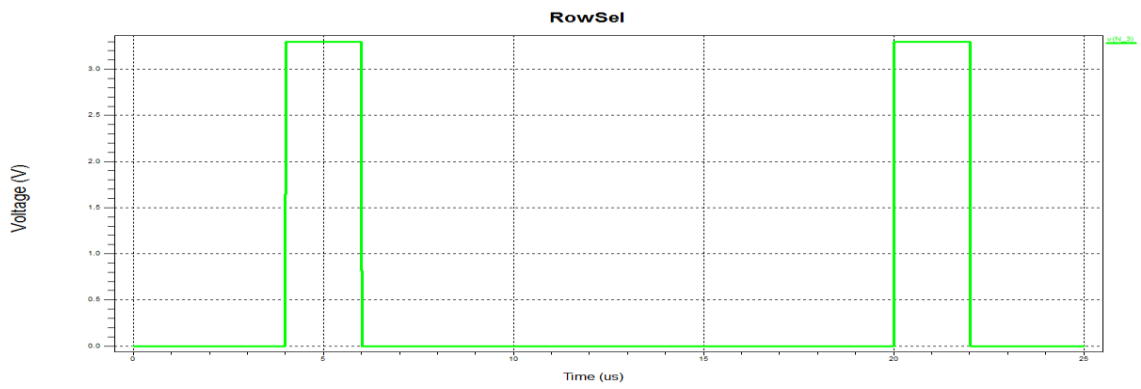


Figura 32 - Forma de onda C2/ROWSEL2, para ROWSELDIG em nível alto

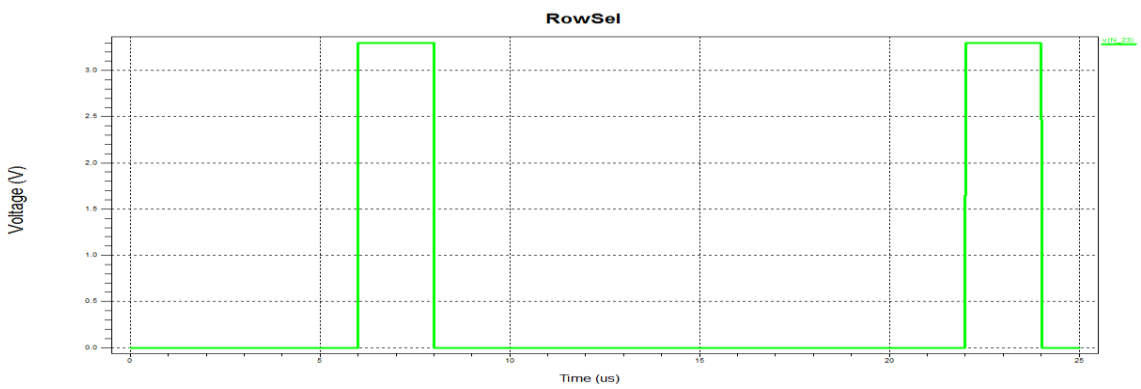


Figura 33 - Forma de onda C3/ROWSEL3, para ROWSELDIG em nível alto

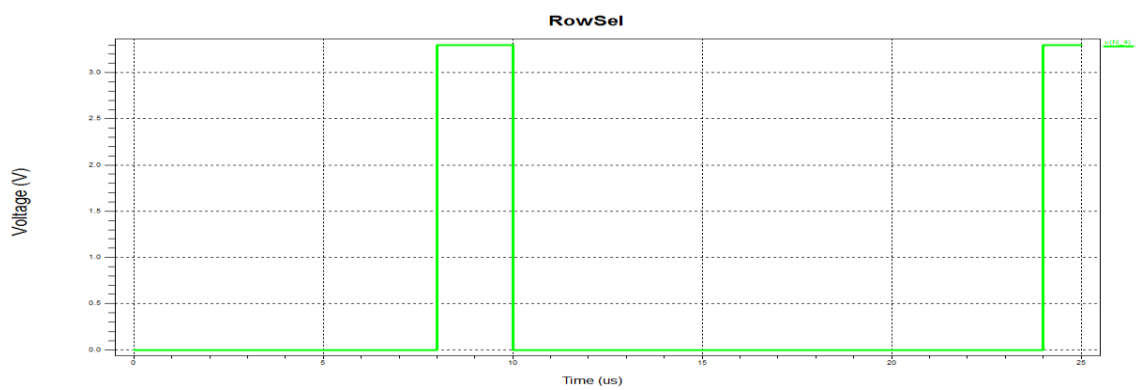


Figura 34 - Forma de onda C4/ROWSEL4, para ROWSELDIG em nível alto

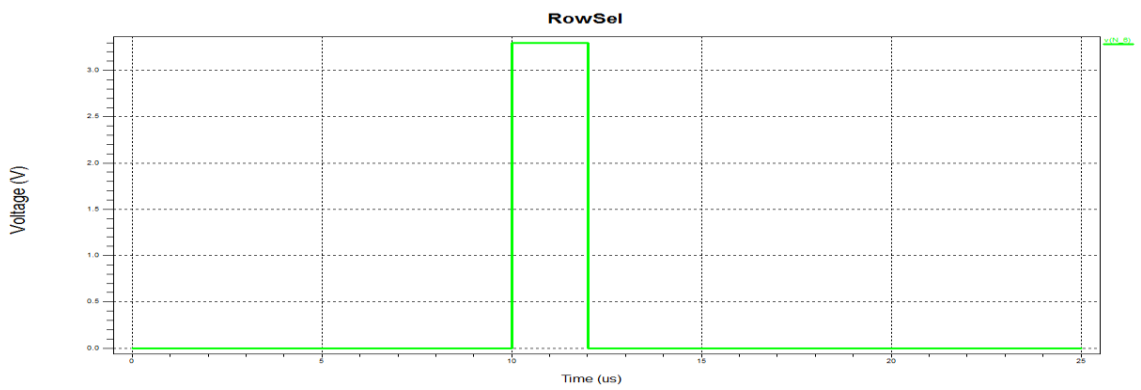


Figura 35 - Forma de onda C5/ROWSEL5, para ROWSELDIG em nível alto

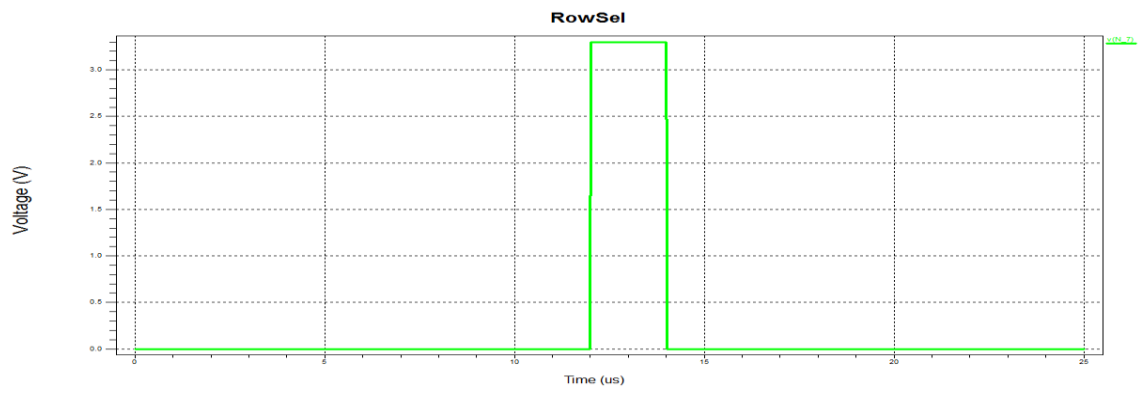


Figura 36 - Forma de onda C6/ROWSEL6, para ROWSELDIG em nível alto

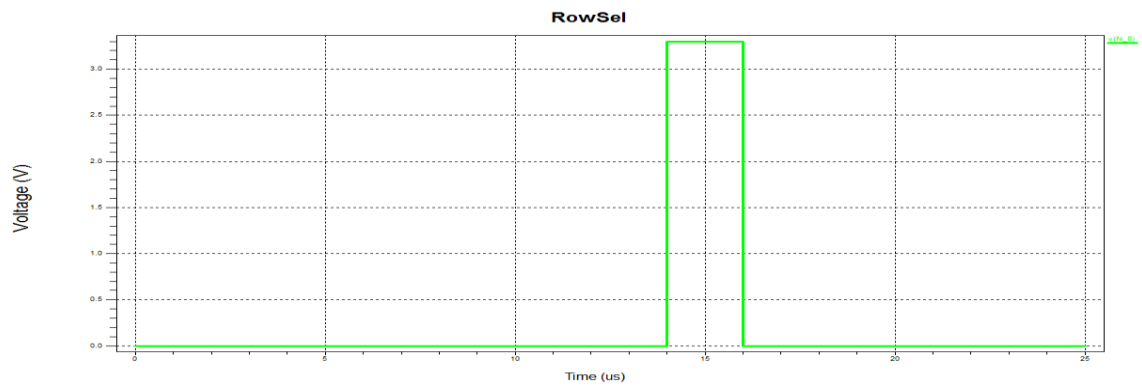


Figura 37 - Forma de onda C7/ROWSEL7, para ROWSELDIG em nível alto

3 Analise em Frequência à 300K

Dois resultados serão apresentados aqui. O primeiro para foto correntes constantes e variação no sinal do reset. O segundo com o sinal de reset fixo em VDD e com variações no sinal de foto corrente.

O primeiro tipo de simulação serve como uma estimativa da frequência máxima do sinal de reset para o pixel operando em regime linear. O segundo serve para uma estimativa de comportamento do pixel operando em regime logarítmico.

3.1 Variação na Frequência do Sinal de Reset

Mantendo-se o sinal de foto corrente constante e aplicando-se a variação em frequência ao sinal de reset temos a variação na saída apresentada na figura 38. A fonte de reset foi configurada com uma tensão VDC de 1.65V e a variação da magnitude foi de 1.65V, cobrindo desta forma a variação máxima de tensão produzida pela fonte de reset.

A figura 38 mostra que para foto-correntes baixas de até 1pA a variação da saída com frequência é praticamente desprezível. A variação máxima deste conjunto de curvas ocorre para a foto-corrente de 10pA, e a medida que a foto-corrente aumenta, a amplitude máxima de variação na saída diminui. A frequência de corte depende da intensidade da foto-corrente, a medida que a foto-corrente aumenta, a frequência de corte também aumenta.

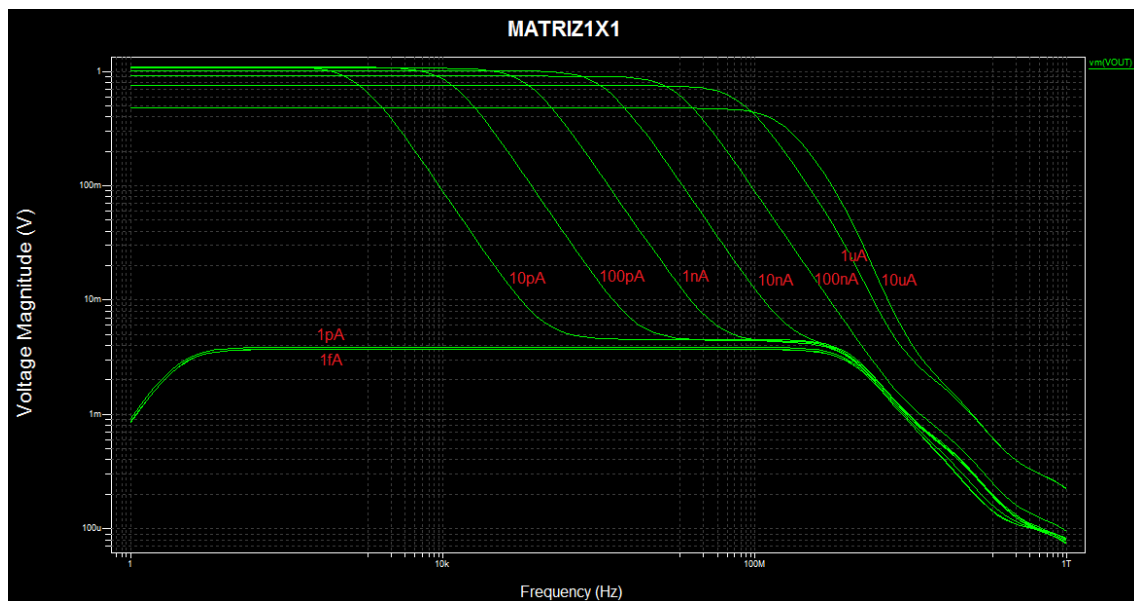


Figura 38 – Resposta em Frequência para variação máxima do sinal de reset.

3.2 Variação na Frequência do Sinal de Foto-Corrente

A simulação AC aplicada ao sinal de foto-corrente não considera o estado do sinal de reset do pixel. Portanto este deve estar ligado ou desligado para que a simulação possa ser realizada.

Com o reset desligado só podemos simular o estado do pixel saturado, mas não serve de muita coisa.

Com o reset em alto podemos simular o pixel no regime logarítmico. E podemos testar o pixel inclusive em diversas regiões do regime logarítmico aplicando sucessivas reduções em VDD. Mas aqui só serão apresentados os resultados do pixel no estado logarítmico completo, ou seja, VDD em 3.3V.

Para o pixel sujeito a diferentes níveis de foto correntes variando entre 1fA e 10 μ A. Se uma variação de corrente de 1pA, variando em frequência, for aplicada ao sinal de foto corrente. Então teremos uma variação em tensão na saída do circuito como mostrado na figura 39. Caso a variação aplicada seja de 10pA, então o resultado será como mostrado na figura 40.

Observamos no resultado que a variando a magnitude da entrada em 10 vezes, produz uma variação também 10 vezes maior na saída.

Verifica-se também que a frequência de corte é uma função da foto corrente ao qual o pixel está submetido. Verifica-se também que a frequência de corte é insensível a variação da magnitude o sinal de corrente variável aplicado.

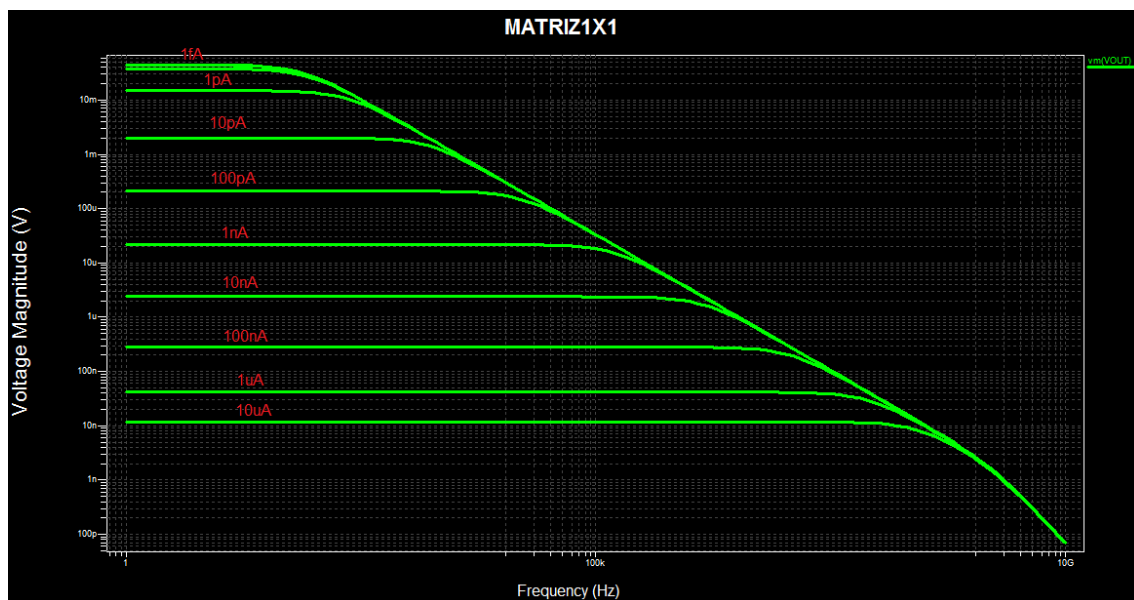


Figura 39 – Resposta em Frequência para uma variação de 1pA.

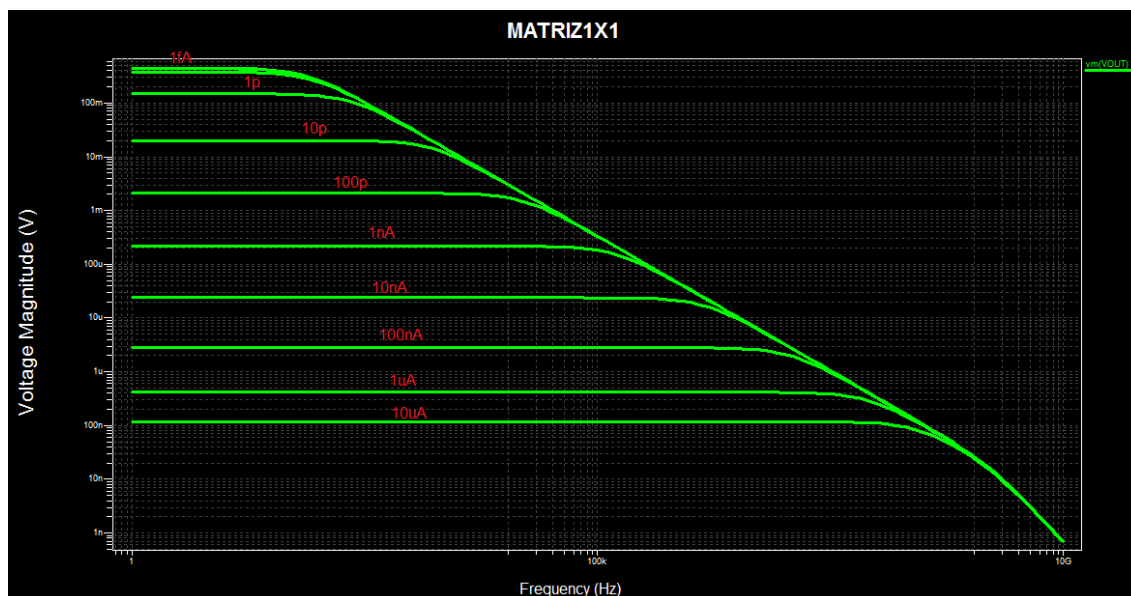


Figura 40 – Resposta em Frequência para uma variação de 1pA.

4 Densidade Espectral do APS à 300K

4.1 Configuração da Simulação

Da biblioteca SPICE_Commands instancia-se a célula PrintNoise e em setup simulation ativa-se a simulação Noise Analysis juntamente com AC Analysis. Na janela de Noise Analysis indica-se o nó onde o ruído deve ser analisado. Na janela da figura 41 onde aparece IND, muda-se para IPH. A fonte geradora de ruído também deve ser indicada, na janela da figura 41 onde aparece II2 muda-se para IIPH.

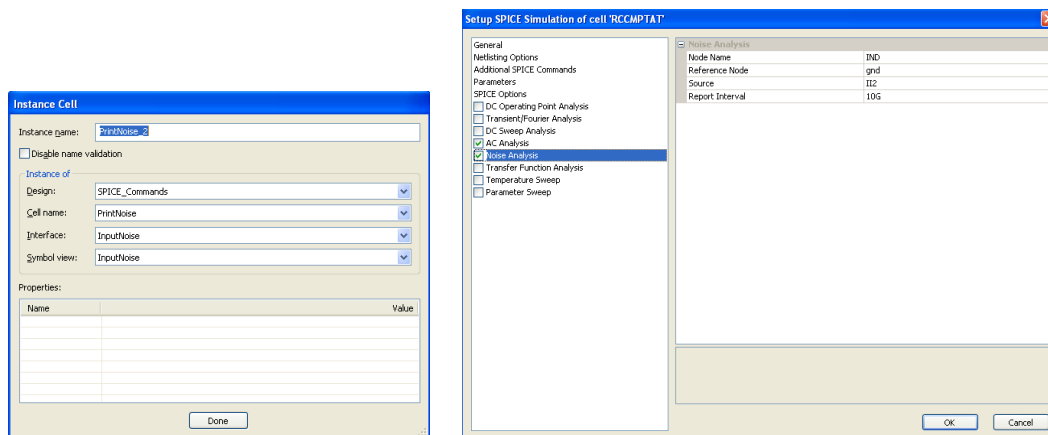


Figura 41- Configuração da simulação para análise de ruído

4.2 Resultados da Simulação

As curvas de densidade espectral de ruído, para diversas foto-correntes, em escala logarítmica são mostradas na figuras 42. Estas curvas mostram com detalhes a magnitude do ruído em cada intervalo das diversas bandas de frequências de interesse, para as diversas foto-correntes.

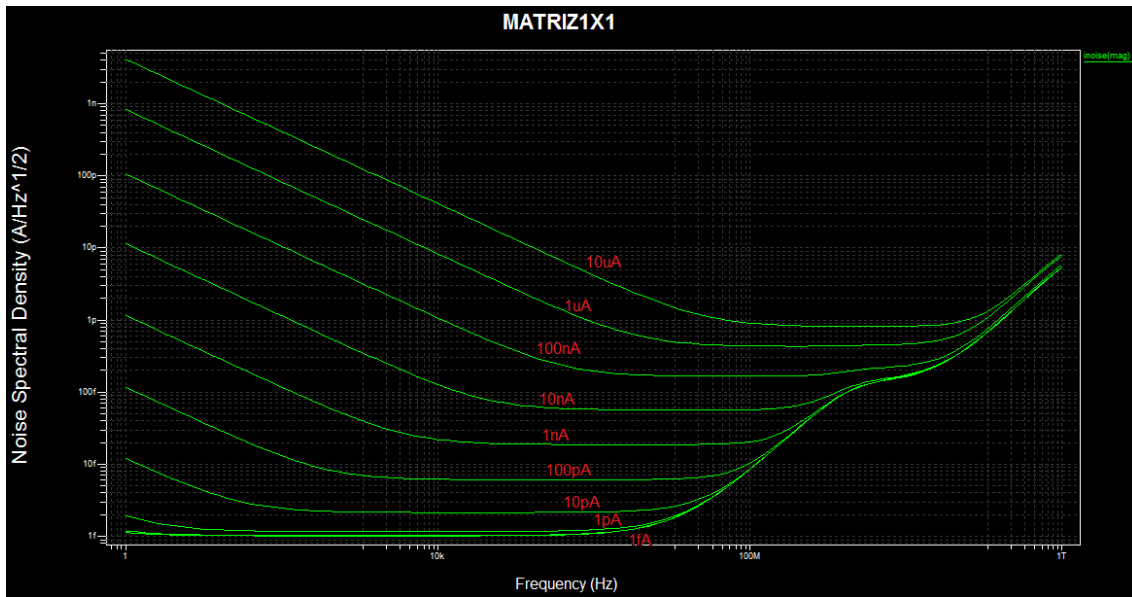


Figura 42- Densidade Espectral do Nó IPH

5 Leiaute

5.1 Leiaute do APS3T-RDR

O leiaute do APS3T-RDR fig. 1 com dimensões 10um x 10um é mostrado na fig. 43. Todos os espaçamentos foram realizados para serem os mínimos, dentro das regras de projeto desta tecnologia.

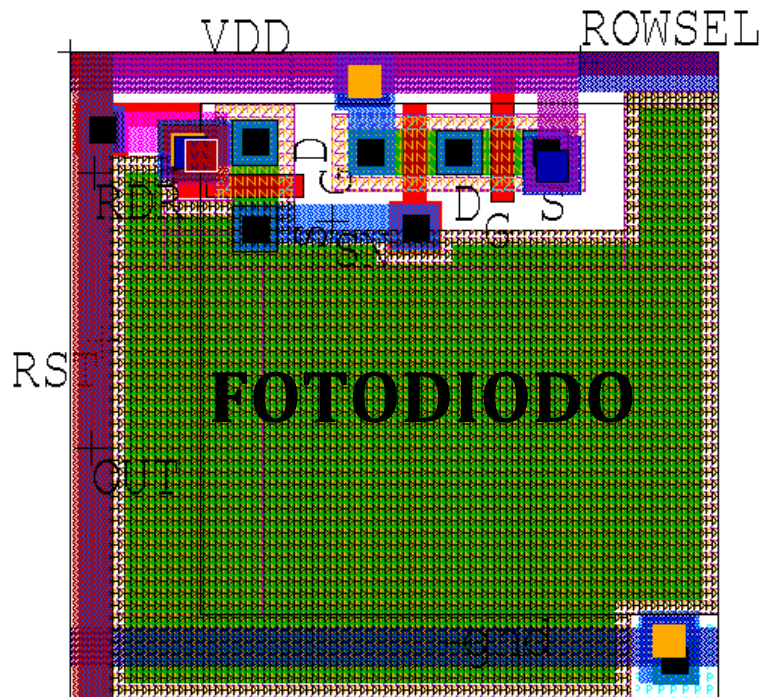


Figura 43 - Leiaute do APS3T-RDR da fig. 1

O fotodiodo é composto por quatro camadas diferentes sobrepostas nesta ordem: DIFF, NPLUS, NLDD e DIODE. Além das camadas temos que completar o leiaute do fotodiodo adicionando dois contatos: **Via1 para Anodo** do fotodiodo e **CntSub** como Catodo, todos estes contatos extraídos do seguinte diretório **AMSC35_14.3/L-EDIT/LIBRARIES/AMSC35_techfile**.

O **fator de preenchimento “fill factor”** do pixel da fig. 43, que é a razão entre a área exposta do fotodiodo e a área total do pixel, é igual a **56,502%**. A seguir serão mostrados os processos automático e manual de extração deste parâmetro.

5.2 Extração Automática dos Parâmetros do Fotodiodo

A próxima etapa é a extração dos parâmetros do fotodiodo como: Área, Perímetro e Fator de Preenchimento.

Primeiramente executa-se o procedimento para extração do netlist do Pixel da fig. 43, obtendo-se o netlist como apresentado na fig. 44.

Na Fig. 44 observamos que foram reconhecidos somente os três os transistores NMOS o Fotodiodo não foi detectado. Para solucionar este problema temos que fazer a extração do netlist do Pixel retirando o transistor de reset, próximo ao canto superior esquerdo da fig. 43, e adicionar um contato CntWell como mostrado na figura 45.

Para o leiaute apresentado na fig. 45, o netlist gerado é apresentado na fig. 46. Neste netlist aparece a área e o perímetro do fotodiodo. Os fatores de multiplicação de potencia de dez não aparecem neste resultado e devem ser incluídos para o LVS.

```
*****
* SPICE netlist generated by HiPer Verify's NetList Extractor
*
* Extract Date/Time: Tue Apr 23 10:50:51 2013
* L-Edit Version: L-Edit Win32 15.00.20100420.04:39:50
*
* Rule Set Name: DRC/LVS 0.35 U CMOS C35B4/C35B3 REV7 polycide 3V/5V (last modified 18-Dec-08)
* TDB File Name: C:\IR2\layout\APS3TMATRIZ8X8Tannerv15\APS3Tdim10umx10umSubdiodeV3.tdb
* Command File: C:\OptmaLab\IR2\bibliotecas\L-EDIT\HIPER\HiPerVerify_c35b4rules.cal
* Cell Name: APSRDR
* Write Flat: YES
*****

***** Net name aliases report *****
*
* Aliases of net OUT
* U165/S
*
* Aliases of net RDR
* U166/D

mU166/n1 RDR RST SN gnd_ nmos4 w=7e-007 l=3.5e-007 as=6.16688e-011 ad=5.95e-013 ps=3.836e-005 pd=2.4e-006 nrs=0.607143 nrd=0.60
mU165/n1 U165/D U165/1 OUT gnd_ nmos4 w=7e-007 l=3.5e-007 as=5.95e-013 ad=3.5e-013 ps=2.4e-006 pd=1e-006 nrs=0.607143 nrd=0.607
mU165/n2 VDD SN U165/D gnd_ nmos4 w=7e-007 l=3.5e-007 as=3.5e-013 ad=5.95e-013 ps=1e-006 pd=2.4e-006 nrs=0.607143 nrd=0.607143
* Device count
* mn(nmos4) 3
* Number of devices: 3
* Number of nodes: 8
*****
```

Figura 44 - Netlist do APS3T-RDR da fig. 4

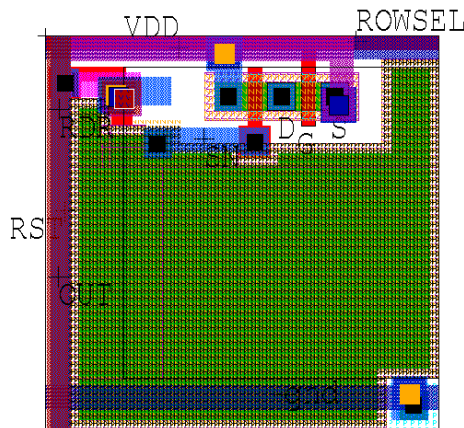


Figura 45 - Pixel APS3T Modificado

```
*****
* SPICE netlist generated by HiPer Verify's NetList Extractor
*
* Extract Date/Time: Tue Apr 23 10:58:22 2013
* L-Edit Version: L-Edit Win32 15.00.20100420.04:39:50
*
* Rule Set Name: DRC/LVS 0.35 U CMOS C35B4/C35B3 REV7 polycide 3V/5V (last modified 18-Dec-08)
* TDB File Name: C:\IR2\layout\APS3TMATRIZ8X8Tannerv15\10umx10umSubdiodeV3.tdb
* Command File: C:\OptmaLab\IR2\bibliotecas\L-EDIT\HIPER\HiPerVerify_c35b4rules.cal
* Cell Name: NOVOAPS
* Write Flat: YES
*****

***** Net name aliases report *****
*
* Aliases of net OUT
* U165/S
*
d1 gnd_ SN nd a=61.5637 p=38.76 $(0.85 -9.75 9.75 -0.85)
mU165/n1 U165/D U165/1 OUT gnd_ nmos4 w=7e-007 l=3.5e-007 as=5.95e-013 ad=3.5e-013 ps=2.4e-006 pd=1e-006 nrs=0.607143 nrd=0.607
mU165/n2 VDD SN U165/D gnd_ nmos4 w=7e-007 l=3.5e-007 as=3.5e-013 ad=5.95e-013 ps=1e-006 pd=2.4e-006 nrs=0.607143 nrd=0.607143
* Device count
* d(nd) 1
* mn(nmos4) 2
* Number of devices: 3
* Number of nodes: 6
*****
```

Figura 46-Netlist Pixel Modificado

Agora podemos observar que o programa detectou o Fotodiodo e os dois transistores NMOS de acordo com este layout modificado. Para construir o netlist completo é necessário copiar a linha que contém as informações do fotodiodo e acrescentamos no Netlist gerado anteriormente, fig. 44. Além disso, devemos acrescentar os multiplicadores de potencia de dez para área e perímetro do fotodiodo, circulados em vermelho, e garantir a correspondência dos nós de conexão do fotodiodo com o transistor de reset, circulado em azul. Estes detalhes são mostrados na fig. 8.

```
*****
* SPICE netlist generated by HiPer Verify's NetList Extractor
*
* Extract Date/Time: Tue Apr 23 10:50:51 2013
* L-Edit Version: L-Edit Win32 15.00.20100420.04:39:50
*
* Rule Set Name: DRC/LVS 0.35 U CMOS C35B4/C35B3 REV7 polycide 3V/5V (last modified 18-Dec-08)
* TDB File Name: C:\IR2\layout\APS3TMATRIZ8X8Tannerv15\APS3Tdim10umx10umSubdiodeV3.tdb
* Command File: C:\OptmaLab\IR2\bibliotecas\L-EDIT\HIPER\HiPerVerify_c35b4rules.cal
* Cell Name: APSRDR
* Write Flat: YES
*****

***** Net name aliases report *****
*
* Aliases of net OUT
* U165/S
*
* Aliases of net RDR
* U166/D

d1 gnd_ SN nd [a=61.5637p] [p=38.76u] $(0.85 -9.75 9.75 -0.85)
mU166/n1 RDR RST [SN gnd_ nmos4 w=7e-007 l=3.5e-007 as=6.16688e-011 ad=5.95e-013 ps=3.836e-005 pd=2
mU165/n1 U165/D U165/1 OUT gnd_ nmos4 w=7e-007 l=3.5e-007 as=5.95e-013 ad=3.5e-013 ps=2.4e-006 pd=
mU165/n2 VDD SN U165/D gnd_ nmos4 w=7e-007 l=3.5e-007 as=3.5e-013 ad=5.95e-013 ps=1e-006 pd=2.4e-0
* Device count
* mn(nmos4) 3
* Number of devices: 3
* Number of nodes: 8
*****
```

Figura 47-Novo Netlist APS3T-RDR

Desta forma temos uma maneira semiautomática de realizar a extração de parâmetros do fotodiodo, mostrados na tabela 9. Mesmo assim para circuitos mais complexos como as matrizes que serão construídas, este processo é muito trabalhoso de ser realizado manualmente. Uma maneira mais eficiente de extrair o netlist para realização de LVS da matriz 8x8 será apresentado mais a frente neste texto

Tabela 9- Parâmetros Fotodiodo

	Semiautomático	Manual
Área Fotodiodo	61.5637 p	61.085 p
Perímetro	38.76 u	38.465 u
Fator de Preenchimento	61.5637%	56.502 %

5.3 Extração Manual dos Parâmetros do Fotodiodo

Para realizar a extração Manual do fotodiodo temos que medir diretamente no Leiaute todas as dimensões em especial: Área, Perímetro e Fator de Preenchimento do fotodiodo.

Para Calcular a Área do fotodiodo dividimos a área total em dois tipos de Áreas: **Área de Difusão-N Exposta ($A_{NDif\text{ exposta}}$)** e **Área de Difusão-N não exposta ($A_{NDif\text{ não exposta}}$)** e em seguida somamos essas duas áreas, o perímetro medimos como normalmente é feito.

A Área do fotodiodo exposta foi dividida em onze subáreas, os valores medidos estão exibidos na tabela 10.

Tabela 10-Área de Difusão-N Exposta

Área de Difusão-N Exposta ($A_{NDif\text{ exposta}}$)
$A_1 = 7,55 \times 0,250 = 1,887$
$A_2 = 7,55 \times 0,450 = 3,397$
$A_3 = 8,900 \times 5,150 = 45,835$
$A_4 = 3,825 \times 0,300 = 1,1475$
$A_5 = 0,950 \times 2,150 = 2,0425$
$A_6 = 1,525 \times 0,300 = 0,4575$
$A_7 = 0,700 \times 0,200 = 0,140$
$A_8 = 1,650 \times 0,765 = 1,262$
$A_9 = 0,550 \times 0,525 = 0,288$
$A_{10} = 0,50 \times 0,095 = 0,047$
$A_{TOTAL\ N-DIFF\ EXPOSTA} = 56,502$

Para fazermos a medição de **Área de Difusão-N não exposta** repetimos o mesmo procedimento com a diferença que será somente contabilizado a área de camada n-diff coberta por camadas de metal, esta tal área total foi dividida em duas áreas menores para facilitar o cálculo da área total de Difusão-N não expostas os valores estão exibidos na tabela 11.

Tabela 11- Área de Difusão-N não exposta

Área de Difusão-N não exposta ($A_{NDif\text{ não exposta}}$)
$A_1 = 7,55 \times 0,600 = 4,53$
$A_2 = 0,050 \times 0,095 = 0,004$
$A_{TOTAL\ N-DIFF\ NÃO\ EXPOSTA} = 4,534$

Somando as duas Áreas totais tanto da tabela 6 quanto da tabela 11 têm a área total do fotodiodo sendo igual **61.036, valor próximo ao gerado pela extração semiautomática dos parâmetros do fotodiodo exibidos na tabela 9.**

Com relação ao perímetro do fotodiodo o valor encontrado manualmente foi o de **38.465**, valor este que é a medida somente do perímetro de toda a camada de difusão-n este valor se aproxima do valor gerado automaticamente como mostrado na tabela 9.

O último parâmetro a ser calculado é o Fator de Preenchimento que é igual ao valor da razão entre $A_{TOTAL\ N-DIFF\ EXPOSTA}$ e a **Área total do Pixel** igual a $100\mu m^2$. Obtemos o valor para o Fator de Preenchimento de **56,502% exibido também na tabela 9.**

5.4 Matriz 8x8 do APS3T-RDR com FPN induzido

O leiaute de uma matriz 8x8 do APS3T-RDR, cujo leiaute foi apresentado na fig. 43, é mostrado na fig. 9. Os transistores amplificadores de cada coluna, transistor NMOS externo da fig. 2, também são mostrados na fig. 48.

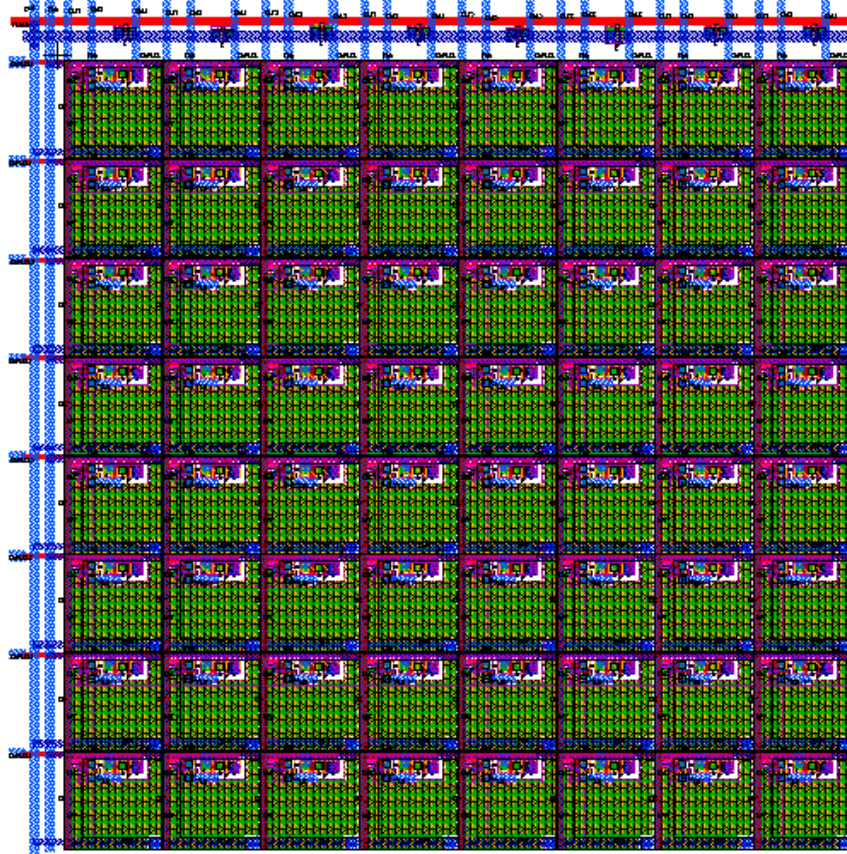


Figura 48 – Matriz 8x8 APS3T-RDR

Todos os amplificadores de coluna, da esquerda para a direita na fig. 48, têm largura comprimento fixo, $L = 0.35\mu\text{m}$, e larguras W variadas da seguinte forma: $W1 = 0.70\mu\text{m}$, $W2 = 0.70\mu\text{m}$, $W3 = 1.00\mu\text{m}$, $W4 = 0.70\mu\text{m}$, $W5 = 0.70\mu\text{m}$, $W6 = 1.20\mu\text{m}$, $W7 = 0.70\mu\text{m}$ e $W8 = 0.70\mu\text{m}$. Os valores das larguras dos amplificadores de coluna foram escolhidos de forma a acrescentarem de forma proposital ou induzida ruído de padrão fixo FPN na matriz. Este efeito é importante para a validação da técnica descrita em [1].

5.5 Leiaute do circuito RST_CTRL

O Leiaute da célula RST_RDR é apresentado a seguir:

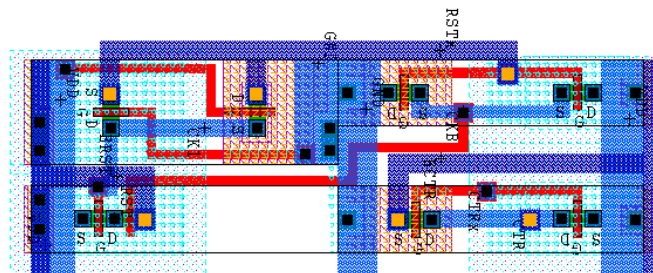


Figura 49 - Leiaute da célula RST_RDR

Os dois circuitos RST e RDR estão em uma mesma célula, como se pode ver na figura 49. Na figura 50, estão destacados os dois circuitos: (1) RST e (2) CTR.

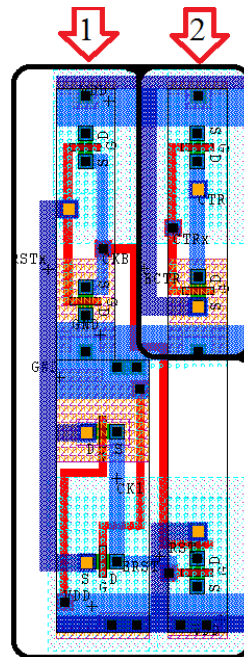


Figura 50 - Leiaute das células RST(1) e CTR(2)

O DRC do circuito apresenta um problema de SPEC que pode ser desconsiderado. Pois como a ferramenta de DRC não reconheceu o terminal VDD ele considerou que os poços n que deveriam ser ligados a VDD estão HOTS, mas na verdade não estão. Desta forma este erro não acarretará necessariamente em quebra de regras de DRC.

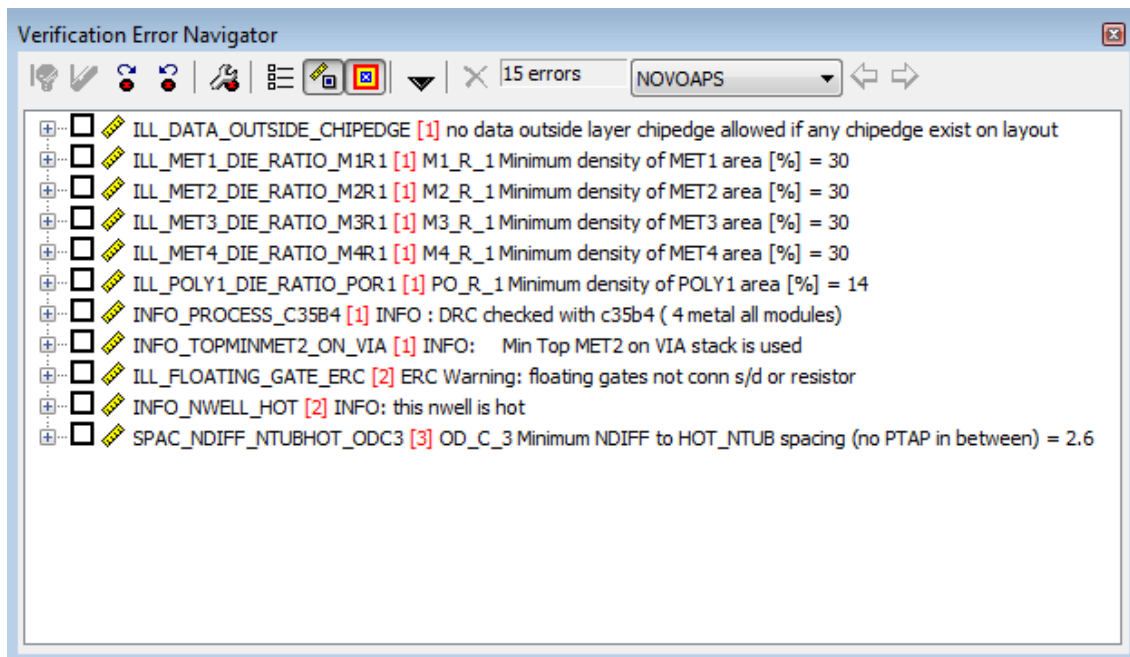


Figura 51 - DRC da célula RST_CTR

5.6 Leiaute do circuito COLSEL

O Leiaute da célula COLSEL é apresentado a seguir:

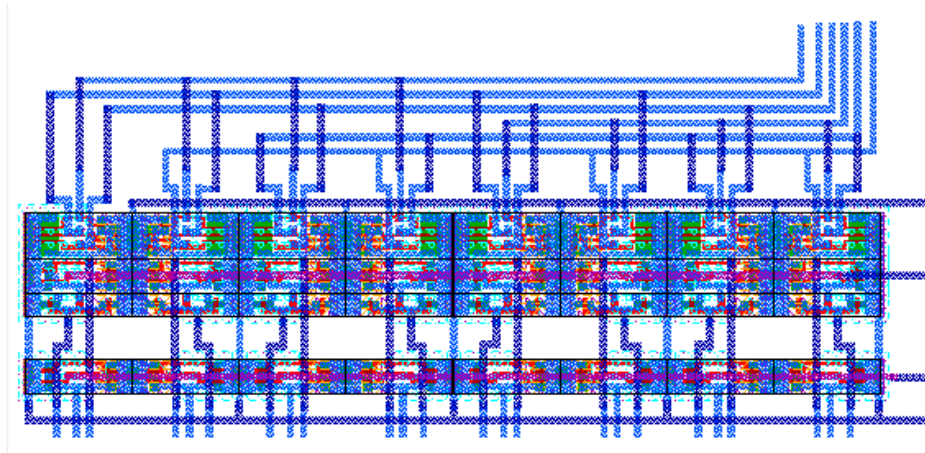


Figura 52 - Leiaute COLSEL

Destacando uma parte da célula da célula, podem-se ver melhor as ligações internas:

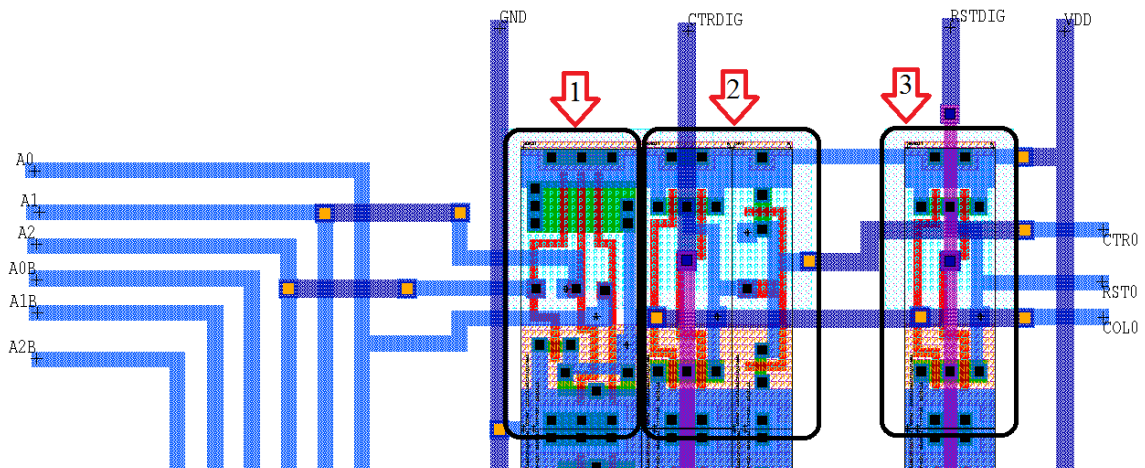


Figura 53 - Parte destacada da célula COLSEL

A parte destacada 1 refere-se ao demultiplexador, composto por oito portas NOR30 (figura 54a), encontrada na biblioteca AMSC35_14.3. A parte destacada 2 refere-se ao sinal CTRx, composto por oito portas NAND20 e oito portas INV0, encontradas na biblioteca AMSC35_14.3. A parte destacada 3 refere-se ao sinal RSTx, composto por oito portas NAND20. O sinal COLx vem diretamente da saída do demultiplexador.

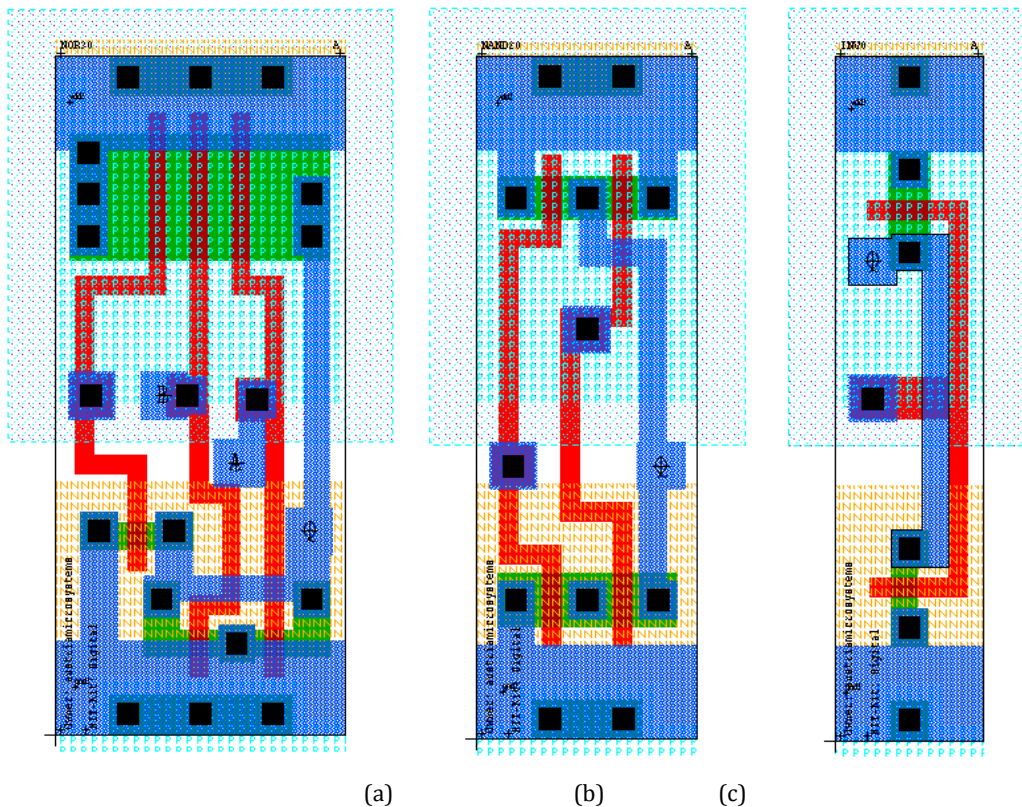


Figura 54 - Portas Lógicas (a)NOR30, (b)NAND20 e (c)INV0

O DRC do circuito apresenta um problema de SPEC que pode ser desconsiderado. Pois como a ferramenta de DRC não reconheceu o terminal VDD ele considerou que os poços n que deveriam ser ligados a VDD estão HOTS, mas na verdade não estão. Desta forma este erro não acarretará necessariamente em quebra de regras de DRC.

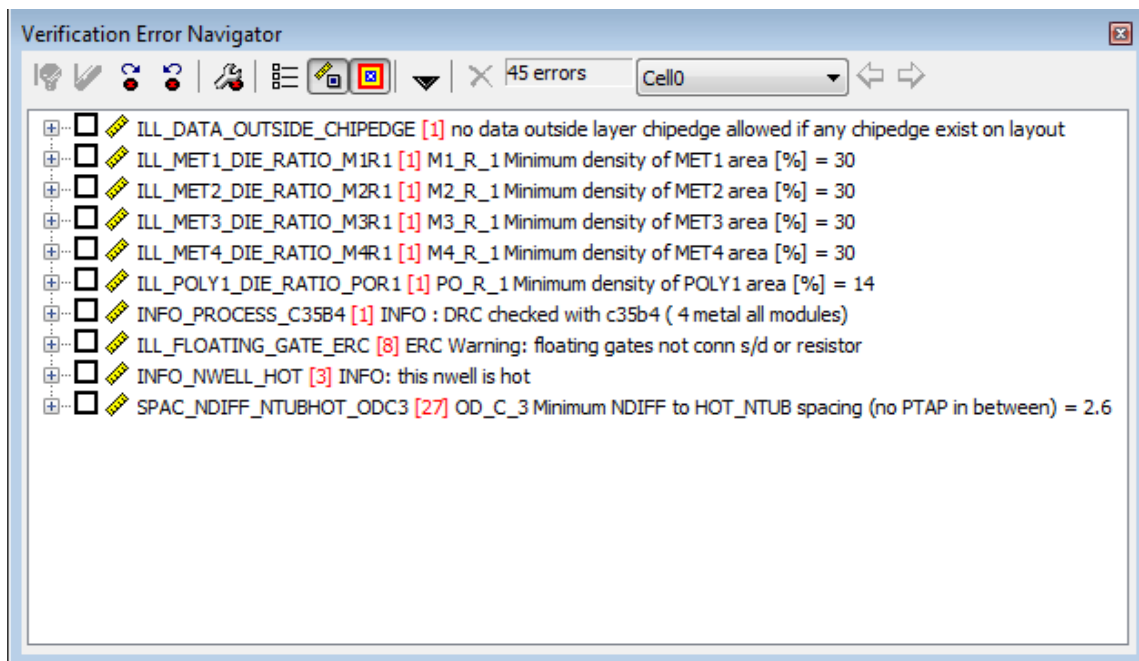


Figura 55 - DRC da célula COLSEL

5.7 Leiaute do circuito ROWSEL

O Leiaute da célula ROWSEL é apresentado a seguir:

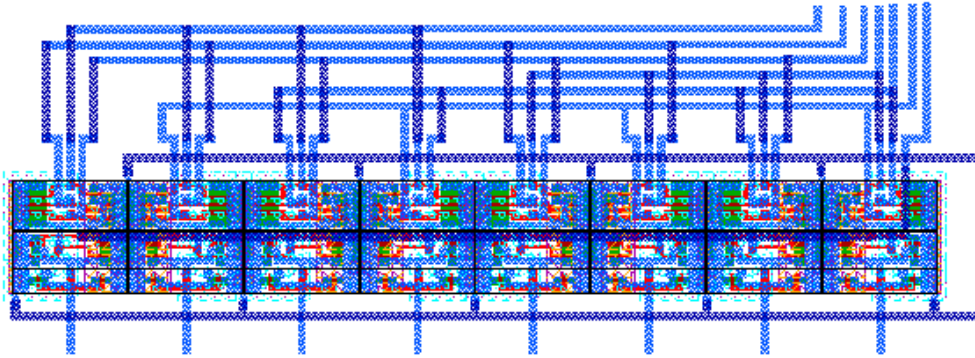


Figura 56 - Leiaute da célula ROWSEL

Destacando uma parte da célula, podem-se ver melhor as ligações internas:

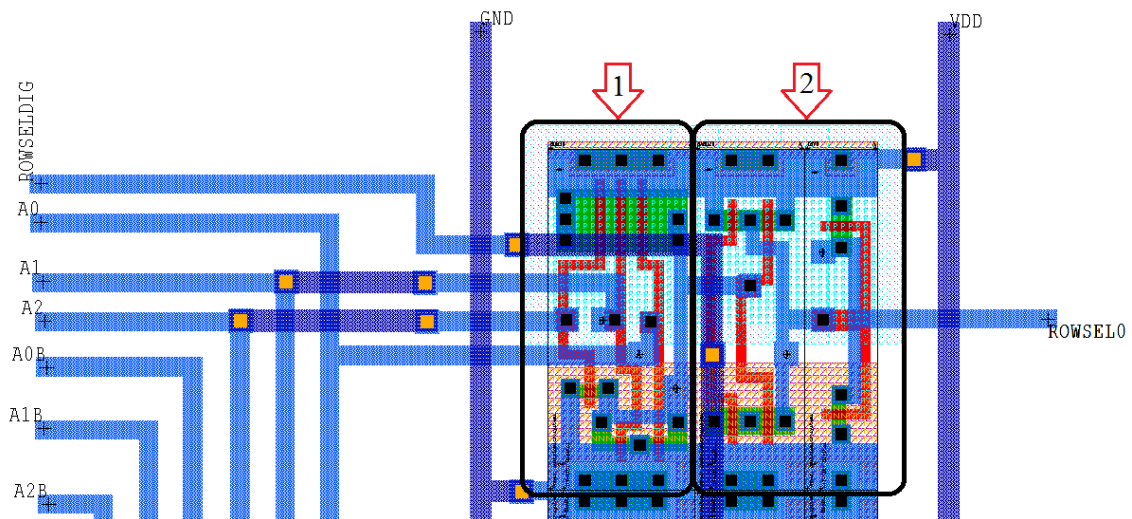


Figura 57 - Parte destacada da célula ROWSEL

A parte destacada 1 refere-se ao demultiplexador, composto por oito portas NOR30 (figura 58a), encontradas na biblioteca AMSC35_14.3. A parte destacada 2 refere-se à seleção de linhas ROWSELx, composta de oito portas NAND20 (figura 58b) e oito portas INV0 (figura 13c), ambas podendo ser encontradas na biblioteca AMSC35_14.3.

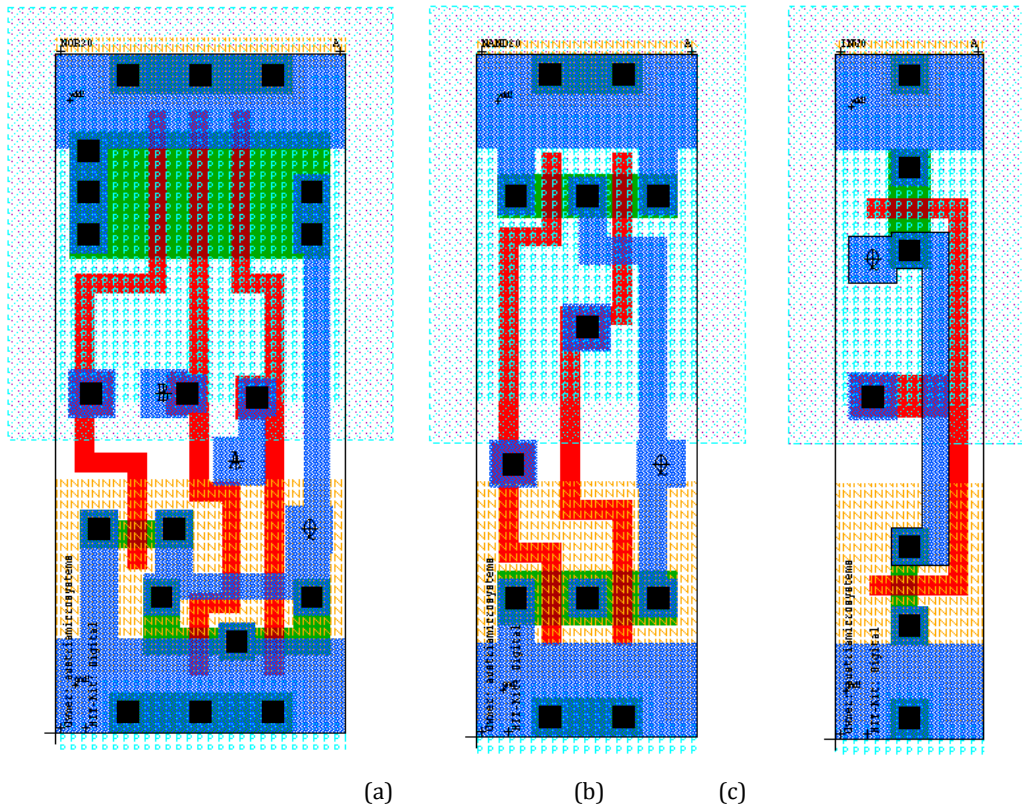


Figura 58 - Portas Lógicas (a)NOR30, (b)NAND20 e (c)INV0

O DRC do circuito apresenta um problema de SPEC que pode ser desconsiderado. Pois como a ferramenta de DRC não reconheceu o terminal VDD ele considerou que os poços n que deveriam ser ligados a VDD estão HOTS, mas na verdade não estão. Desta forma este erro não acarretará necessariamente em quebra de regras de DRC.

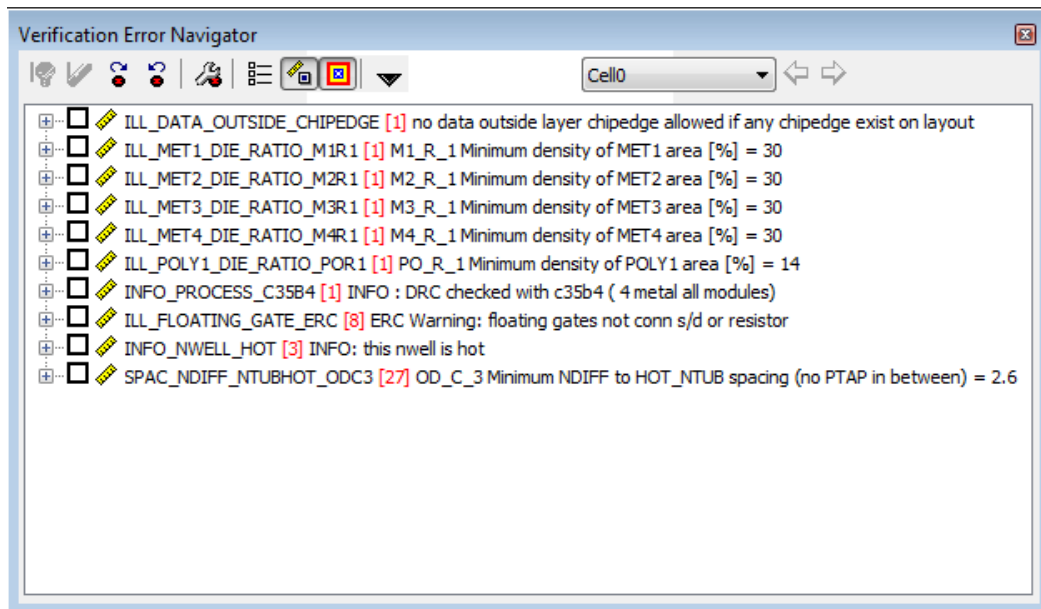


Figura 59 - DRC da célula ROWSEL

5.8 Circuito T-Gate Esquemático e Leiaute

O esquemático do circuito T-Gate é apresentado a seguir:

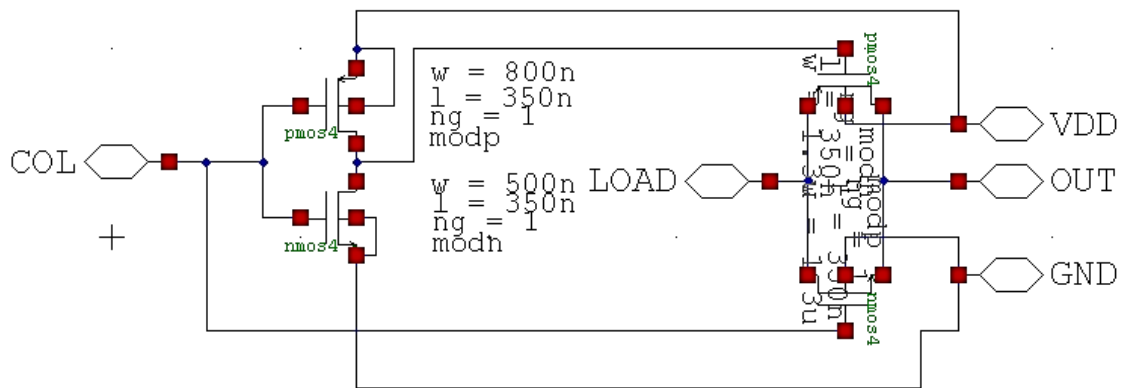


Figura 60 - Circuito T-Gate

O T-Gate consiste basicamente de um inversor e dois transistores MOS dispostos como na figura 60 e funciona como uma chave entre os pontos LOAD e OUT controlada pelo nível de tensão do ponto COL. Seu funcionamento é bem simples:

- Quando o nível do ponto COL estiver em “low”, a saída do T-Gate estará em alta impedância e não haverá nenhuma leitura de sinal em sua saída (chamada de OUT).
- Quando o nível de do ponto COL estiver em “high”, o sinal de saída do CKT (OUT) será o mesmo do ponto LOAD, habilitando assim a leitura da informação que chega ao T-GATE.

TABELA VERDADE: T-GATE	
COL	OUTGLOBAL
0	Z
1	X

Onde:

Z= Alta Impedância

X= informação no ponto OUT = LOAD

As dimensões dos transistores são as seguintes:

- Inversor:

PMOS: $w = 800n$ NMOS: $w = 500n$

$L = 350n$ $L = 350n$

- Chave:

PMOS: $w = 1,3u$ NMOS: $w = 1,3u$

$L = 350n$ $L = 350n$

O Leiaute da célula T-Gate é apresentado a seguir:

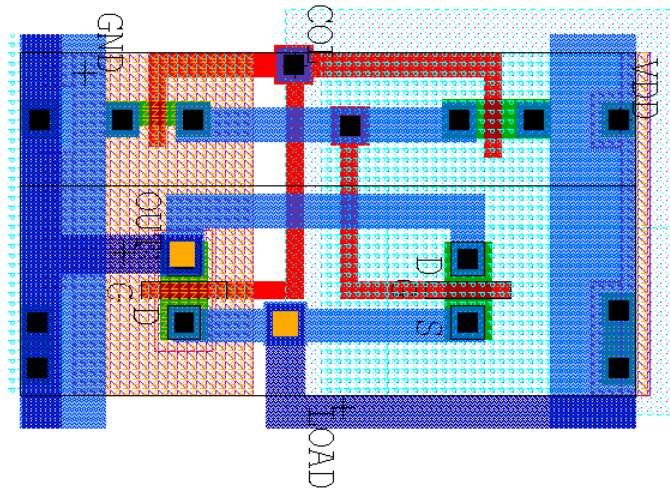


Figura 61 - Leiaute da célula T-GATE

A primeira parte da célula é composta pelo inversor, usando MOS com as mesmas dimensões do esquemático. A segunda parte é a chave que habilita ou não a leitura do LOAD.

O DRC do circuito apresenta um problema de SPEC que pode ser desconsiderado. Pois como a ferramenta de DRC não reconheceu o terminal VDD ele considerou que os poços n que deveriam ser ligados a VDD estão HOTS, mas na verdade não estão. Desta forma este erro não acarretará necessariamente em quebra de regras de DRC.

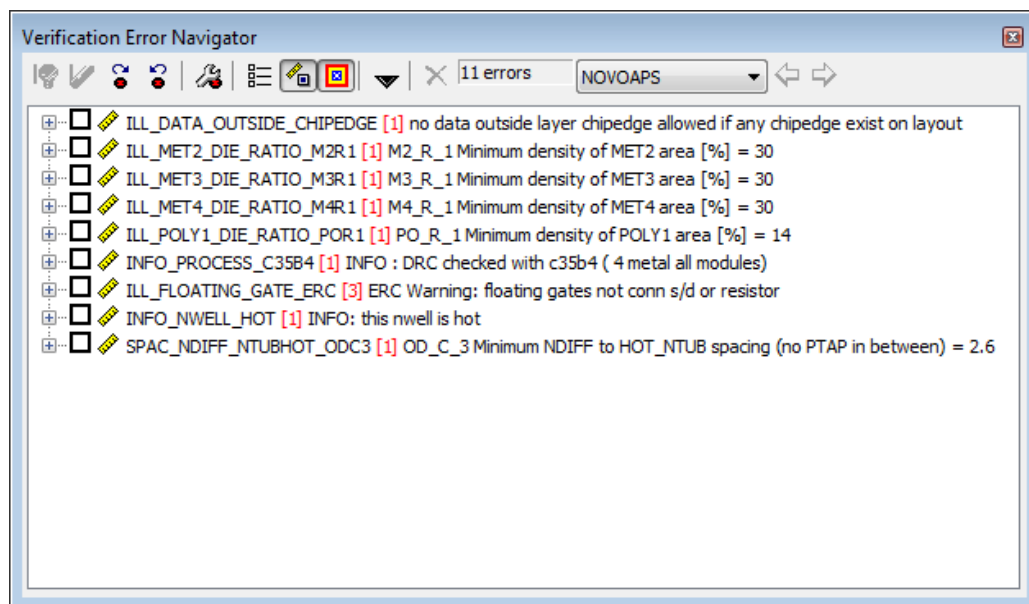


Figura 62 - DRC da célula TGATE

5.9 Matriz 8x8 com Controle

A matriz 8x8 com controle de linha e coluna com sistema de obturação rolante é mostrado na fig. 63. O controle ficou mais largo do que a matriz, pois enquanto cada pixel tinha o lado de 10µm, as células digitais da AMS tinham lado mais largo de 13µm. Numa segunda versão as células digitais podem ser optimizadas para 10µm de lado e minimizar este problema. Este problema deve ser corrigido principalmente para que este controle possa

ser usado em matrizes maiores. Sendo feita a correção não será mais necessário o barramento horizontal entre o controle de coluna e a matriz.

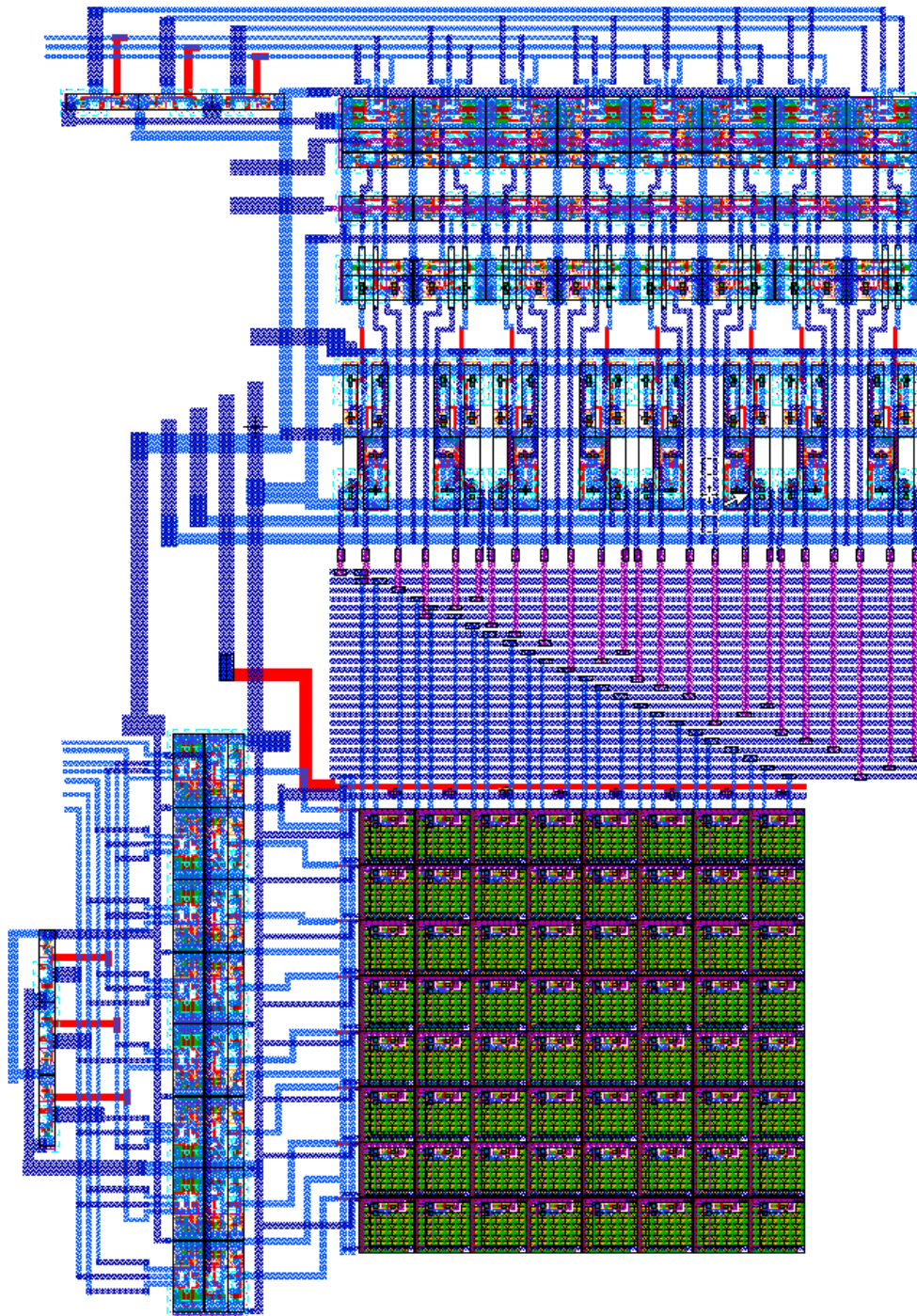


Figura 63 – Matriz 8x8 com controle de linha e coluna

5.10 Instruções para LVS

Como o foto diodo foi feito de forma manual e não foi criada uma célula específica pra o mesmo o Extract não reconhece o fotodiodo no pixel então fazemos a seguinte separação para a verificação:

Arquivo:

APS3Tdim10umx10umSubdiodeV3.tdb: Leiaute do APS, fig. 64 lado esquerdo.

APS3Tdim10umx10umSubdiodeV3forLVS.tdb: usado para extração do netlist com um diodo da biblioteca, fig. 64 lado direito. Este circuito contém a célula AMS chamada SUBDIODE.

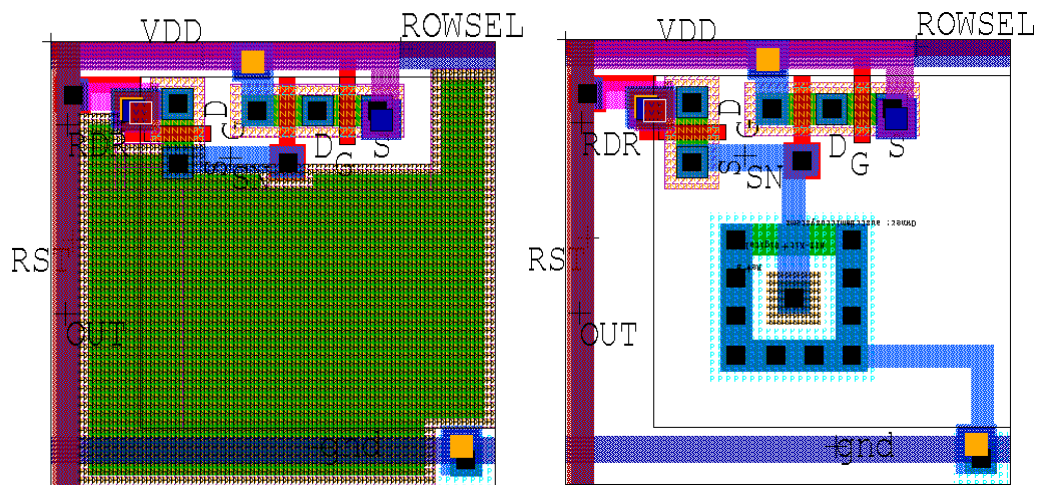


Figura 64 – Mudança do fotodiodo para LVS

Na fig. 65 é mostrada uma replica do leiaute da fig. 63 com o pixel do lado direito da fig. 64. Este leiaute é usado para fazer a extração do netlist.

Depois da extração do netlist com os leiautes bengalas, precisamos substituir no netlist:

Os nomes dos modelos dos transistores: nmos4 para modn e pmos4 para modp

-As dimensões do fotodiodo devem ser substituídas pelas dimensões daquela produzida pelos leiaute: **10umx10umSubdiodeV3.tdb**

-E ainda precisamos colocar a letra x no inicio do nome de cada fotodiodo.

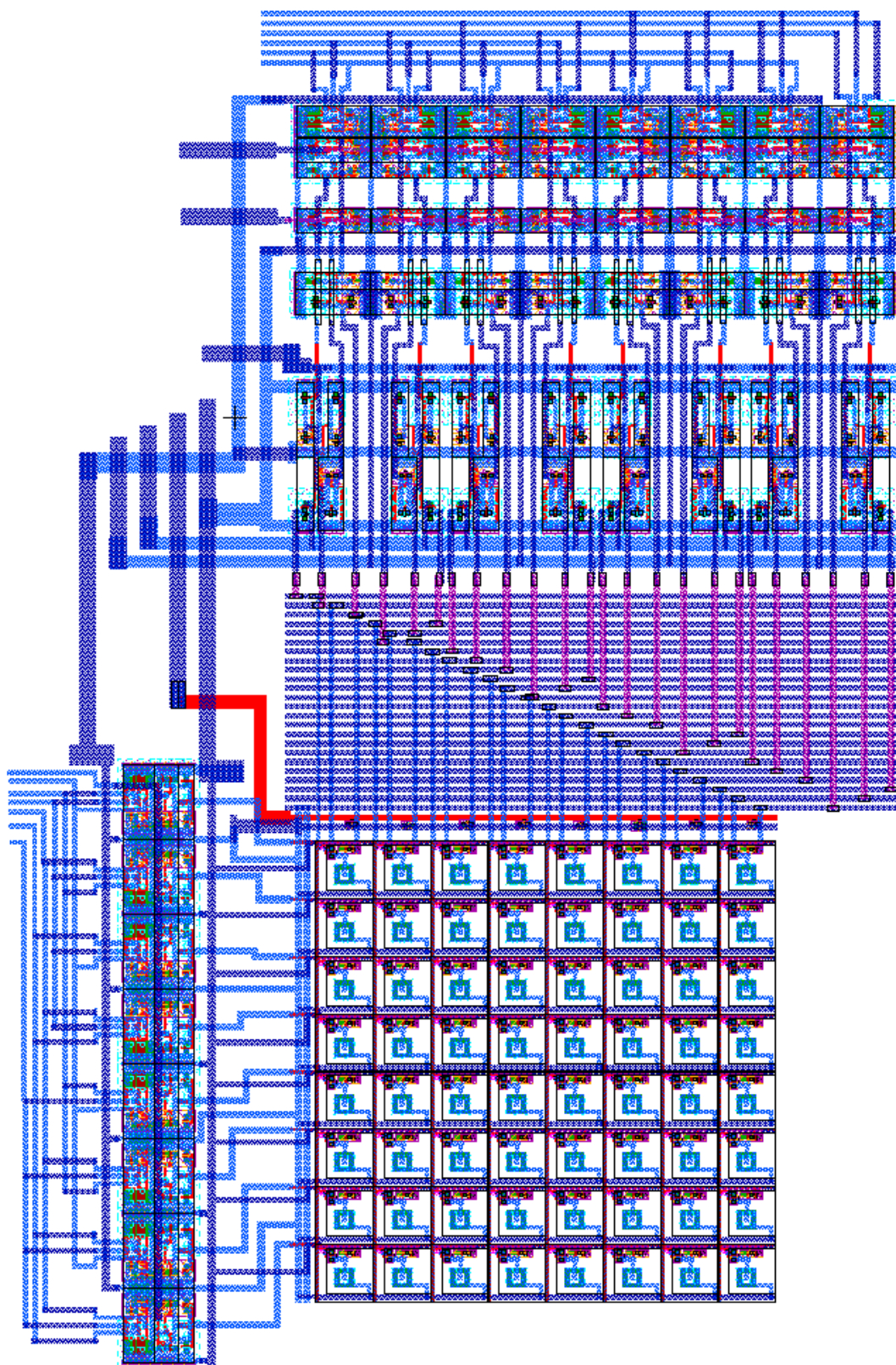


Figura 65 – Matriz 8x8 preparada para o LVS

5.11 Matriz 8x8 Dupla Integrada no CHIP IR2

A matriz 8x8 Dupla com controle de linha e coluna tanto com sistema de obturação rolante quanto com sistema de reset global é mostrado na fig. 66.

A matriz com sistema de obturação rolante, circuito do lado direito da fig. 66, é a mesmo circuito mostrado na fig. 63. Já a matriz com sistema de reset global é mostrado do lado esquerdo da fig. 66. Foi depositado Metal 4 em alguns pixels das duas matrizes para realizar um estudo mais aprofundado de efeitos de FPN, neste caso causado por estes bloqueios à radiação visível.

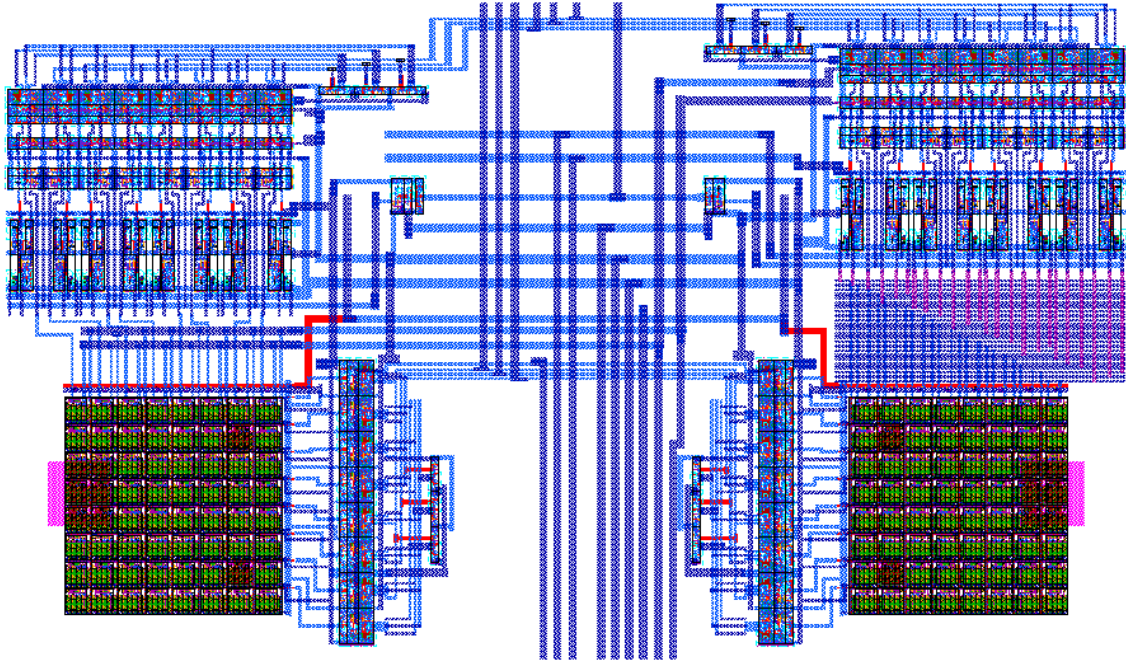


Figura 66 – Matriz 8x8 dupla integrada no chip IR2

6 Circuito CDS

O circuito CDS utilizado é similar aquele usado pelo TIMA-INPG [3], cujo diagrama esquemático é apresentado na fig. 67.

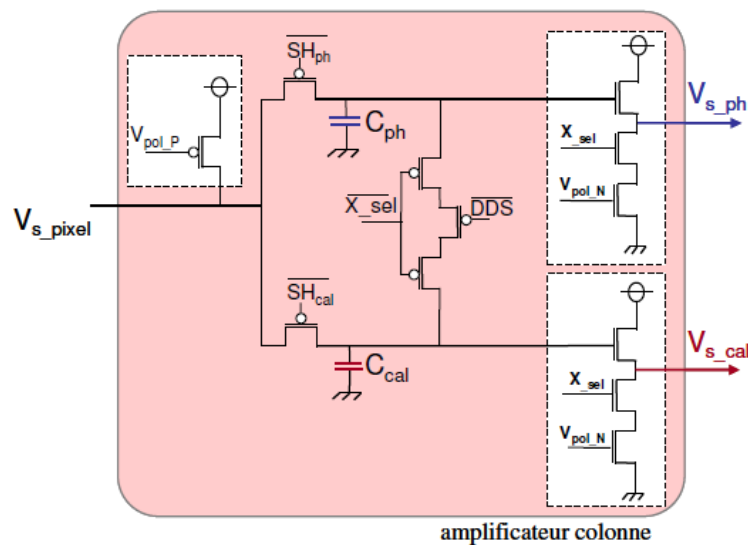


Figura 67 – Circuito CDS, fig. 28 de [3]

6.1 Esquemático

Como os circuitos projetados no presente trabalho utilizam transistores NMOS e não PMOS como é o caso de [3], então projetamos uma versão complementar do circuito CDS cujo diagrama esquemático é apresentado na fig. 68.

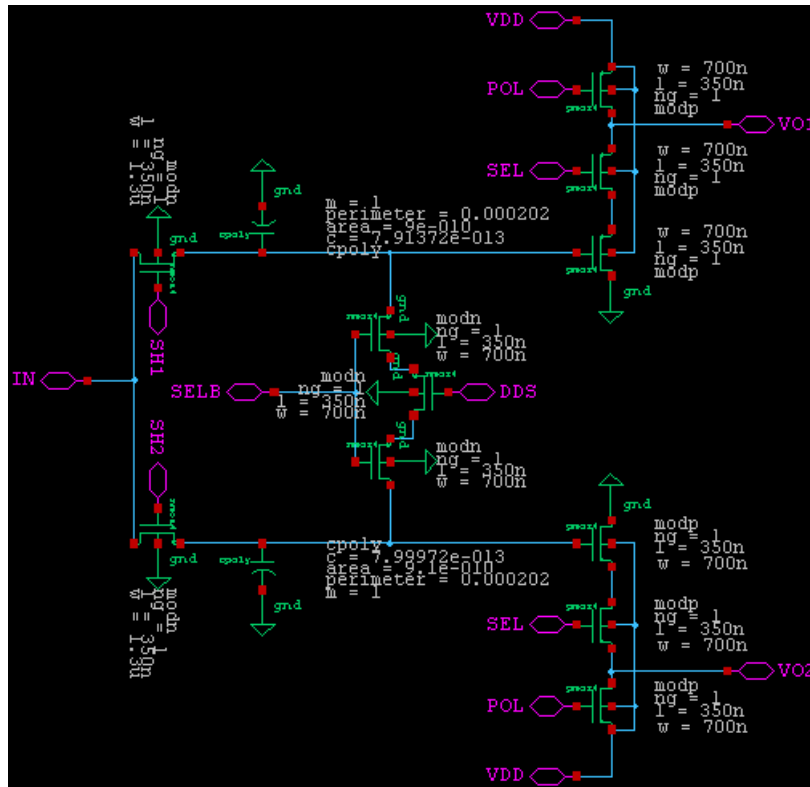


Figura 68 – Esquemático do circuito CDS utilizado no chip IR2

6.2 Leiaute

O leiaute do circuito CDS, cujo diagrama esquemático é apresentado na fig. 68, é mostrado na fig. 69.

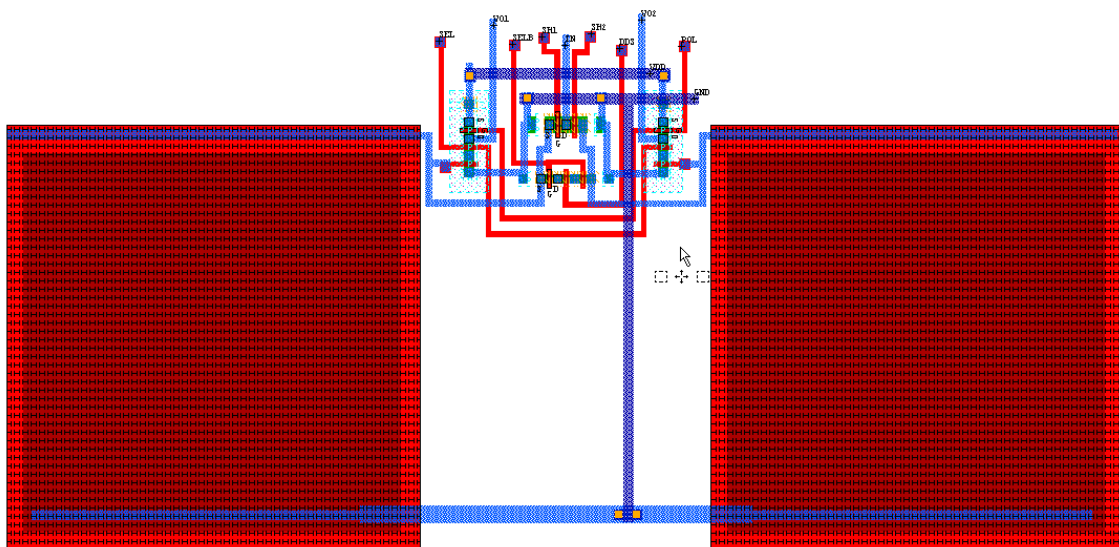


Figura 69 – Leiaute do circuito CDS utilizado no chip IR2

6.3 CDS integrado no Chip IR2

O leiaute do circuito CDS já no chip IR2 conectado a um pixel APS3T-RDR é apresentado na fig. 70.

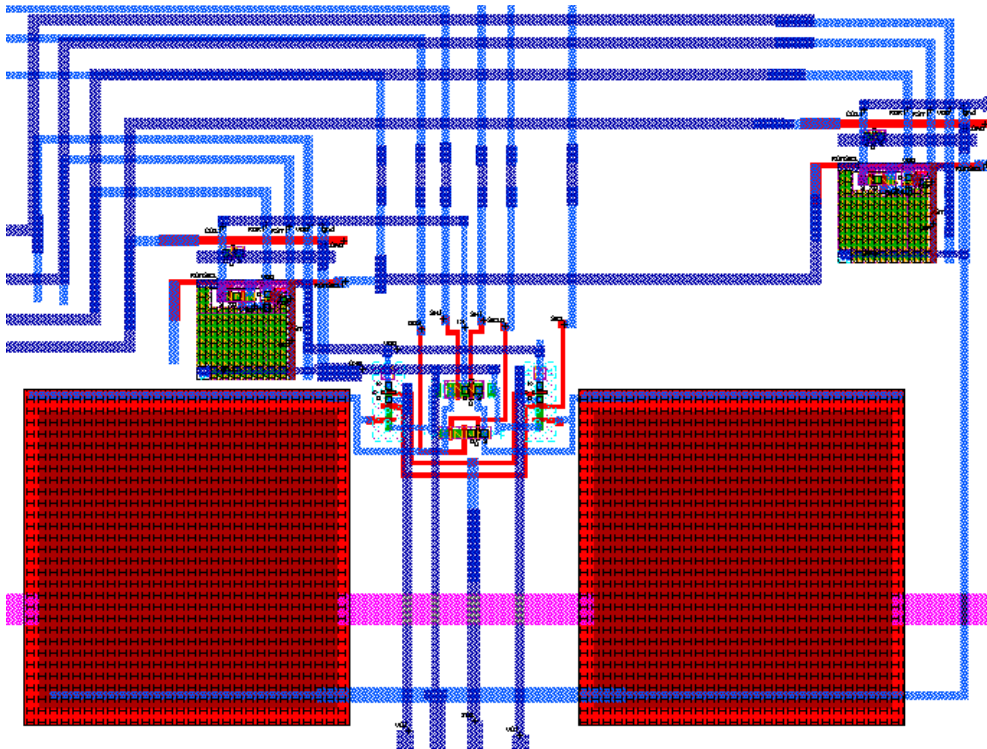


Figura 70 – Leiaute do circuito CDS conectado a um APS3T-RDR

O leiaute do circuito CDS já no chip IR2 conectado a um pixel APS_b é apresentado na fig. 71.

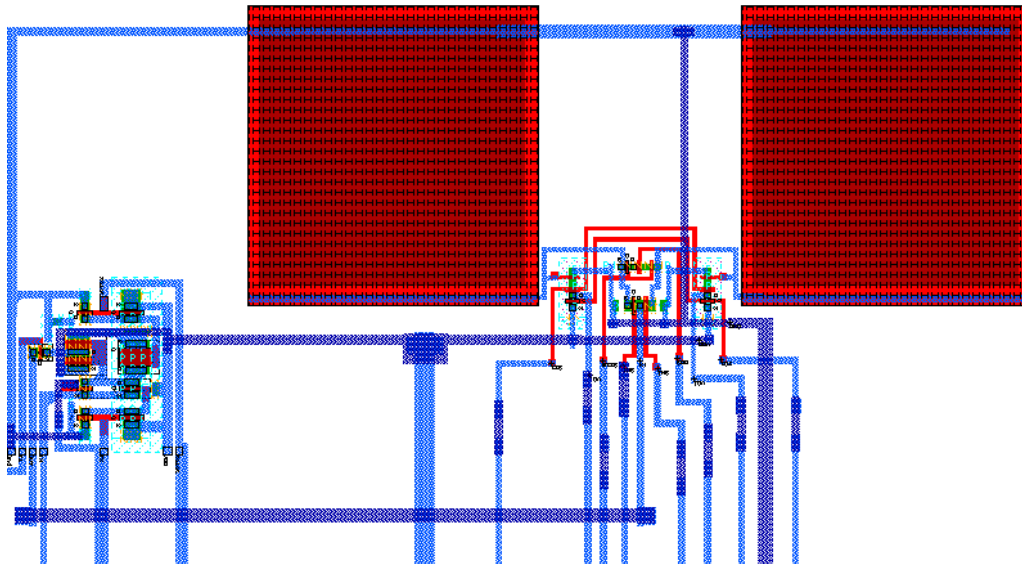


Figura 71 – Leiaute do circuito CDS conectado a um APS_b

7 Referências

- [1] C.A. de Moraes Cruz, D.W. de Lima Monteiro and I.L. Marinho, "Extended use of Pseudo-Flash Reset Technique for an Active Pixel with Logarithmic Compressed Response," In Proceedings of 25th Symposium on Integrated Circuit and System Design, SBCCI, Brasilia-BR, Aug.-Sep. 2012.
- [2] B. Choubey and S. Collins, "Low dark current logarithmic pixels," In Proceedings of 48th IEEE Midwest Symposium on Circuits and Systems, pp. 376–379, August 2005.
- [3] E. Labonne, " CONTRIBUTIONS A LA CONCEPTION DE CAPTEURS DE VISION CMOS A GRANDE DYNAMIQUE," Doctoral Thesis, INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE, 2007.