

Residência Tecnológica em FPGA - EmbarcaTech / Turma Beta
Residente: Hirislayne Batista Ramos dos Santos
Matrícula: 20251RSE.MTC0041

Unidade 2 - Capítulo 2: Icarus Verilog - GTKWave

1. Objetivo

Desenvolver um código utilizando Icarus Verilog que representa um subtrator completo.

2. Enunciado - Sistema de Alarme Digital com Simulação Visual

Desenvolvimento de um código utilizando o Icarus Verilog que representa um subtrator completo ("subtratorcompleto"). A aplicação é composta por três entradas (a, b, cin) e duas saídas (s, cout). Foi feita a a compilação, simulação e visualização das formas de onda do projeto "subtratorcompleto" no VSCode, utilizando o Icarus Verilog e verificado os resultados da simulação no GTKWave. A tabela 1 mostra os valores de entrada e saída do circuito subtrator completo.

A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

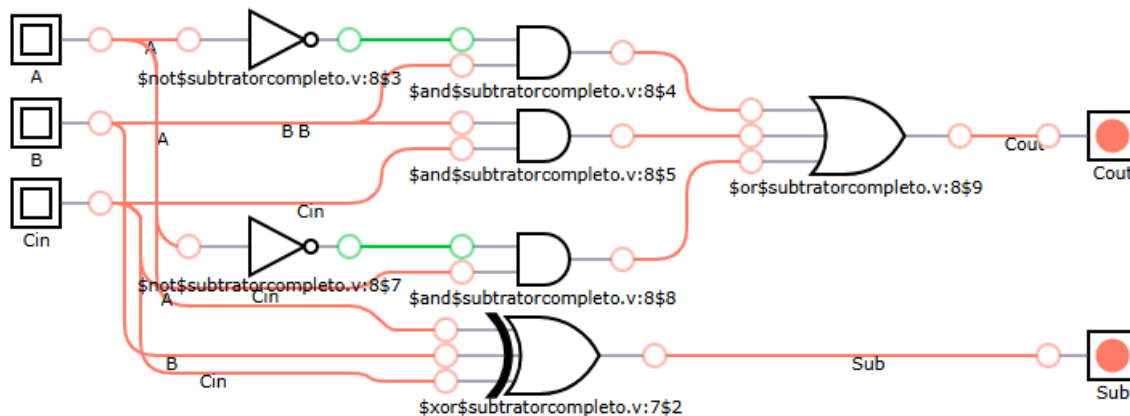
3. Desenvolvimento

- a. Dedução das expressões lógicas correspondente às duas saídas S e Cout (:

$$S = A \oplus B \oplus C$$

$$C_{out} = A' \cdot B + B \cdot C_{in} + A' \cdot C_{in}$$

- b. Visualização do circuito lógico no DigitalJS no VSCode:



- c. Simulação dos Códigos em Verilog no VSCode:

Após isso, foram desenvolvidos os códigos do Módulo Principal “subtratorcompleto” e da Bancada de Teste “subtratorcompleto_tb” em extensão verilog (.v);

“subtratorcompleto.v”

```
/* Residencia Tecnologica em FPGA - Residente: Hirislayne Batista
 * Data: 07/09/2025
 * Descrição: Subtrator completo
 */

// Arquivo do Módulo principal
module subtratorcompleto(A, B, Cin, Sub, Cout);
    input A, B, Cin;      // Entradas
    output Sub, Cout;     // Saídas

    // Lógica do subtrator completo
    assign Sub = A ^ B ^ Cin; // XOR
    assign Cout = (~A & B) | (B & Cin) | (~A & Cin); // Carry
endmodule
```

“subtratorcompleto_tb.v”

```
// Arquivo de teste do módulo subtrator completo
`include "subtratorcompleto.v"
`timescale 1ns/100ps

module subtratorcompleto_tb;
    reg A0, B0, Cin0;          // Entradas
    wire S0, Cout0;           // Saídas

    // Instância do subtrator completo
    subtratorcompleto uut (
        .A(A0),
        .B(B0),
        .Cin(Cin0),
        .Sub(S),
        .Cout(Cout0)
    );

    initial begin
        $dumpfile("subtratorcompleto_tb.vcd"); // Arquivo de dump
        $dumpvars(0, subtratorcompleto_tb);    // Variáveis a serem
monitoradas

        // Testes
        A0 = 0; B0 = 0; Cin0 = 0; #10; // Espera 10 ns em cada
combinação de entrada
        A0 = 0; B0 = 0; Cin0 = 1; #10;
        A0 = 0; B0 = 1; Cin0 = 0; #10;
        A0 = 0; B0 = 1; Cin0 = 1; #10;
        A0 = 1; B0 = 0; Cin0 = 0; #10;
        A0 = 1; B0 = 0; Cin0 = 1; #10;
        A0 = 1; B0 = 1; Cin0 = 0; #10;
        A0 = 1; B0 = 1; Cin0 = 1; #10;

        $finish; // Finaliza a simulação
    end
endmodule
```

Execute os seguintes comandos para compilação e simulação:

```
iverilog -o subtratorcompleto.vvp subtratorcompleto.v
iverilog -o subtratorcompleto_tb.vvp subtratorcompleto_tb.v
vvp subtratorcompleto_tb.vvp
```

Por meio do comando *dir* é possível ver o diretório completo, em que deve conter os 5 arquivos necessários para a próxima etapa (.v, .vvp e .vcd):

```
PS C:\Users\Hirislayne Batista\Documents\Residencia Embarcatech - FPGA\Tarefas\Subtrator> dir

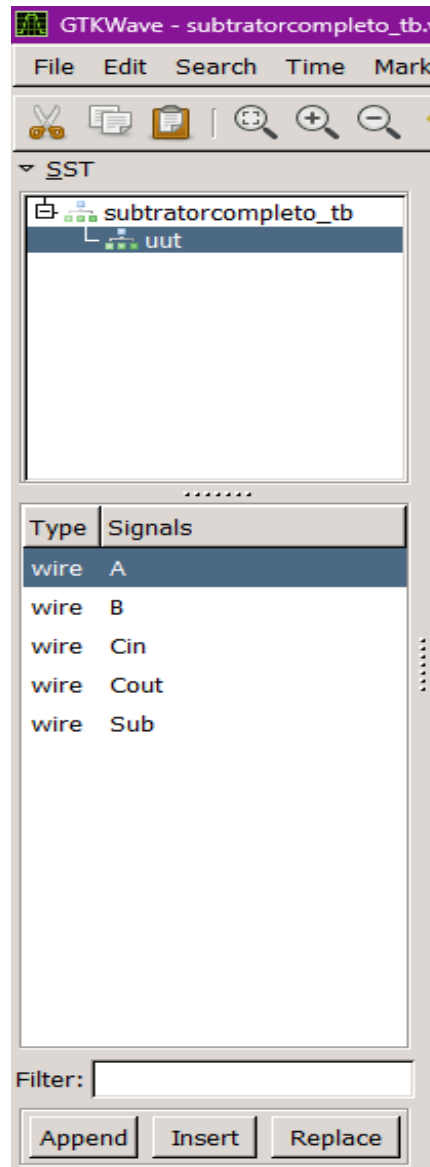
Diretório: C:\Users\Hirislayne Batista\Documents\Residencia Embarcatech - FPGA\Tarefas\Subtrator

Mode                LastWriteTime         Length Name
----                -
-a----            07/09/2025   11:11         4597 subtratorcompleto.digitaljs
-a----            07/09/2025   11:56          460 subtratorcompleto.v
-a----            07/09/2025   11:57         2607 subtratorcompleto.vvp
-a----            07/09/2025   11:20         1028 subtratorcompleto_tb.v
-a----            07/09/2025   11:57          672 subtratorcompleto_tb.vcd
-a----            07/09/2025   11:57         5008 subtratorcompleto_tb.vvp
```

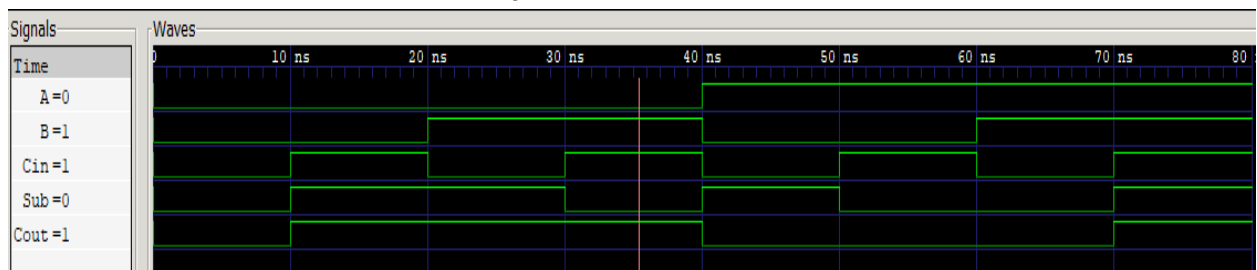
Por fim, execute o GTKWave para a Visualização das Formas de Ondas a partir do arquivo .vcd por meio do comando:

```
gtkwave subtratorcompleto_tb.vcd
```

Na tela do GtkWave adicione os sinais (contidos na instância *uut* criada na aba do canto superior esquerdo) e ajuste as formas de ondas por meio da lupa “*Zoom Fit*” para melhor visualização.



Sendo assim podemos ver as combinações das saídas para cada entrada, conforme tabela.



Link para acesso à pasta do projeto: [Arquivo Tarefa U2C2 - Google Drive](#).