



Residência Tecnológica em FPGA - EmbarcaTech / Turma Beta Residente: Hirislayne Batista Ramos dos Santos Matrícula: 20251RSE.MTC0041

Unidade 1 - Tarefa 2 - Aplicação Lógica Digital com DigitalJS

1. Objetivo

Desenvolver e simular, no ambiente DigitalJS, um circuito digital completo utilizando portas lógicas combinacionais, com entradas e saídas manipuláveis, baseado em código Verilog e com visualização em tempo real do funcionamento lógico. O circuito deverá representar um sistema de alarme digital simplificado.

2. Enunciado - Sistema de Alarme Digital com Simulação Visual

O sistema de alarme de segurança funciona com as seguintes condições:

- Tres sensores de entrada:
 - Sensor de porta (entrada A);
 - Sensor de janela (entrada B);
 - Sensor de presença (entrada C).
- Regras de ativação do alarme (saída Y):
 - O alarme deve ser ativado (Y = 1) se dois sensores quaisquer forem acionados simultaneamente.
 - O alarme deve permanecer desativado (Y = 0) se menos de dois sensores forem acionados.

3. Desenvolvimento

a. Análise do enunciado

Condições de Ativação do alarme:

SE 2 OU 3 SENSORES ATIVOS, QUALQUER QUE SEJA (A ou B ou C = 1)

b. Construção da tabela verdade

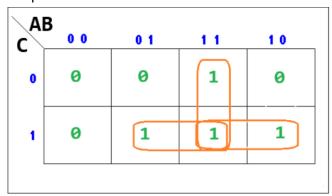


Α	В	С	Υ
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

c. Dedução da expressão lógica (booleana) correspondente à saída Y (alarme):

$$Y = A'.B.C + A.B'.C + A.B.C' + A.B.C$$

d. Simplificação da expressão booleana



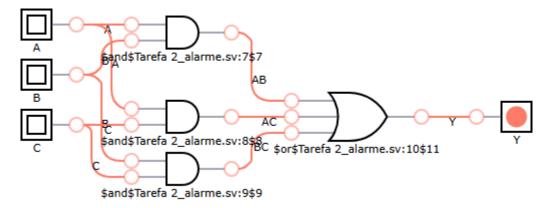
Usando o método do mapa de Karnaugh teremos:

$$Y = A.B + A.C + B.C$$

e. Representação gráfica do circuito lógico no DigitalJS no VSCode :







No DigitalJS no VSCode não existe um menu "I/O" para arrastar botões/LEDs, eles são criados automaticamente baseados nos input (botões) e output (LEDs) definidos no código.

Link para simulação do circuito: Arquivo DigitalJS- Google Drive.

Código em Verilog:





```
assign AC = A & C;
assign BC = B & C;
assign Y = AB | AC | BC;
endmodule
```