

【目的】

ロボットの関節制御に必要なエンコーダとの通信ラインにおいて、多関節化や、安全機能の実装要求によって通信量が従来よりも増大した場合においても、ノイズ耐性を維持しながらデータ通信を高速化できるデジタルフィルタを具備するノイズキャンセラ。

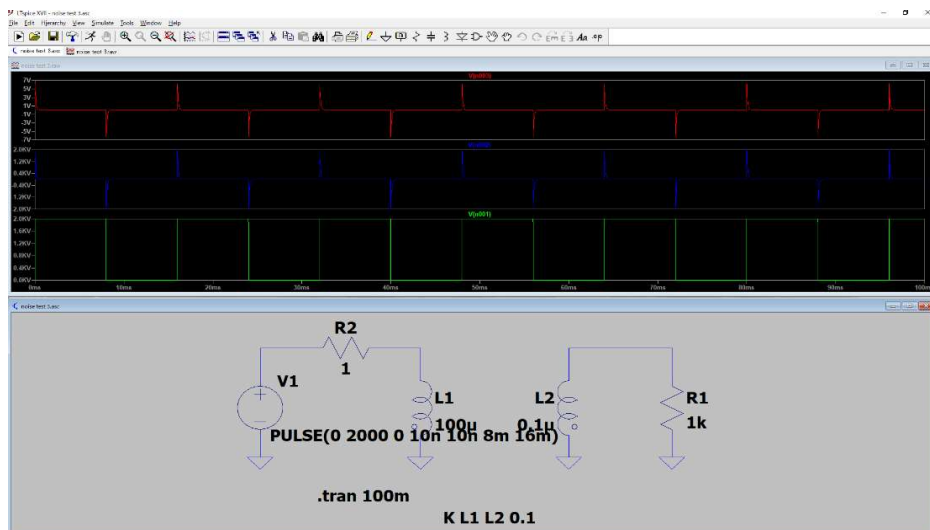
【構成】

通信量が増加した場合においても、PID制御のデータ参照のサイクルタイムは変わらないため、通信速度を上げる必要がある。しかしながら、従来のノイズフィルタの構成では、ノイズ除去に必要な処理時間が決まっているために、高速化の手段が必要となる。

<エンコーダ通信線で観測されるノイズの発生メカニズム>

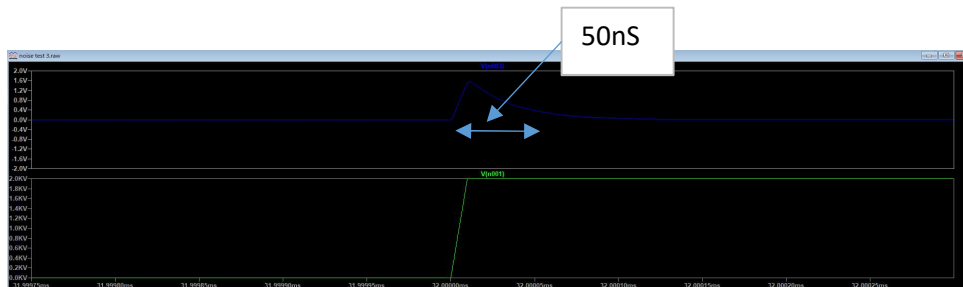
通常、高電圧のサーボモータからのノイズが、エンコーダの通信ラインに影響を及ぼすことから、次の様なノイズ印加のメカニズムとなる。

①サーボモータは、16mS毎にPWM制御される。そのため、通信ラインは、PWMパルスの立ち上がりと、立下りにエッジで、電磁誘導された電圧ノイズが印加されることになる。電気的には、下図の様に、トランスモデルで考えられ、ノイズの影響は、赤、青のプロット図のようになる。



②誘導ノイズ発生器でノイズ印加することで、ノイズ耐性を確認する。その際、PWMパルスのエッジ部に発生したノイズは、通信ラインでは、50nSのノイズとして観測される。

下図は、50nS幅のノイズをシミュレーションで再現した波形。

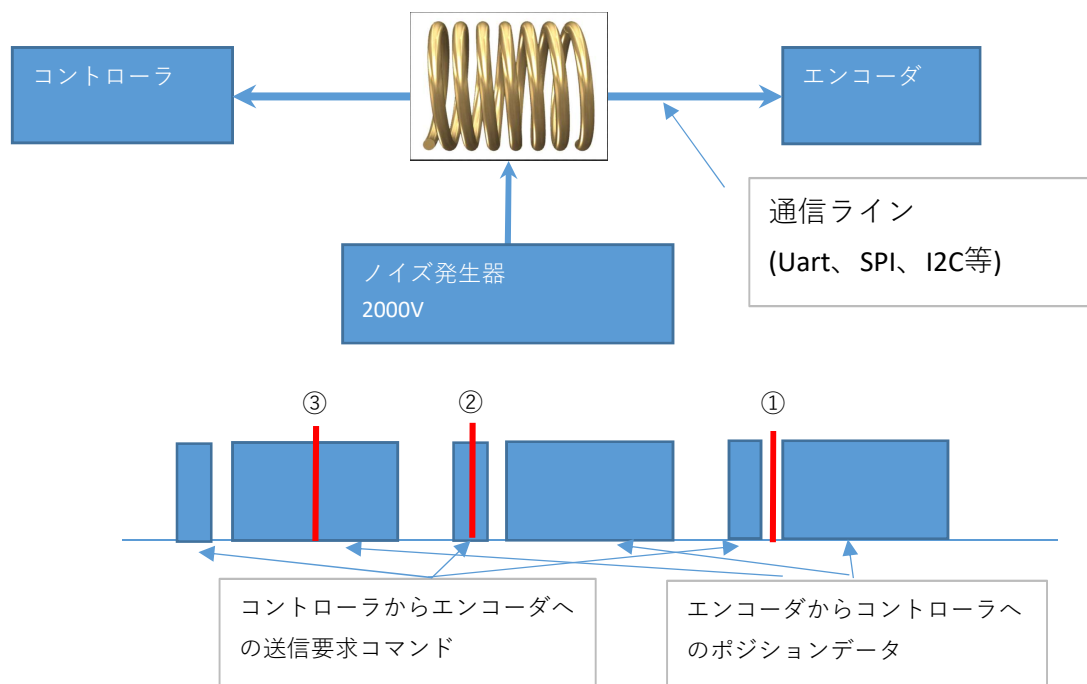


PWMノイズ波形のエッジ近辺拡大図

①、②より、16mSサイクルで、且つ、50nS未満の高電圧サージノイズが、サイクリックに、

ノイズとして印加されることになる。

<誘導ノイズが通信システムに印加される場合の電気モデル>



通信ライン上のデータ送受信波形

ノイズは非同期に印加される。①は通信に影響はないが、②に誘導ノイズが印加された場合は、エンコーダ側で正しく受信できない。③の場合は、コントローラ側で正しく受信できない。

<従来のノイズキャンセル回路の構成>

図1は、従来の構成を示す。

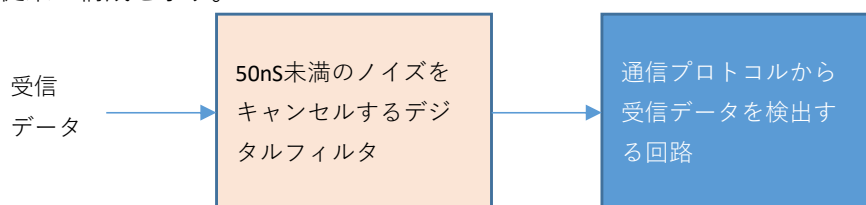


図1 従来のノイズキャンセル方式の受信回路

<新提案のノイズキャンセル回路の構成>

図2は、ノイズ除去の高速化を実現することで、通信量が増加した場合でもノイズキャンセル可能なシステム構成図である。

①多数決論理フィルタにより、50nSのノイズであれば、 $T > 50\text{nS} \times 2$ の周期を持つシリアルデータ周期の通信を可能にする。

②パルス幅再生回路を実装して、受信データのセットアップタイムを確保する。

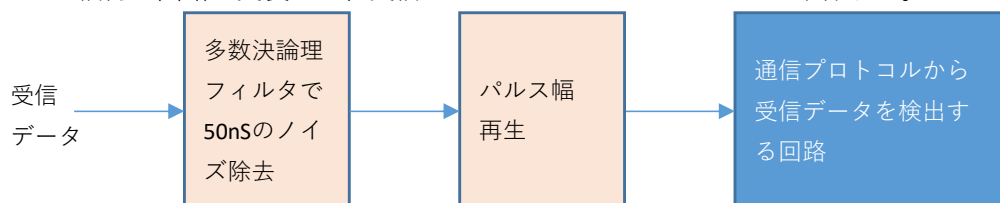


図2 ノイズ除去の高速化を取り入れたノイズキャンセル回路

【請求の範囲】

・モータと並走するエンコーダからの信号（Uart、SPI、I2C、その他の通信プロトコル等）の高速化に対応したノイズキャンセル技術。

【発明の詳細な説明】

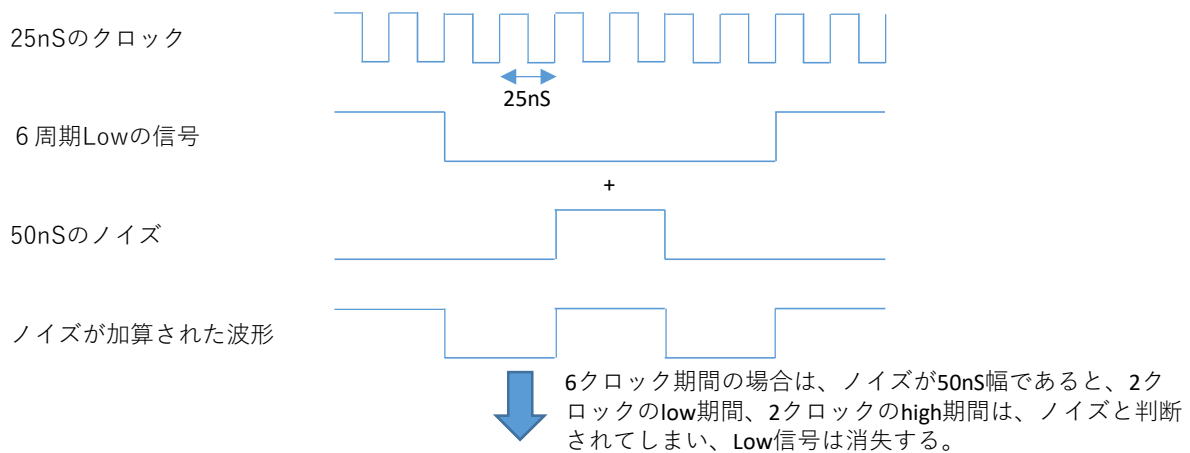
<従来フィルタ方式での最小周期>

従来の方式の場合、50nSのノイズキャンセルを実現するには、立ち上がりエッジ、立下りエッジの検出を使って、最大50nSのノイズを除去する。例えば、25nS周期のクロックを使う場合、最低7クロックが必要となる。

$$T \geq 50\text{nS} \times 3 + 25\text{nS}$$

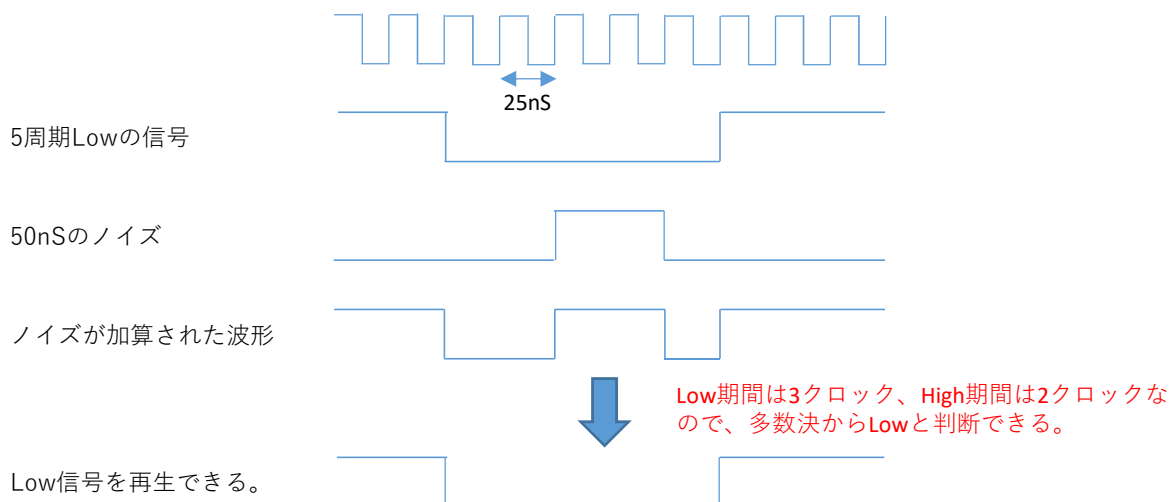
$$T \geq 175\text{nS}$$

$$T = 175\text{nS}(\text{最低7クロック})$$



★これより、従来フィルタの場合は、1周期は、最低、**7クロック**が必要となる。

<新フィルタ方式での最小周期>



★これより、新フィルタ方式の場合は、最低、1周期は、**5クロック**で済むことになる。

支配的な論理に対して、別の論理がノイズとして混入した場合、多数決論理フィルタで除去できる。

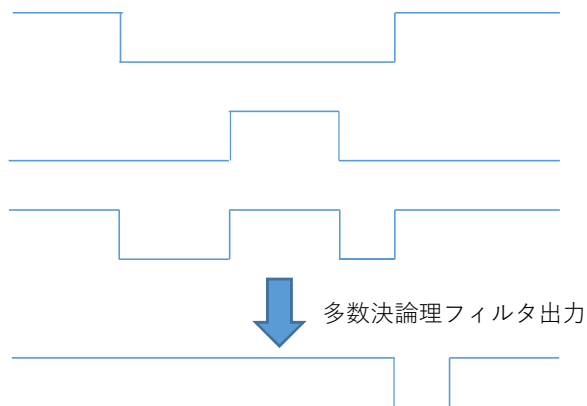
<新フィルタ方式でのパルス幅再生回路について>

多数決論理フィルタは、C言語で示すと、下記の様になる。

```
int fil[5];
majority_filter(din,dout) {
    fil[4]=fil[3];
    fil[3]=fil[2];
    fil[2]=fil[1];
    fil[1]=fil[0];
    fil[0]=din;
    dout=majority_logic(fil); // 多数決を取るロジック
}
```

このフィルタによって、最速125nS周期までの信号に対して、50nSまでのノイズを除去できる。

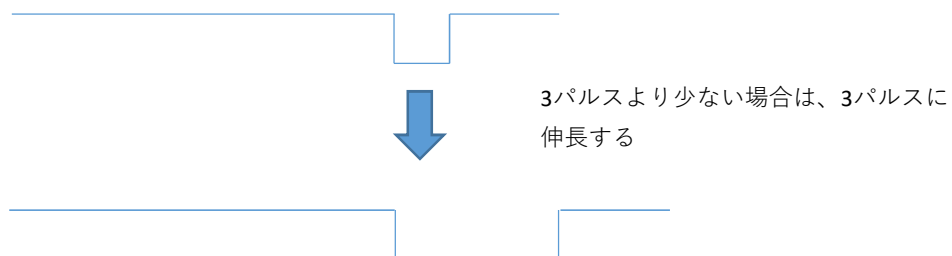
しかしながら、フィルタ出力の幅が下記の様に、狭くなる。



これでは、本来の信号の幅5クロックに対して、1クロックとなるので、後段のロジックのフリップフロップで論理がとれない。

そこで、データ幅が1クロックしかない場合は、信号幅伸長回路（パルス幅再生回路）でパルス伸長する。

<パルス幅再生回路>



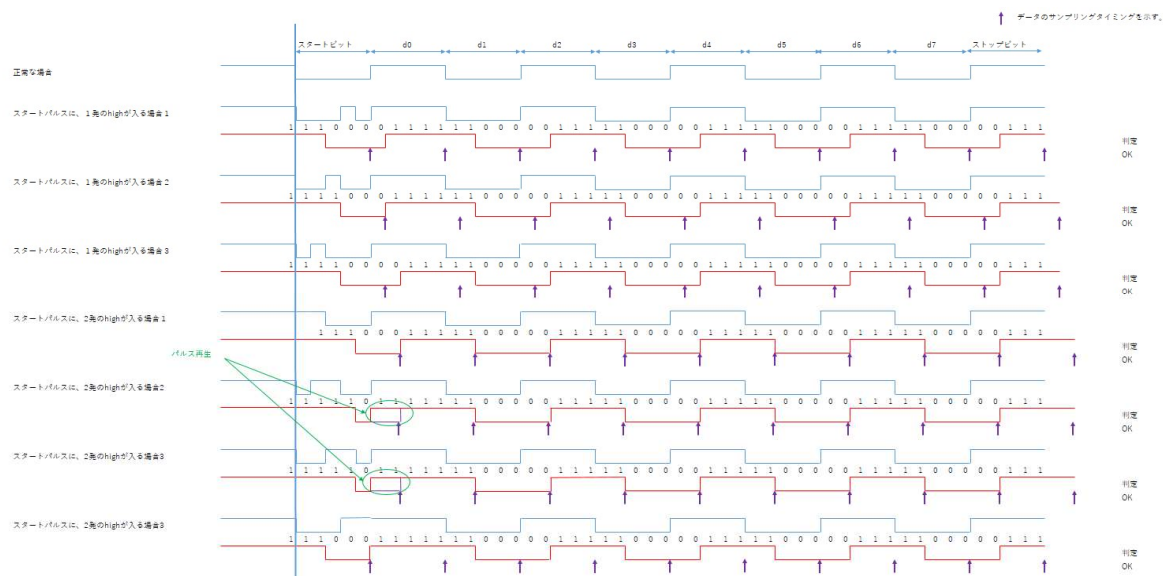
これにより、後段の回路で、論理再生が可能となる。

<結論>

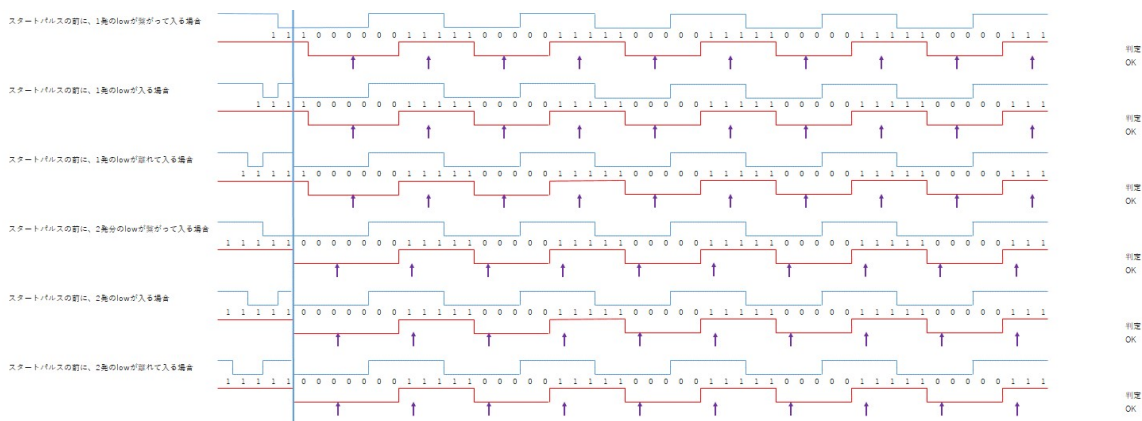
多数決論理フィルタと、パルス幅再生回路の搭載で、データ周期を7クロックから5クロックに高速化が可能となり、ノイズ耐性を維持することができる。

【新提案回路での動作検証結果】

◆スタートパルスに、25nS、50nSのノイズが混入した場合

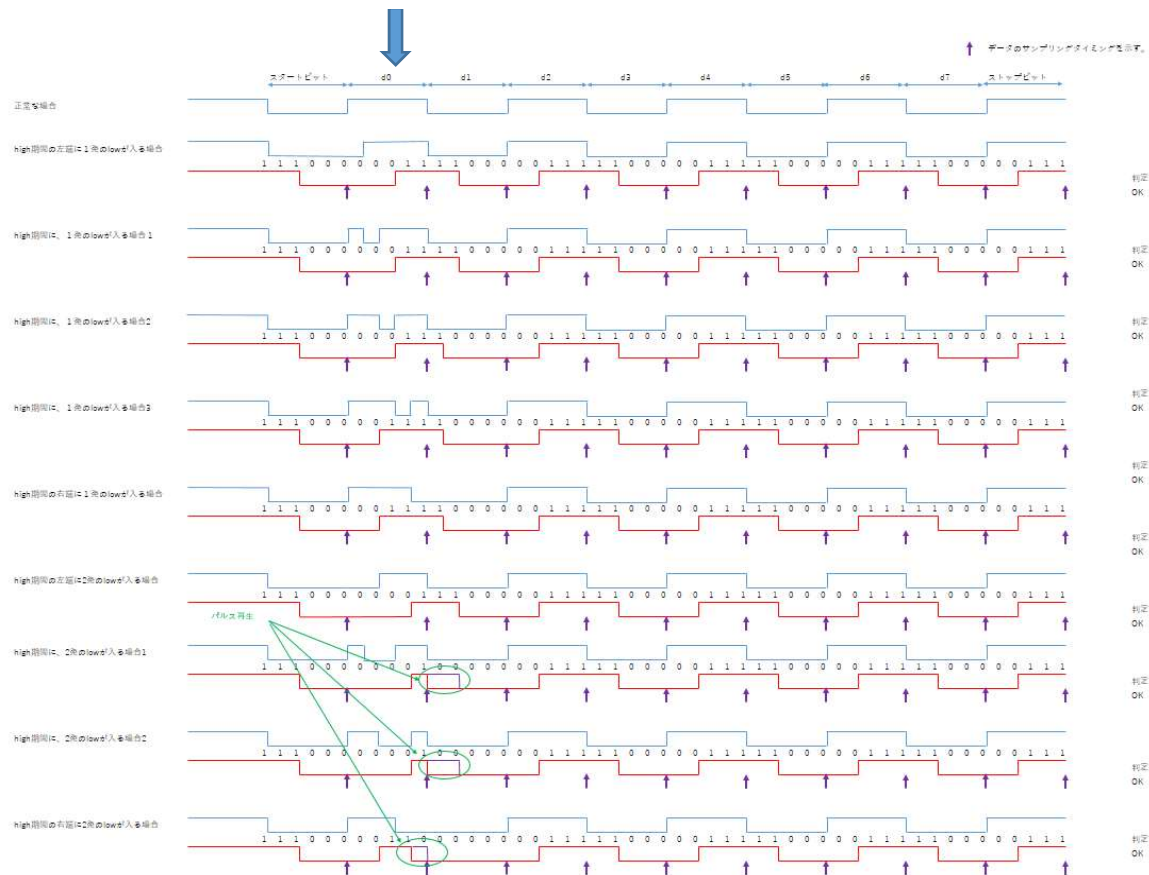


◆スタートパルスの前に、25nS、50nSのノイズが混入した場合



◆スタートビットよりも後のHighデータの期間に、25nS、50nSのノイズが混入した場合

スタートビットよりも後の、highデータ期間



◆スタートビットよりも後のLowデータの期間に、25nS、50nSのノイズが混入した場合

