# 数字逻辑设计

Digital Logic Design

张春慨 School of Computer Science ckzhang@hit.edu.cn

# Unit 3-4 组合逻辑电路设计冒险

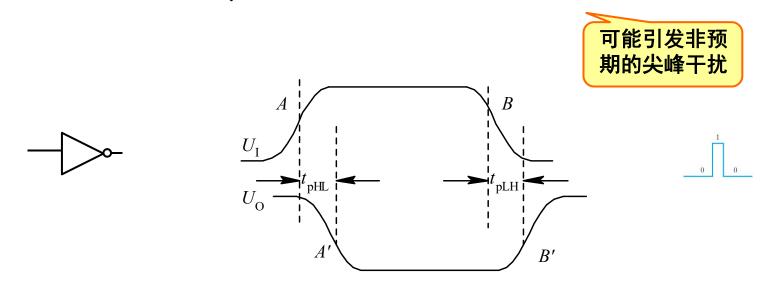
■ 组合电路中的冒险



- 门延迟
- 冒险
- 冒险判断及消除
  - 代数法
  - 卡诺图法

#### 1. 门延迟

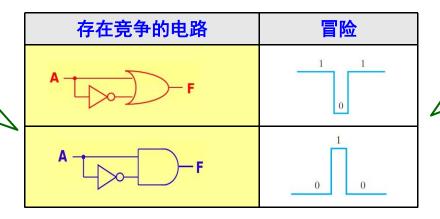
当输入发生变化,逻辑门的输出不会同步发生改变



- 对于组合逻辑电路, 多数情况下可以忽略门的延迟.
- 但是,门的延迟对时序电路的影响不容忽视

当一个逻辑门的两个输入端的信号同时向相反方向变化,则该电路存在<mark>竞争</mark>。

两路信号到达逻辑门的时间存在差异。



逻辑门因输入端的竞争而导致输出了不应有的 尖峰干扰脉冲(又称过渡 干扰脉冲)称为冒险。

# 2. 冒险

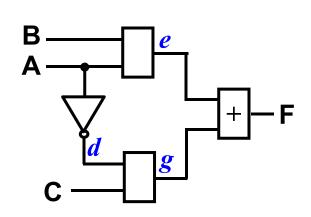
冒险类型	概念		输出波形
■静态冒险	输入信号发生一次 变化只引起 <b>一个</b> 错	■ 静态1冒险	0
	误信号脉冲	■静态0冒险	0 0
■ 动态冒险	输入信号发生一次改变引起 <mark>多个</mark> 错误信号脉冲		
■ 功能冒险	<mark>多个</mark> 输入信号的变化不同步而产 生的错误信号脉冲		

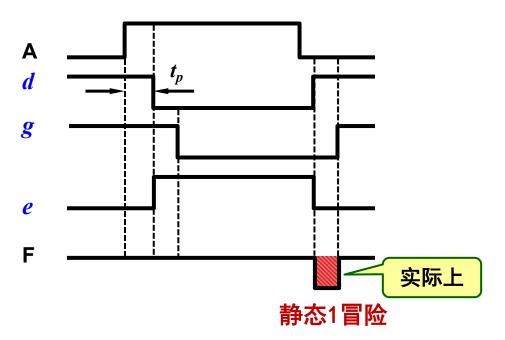
#### Example

$$F = AB + \overline{A}C$$

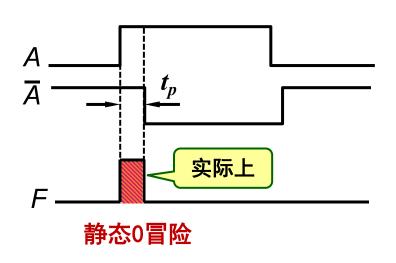
理论上

静态1冒险 if B=C=1 ⇒ F=A+Ā=1



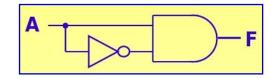


#### ■ 静态0冒险



$$F = (A+B)(\overline{A}+C)$$

if 
$$B=C=0$$
 理论上  
then  $F=A\overline{A}=0$ 



Example

#### 组合电路中的冒险

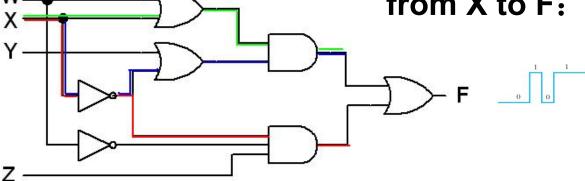
■ 动态冒险

- 通常发生在多级电路情况下
- 不同的路径有不同的传输延迟
- 当输入发生一次变化,输出将发生多次变化。

#### F=(W+X)(Y+X')+ZW'X'

if WYZ=001, F=XX'+X'=X'

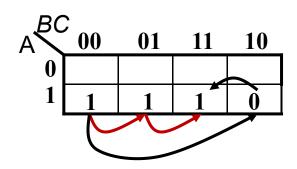
from X to F: 存在3条路径



#### ■功能冒险

多个输入信号 同时改变,因 速度不同产生 错误信号脉冲

$$F(100) = F(111) = 1$$



初值 过渡值 终值

C 较快: 100 → 101 → 111

B 较快: 100 → 110 → 111

*F*值

静态1冒险

**=** /+ **+** 

BC:  $00 \rightarrow 11$ 

_		_
士	占	曲
	18	忢
汞	ш	4X

A	В	С	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

# Unit 6 组合逻辑电路设计

- 使用有限扇入门设计组合电路
- 组合电路中的冒险
  - Gate Delays
  - Static hazard



- 代数法
- 卡诺图法

#### 3. 冒险的判断——代数法

检查表达式中是否存在某个变量**X**,它同时以原变量和反变量的形式出现;并能在特定条件下简化成下面形式之一:





$$F = \overline{A}\overline{C} + \overline{A}B + AC$$

Check variable: A, C

**C**:

$$AB=00$$
  $F=\overline{C}$ 
 $AB=01$   $F=1$ 
 $AB=10$   $F=C$ 
 $AB=11$   $F=C$ 

没有冒险

$$F = \overline{AC} + \overline{AB} + AC$$

A:

$$BC = 00$$
 $F = \overline{A}$  $BC = 01$  $F = A$  $BC = 10$  $F = \overline{A}$  $BC = 11$  $F = A + \overline{A}$ 

static-1 hazard





# $F=(A+B)(\bar{A}+C)(\bar{B}+C)$

Check variable: A, B

<b>B</b> :	AC=00	$F=B\overline{B}$
	A C=0 1	F=B
	AC=10	F=0
	AC=11	<b>F=1</b>

A:
$$B C=0 0 \qquad F=A\overline{A}$$

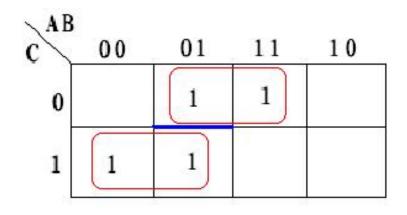
$$B C=0 1 \qquad F=A$$

$$B C=1 0 \qquad F=\overline{A}$$

$$B C=1 1 \qquad F=1$$

#### 4. 冒险的判断—— k. maps

#### 化简后是否存在相切的卡诺圈



$$F1 = A' \cdot C + B \cdot C'$$

$$F2 = (A' + C) \cdot (B + C')$$

When 
$$A = 0, B = 1$$
:  $F1 = C + C'$ 

When 
$$A = 1, B = 0 : F2 = C \cdot C'$$

$$F = \overline{AD} + \overline{AC} + AB\overline{C}$$

When 
$$B=D=1$$
,  $C=0$ 

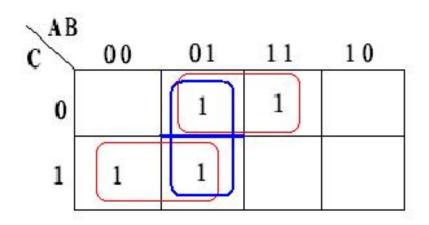
$\overrightarrow{CD}^{AA}$	B 00	01	11	10
00			1	
01	1	1	1	
11	1	1		
10	1	1		

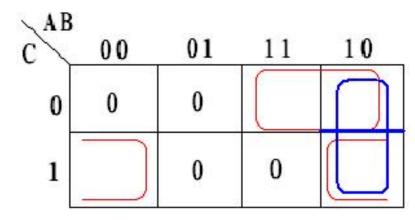




#### 5. 冒险的消除

#### ① 添加卡诺圈





$$F1 = A' \cdot C + B \cdot C' + A' \cdot B$$

$$F2 = (A'+C)\cdot (B+C')\cdot (A'+B)$$

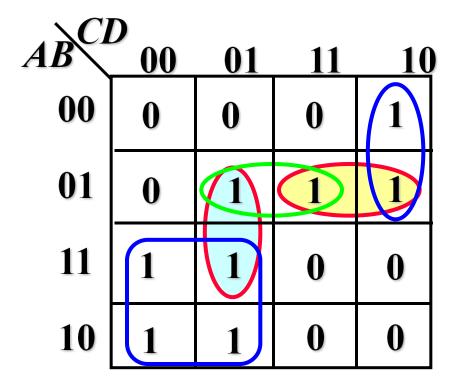
When 
$$A = 0, B = 1: F1 = 1$$

When 
$$A = 1, B = 0 : F2 = 0$$





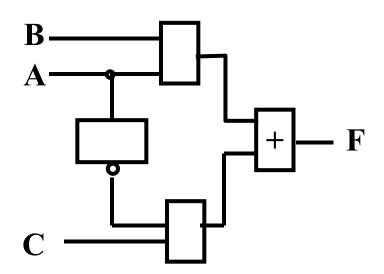
Add new term to cover the neighboring cells!







$$F = AB + \overline{A}C$$



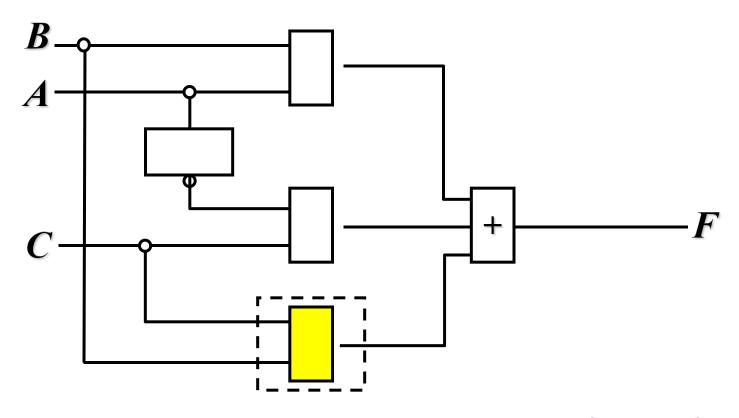
#### ② 添加冗余项: BC

$$F = AB + \overline{A}C + BC$$





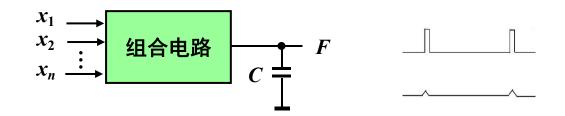
$$F = AB + \overline{A}C + \overline{B}C$$



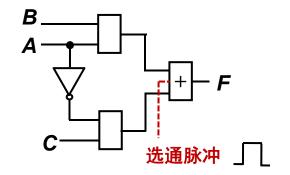


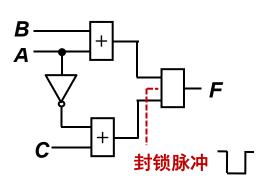


#### ③ 添加滤波电容



#### 4 加封锁/选通脉冲 〈FPGA设计 中常用









# Unit 6 组合逻辑电路设计

- 组合电路中的冒险
  - 门延迟
  - 冒险
- 冒险判断及消除
  - 代数法
  - 卡诺图法