

习题2



- 采用__（ 2 ）__不能将多个处理机互连构成多处理机系统。
（ 2 ） A.STD总线 B.交叉开关
C.PCI总线 D.Centronic总线

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题3

- 每一条指令都可以分解为取指、分析和执行三步。已知取指时间 $t_{取指}=5\Delta t$,分析时间 $t_{分析}=2\Delta t$,执行时间 $t_{执行}=5\Delta t$.如果按顺序方式从头到尾执行完500条指令需__（ 3 ）__ Δt .如果按照[执行]k、[分析]k+1、[取指]k+2重叠的流水线方式执行指令，从头到尾执行完500条指令需__（ 4 ）__ Δt .

（ 3 ） A.5500 B.5525 C.6000 D.6025

习题3



版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题4

- 两个同符号的数相加或异符号的数相减，所得结果的符号位SF和进位C_n若__（ 5 ）__运算为1时，表示运算的结果产生溢出。
（ 5 ） A.与 B.或 C.与非 D.异或

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题5

● 高速缓存Cache与主存间采用全相联地址映像方式，高速缓存的容量为4MB,分为4块，每块1MB,主存容量为256MB.若主存读写时间为30ns,高速缓存的读写时间为3ns,平均读写时间为3.27ns,则该高速缓存的命中率为__ (6) __ %.若地址变换表如表8-1所示，则主存地址为8888888H时，高速缓存地址为__ (7) __H.

表8-1 地址变换表

0	38H
1	88H
2	59H
3	67H

- (6) A.90 B.95 C.97 D.99
- (7) A.488888 B.388888 C.288888 D.18888

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题6

● 某指令流水线由5段组成，各段所需要的时间如图8-1所示。



图8-1 流水线各段时间示意图

连续输入10条指令时的吞吐率为__ (8) __.

- (8) A. 10/70Δt B. 10/49Δt C. 10/35Δt D. 10/30Δt

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题7

● 若内存按字节编址，用存储容量为32K×8比特的存储器芯片构成地址编号为A0000H~DFFFFH的内存空间，则至少需要__ (9) __片。

- (9) A.4 B.6 C.8 D.10

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题8

● 设指令由取指、分析、执行3个子部件完成，每个子部件的工作周期均为 Δt .采用常规标量单流水线处理机，若连续执行10条指令，则共需时间__（ 10 ）__ Δt .

- (10) A.8 B.10 C.12 D.14

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题9

● 某计算机的时钟频率为400MHz,测试该计算机的程序使用4种类型的指令。每种指令的数量及所需指令时钟数（CPI）如表8-2所示，则该计算机的指令平均时钟数约为__（ 11 ）__;该计算机的运算速度约为__（ 12 ）__ MIPS.

表8-2 指令情况表

指令类型	指令数目（条）	每条指令所需时钟数
1	160000	1
2	30000	2
3	24000	4
4	16000	8

- (11) A.1.85 B.1.93 C.2.36 D.3.75
- (12) A.106.7 B.169.5 C.207.3 D.216.2

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题10

● 某计算机指令字长为16位，指令有双操作数、单操作数和无操作数3种格式，每个操作数字段均用6位二进制数表示，该指令系统共有m条（ $m<16$ ）双操作数指令，并存在无操作数指令。若采用扩展操作码技术，那么最多还可设计出__（ 13 ）__条单操作数指令。

- (13) A.26 B. $(24 - m) \times 26 - 1$
- C. $(24 - m) \times 26$ D. $(24 - m) \times (26 - 1)$

版权方授权希赛网发布，侵权必究

习题11

- __ (14) __不属于计算机控制器中的部件。

- (14) A.指令寄存器 IR
- B.程序计数器 PC
- C.算术逻辑单元 ALU
- D.程序状态字寄存器 PSW

[版权方授权希赛网发布，侵权必究](#)

习题12

- 在 CPU 与主存之间设置高速缓冲存储器 Cache,其目的是为了__ (15) __.

- (15) A.扩大主存的存储容量
- B.提高 CPU 对主存的访问效率
- C.既扩大主存容量又提高存取速度
- D.提高外存储器的速度

[版权方授权希赛网发布，侵权必究](#)

习题13

- 下面的描述中，__ (16) __不是 RISC 设计应遵循的设计原则。

- (16) A.指令条数应少一些
- B.寻址方式尽可能少
- C.采用变长指令，功能复杂的指令长度长而简单指令长度短
- D.设计尽可能多的通用寄存器

[版权方授权希赛网发布，侵权必究](#)

习题14

● 指令流水线将一条指令的执行过程分为四步，其中第 1、2 和 4 步的经过时间为 Δt ，如图8-2所示。若该流水线顺序执行 50 条指令共用 $153\Delta t$ ，并且不考虑相关问题，则该流水线的瓶颈第 3 步的时间为__（17）__ Δt 。

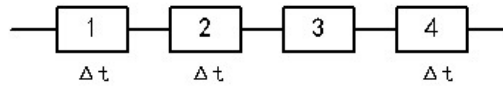


图8-2 流水线各段时间示意图

（17） A.2 B.3 C.4 D.5

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题15

● 系统响应时间和作业吞吐量是衡量计算机系统性能的重要指标。对于一个持续处理业务的系统而言，其__（18）__。

- （18） A.响应时间越短，作业吞吐量越小
B.响应时间越短，作业吞吐量越大
C.响应时间越长，作业吞吐量越大
D.响应时间不会影响作业吞吐量

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题16

● 在指令系统的各种寻址方式中，获取操作数最快的方式是__（19）__。若操作数的地址包含在指令中，则属于__（20）__方式。

- （19） A.直接寻址 B.立即寻址 C.寄存器寻址 D.间接寻址
（20） A.直接寻址 B.立即寻址 C.寄存器寻址 D.间接寻址

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题17

● 系统响应时间和作业吞吐量是衡量计算机系统性能的重要指标。对于一个持续处理业务的系统而言，__（ 21 ）__表明其性能越好。

- （ 21 ） A.响应时间越短，作业吞吐量越小 B.响应时间越短，作业吞吐量越大
C.响应时间越长，作业吞吐量越大 D.响应时间不会影响作业吞吐量

版权方授权希赛网发布，侵权必究

[上一节](#)

[本书简介](#)

[下一节](#)

习题18

● 若每一条指令都可以分解为取指、分析和执行三步。已知取指时间 $t_{取指}=4\Delta t$,分析时间 $t_{分析}=3\Delta t$,执行时间 $t_{执行}=5\Delta t$.如果按串行方式执行完100条指令需要__（ 22 ）__ Δt .如果按照流水方式执行，执行完100条指令需要__（ 23 ）__ Δt .

- （ 22 ） A.1190 B.1195 C.1200 D.1205
（ 23 ） A.504 B.507 C.508 D.510

版权方授权希赛网发布，侵权必究

[上一节](#)

[本书简介](#)

[下一节](#)

习题19

● 若内存地址区间为4000H~43FFH,每个存储单元可存储16位二进制数，该内存区域用4片存储器芯片构成，则构成该内存所用的存储器芯片的容量是__（ 24 ）__.

- （ 24 ） A.512×16bit B.256×8bit C.256×16bit D.1024×8bit

版权方授权希赛网发布，侵权必究

[上一节](#)

[本书简介](#)

[下一节](#)

习题20

- 在计算机体系结构中，CPU 内部包括程序计数器 PC、存储器数据寄存器 MDR、指令寄存器

IR 和存储器地址寄存器MAR 等。若CPU 要执行的指令为：MOV R0, #100（即将数值100传送到寄存器R0中），则CPU 首先要完成的操作是__（25）__。

（25）A.100→R0 B.100→MDR C.PC→MAR D.PC→IR

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题21

● 现有四级指令流水线，分别完成取指、取数、运算、传送结果四步操作。若完成上述操作的时间依次为9ns、10ns、6ns、8ns,则流水线的操作周期应设计为__（26）__ns。

（26）A.6 B.8 C.9 D.10

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题22

● 内存按字节编址，地址从90000H 到CFFFFH,若用存储容量为16K×8bit的存储器芯片构成该内存，至少需要__（27）__片。

（27）A.2 B.4 C.8 D.16

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题23

● CPU 中的数据总线宽度会影响__（28）__。

（28）A.内存容量的大小 B.系统的运算速度
C.指令系统的指令数量 D.寄存器的宽度

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题24

● 利用高速通信网络将多台高性能工作站或微型机互连构成机群系统，其系统结构形式属于__（29）__计算机。

- （29）A.单指令流单数据流（SISD） B.多指令流单数据流（MISD）
C.单指令流多数据流（SIMD） D.多指令流多数据流（MIMD）

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题25

● 内存采用段式存储管理有许多优点，但"__（30）__"不是其优点。

- （30）A.分段是信息的逻辑单位，用户不可见
B.各段程序的修改互不影响
C.地址变换速度快、内存碎片少
D.便于多道程序共享主存的某些段

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题26

● 计算机内存一般分为静态数据区、代码区、栈区和堆区，若某指令的操作数之一采用立即数寻址方式，则该操作数位于__（31）__。

- （31）A.静态数据区 B.代码区 C.栈区 D.堆区

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题27

● 计算机在进行浮点数的相加（减）运算之前先进行对阶操作，若x的阶码大于y的阶码，则应将__（32）__。

- (32) A.x的阶码缩小至与y的阶码相同，且使x的尾数部分进行算术左移
B.x的阶码缩小至与y的阶码相同，且使x的尾数部分进行算术右移
C.y的阶码扩大至与x的阶码相同，且使y的尾数部分进行算术左移
D.y的阶码扩大至与x的阶码相同，且使y的尾数部分进行算术右移

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题28

- 在CPU中，__ (33) __可用于传送和暂存用户数据，为ALU执行算术逻辑运算提供工作区。
- (33) A.程序计数器 B.累加寄存器
C.程序状态寄存器 D.地址寄存器

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题29

- 下面关于在I/O设备与主机间交换数据的叙述，__ (34) __是错误的。
- (34) A.中断方式下，CPU需要执行程序来实现数据传送任务
B.中断方式和DMA方式下，CPU与I/O设备都可同步工作
C.中断方式和DMA方式中，快速I/O设备更适合采用中断方式传递数据
D.若同时接到DMA请求和中断请求，CPU优先响应DMA请求

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题30

- 下面关于校验方法的叙述，__ (35) __是正确的。
- (35) A.采用奇偶校验可检测数据传输过程中出现一位数据错误的位置并加以纠正
B.采用海明校验可检测数据传输过程中出现一位数据错误的位置并加以纠正
C.采用海明校验，校验码的长度和位置可随机设定

D.采用CRC校验，需要将校验码分散开并插入数据的指定位置中

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题31

● Cache用于存放主存数据的部分拷贝，主存单元地址与Cache单元地址之间的转换工作由__ (36) __完成。

(36) A.硬件 B.软件 C.用户 D.程序员

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题32

● 海明校验码是在 n 个数据位之外增设 k 个校验位，从而形成一个 k+n 位的新的码字，使新的码字的码距比较均匀地拉大。n与k的关系是__ (37) __。

(37) A. $2^{k-1} \geq n+k$ B. $2^{n-1} \leq n+k$ C. $n = k$ D. $n - 1 \leq k$

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题33

● 假设某硬盘由5个盘片构成（共有8个记录面），盘面有效记录区域的外直径为30cm,内直径为10cm,记录位密度为250位/mm,磁道密度为16道/mm,每磁道分16个扇区，每扇区512字节，则该硬盘的格式化容量约为__ (38) __MB。

(38) A. $\frac{8 \times (30-10) \times 10 \times 250 \times 16}{8 \times 1024 \times 1024}$ B. $\frac{8 \times (30-10) \times 10 \times 16 \times 16 \times 512}{2 \times 1024 \times 1024}$
C. $\frac{8 \times (30-10) \times 10 \times 250 \times 16 \times 16}{8 \times 1024 \times 1024}$ D. $\frac{8 \times (30-10) \times 16 \times 16 \times 512}{2 \times 1024 \times 1024}$

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题34

- __ (39) __是指按内容访问的存储器。
(39) A.虚拟存储器 B.相联存储器
C.高速缓存 (Cache) D.随机访问存储器

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题35

- 处理机主要由处理器、存储器和总线组成，总线包括__ (40) __。
(40) A.数据总线、地址总线、控制总线
B.并行总线、串行总线、逻辑总线
C.单工总线、双工总线、外部总线
D.逻辑总线、物理总线、内部总线

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题36

- 计算机中常采用原码、反码、补码和移码表示数据，其中， ± 0 编码相同的是__ (41) __。
(41) A.原码和补码 B.反码和补码 C.补码和移码 D.原码和移码

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题37

- 某指令流水线由 5 段组成，第 1、3、5 段所需时间为 Δt ，第2、4段所需时间分别为 $3\Delta t$ 、 $2\Delta t$ ，如图8-3所示，那么连续输入n条指令时的吞吐率（单位时间内执行的指令个数）TP 为__ (42) __。



图8-3流水线各段时间示意图

- (42) A. $\frac{n}{5 * (3 + 2) \Delta t}$ B. $\frac{n}{(3 + 3 + 2) \Delta t + 3(n - 1) \Delta t}$
 C. $\frac{n}{(3 + 2) \Delta t + (n - 3) \Delta t}$ D. $\frac{n}{(3 + 2) \Delta t + 5 * 3 \Delta t}$

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题38

- 以下关于CPU的叙述中，错误的是__ (43) __.
- (43) A.CPU产生每条指令的操作信号并将操作信号送往相应的部件进行控制
 B.程序计数器PC除了存放指令地址，也可以临时存储算术/逻辑运算结果
 C.CPU中的控制器决定计算机运行过程的自动化
 D.指令译码器是CPU控制器中的部件

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题39

- 以下关于CISC (Complex Instruction Set Computer,复杂指令集计算机) 和 RISC (Reduced Instruction Set Computer,精简指令集计算机) 的叙述中，错误的是__ (44) __.
- (44) A.在CISC中，其复杂指令都采用硬布线逻辑来执行
 B.采用CISC技术的CPU,其芯片设计复杂度更高
 C.在RISC中，更适合采用硬布线逻辑执行指令
 D.采用RISC技术，指令系统中的指令种类和寻址方式更少

版权方授权希赛网发布，侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题40

● 浮点数的一般表示形式为 $N=2^E \times F$,其中E为阶码, F为尾数。以下关于浮点表示的叙述中, 错误的是__ (45) __.两个浮点数进行相加运算, 应首先__ (46) __.

- (45) A.阶码的长度决定浮点表示的范围, 尾数的长度决定浮点表示的精度
- B.工业标准IEEE754浮点数格式中阶码采用移码、尾数采用原码表示
- C.规格化指的是阶码采用移码、尾数采用补码
- D.规格化表示要求将尾数的绝对值限定在区间[0.5,1)

- (46) A.将较大的数进行规格化处理
- B.将较小的数进行规格化处理
- C.将这两个数的尾数相加
- D.统一这两个数的阶码

版权方授权希赛网发布, 侵权必究

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题41

- 以下关于校验码的叙述中, 正确的是__ (47) __.
- (47) A.海明码利用多组数位的奇偶性来检错和纠错
- B.海明码的码距必须大于等于1
- C.循环冗余校验码具有很强的检错和纠错能力
- D.循环冗余校验码的码距必定为1

版权方授权希赛网发布, 侵权必究

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题42

- 以下关于Cache的叙述中, 正确的是__ (48) __.
- (48) A.在容量确定的情况下, 替换算法的时间复杂度是影响Cache命中率的关键因素
- B.Cache的设计思想是在合理成本下提高命中率
- C.Cache的设计目标是容量尽可能与主存容量相等
- D.CPU中的Cache容量应大于CPU之外的Cache容量

版权方授权希赛网发布, 侵权必究

[上一节](#) [本书简介](#) [下一节](#)

习题43

- 为实现程序指令的顺序执行，CPU__（49）__中的值将自动加1。
（49）A.指令寄存器OR） B.程序计数器（PC）
C.地址寄存器（AR） D.指令译码器（ID）

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题44

- 以下关于计算机系统中中断概念的叙述中，正确的是__（50）__。
（50）A.由I/O设备提出的中断请求和电源掉电都是可屏蔽中断
B.由I/O设备提出的中断请求和电源掉电都是不可屏蔽中断
C.由I/O设备提出的中断请求是可屏蔽中断，电源掉电是不可屏蔽中断
D.由I/O设备提出的中断请求是不可屏蔽中断，电源掉电是可屏蔽中断

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题45

- 与 $A \oplus B$ 等价的逻辑表达式是__（51）__。（ \oplus 表示逻辑异或， $+$ 表示逻辑加）
（51）A. $A+B$ B. $A \oplus \bar{B}$ C. $A \oplus B$ D. $AB \oplus \bar{AB}$

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

习题46

- 计算机指令一般包括操作码和地址码两部分，为处折执行一条指令，其__（52）__。
（52）A.操作码应存入指令寄存器（IR），地址码应存入程序计数器（PC）
B.操作码应存入程序计数器（PC），地址码应存入指令寄存器（IR）

- C.操作码和地址码都应存入指令寄存器 (IR)
- D.操作码和地址码都应存入程序计数器 (PC)

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题47

- 关于64位和32位微处理器，不能以2倍关系描述的是__ (53) __.
- (53) A.通用寄存器的位数 B.数据总线的宽度
- C.运算速度 D.能同时进行运算的位数

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题48

- 在输入输出控制方法中，采用__ (54) __可以使得设备与主存间的数据块传送无需CPU干预。
- (54) A.程序控制输入输出 B.中断 C.DMA D.总线控制

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题49

- 若某计算机采用8位整数补码表示数据，则运算__ (55) __将产生溢出。
- (55) A.-127+1 B.-127-1 C.127+1 D.127-1

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题50

- 若内存容量为4GB,字长为32,则__ (56) __.
- (56) A.地址总线和数据总线的宽度都为32
- B.地址总线的宽度为30,数据总线的宽度为32
- C.地址总线的宽度为30,数据总线的宽度为8
- D.地址总线的宽度为32,数据总线的宽度为8

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题51

- 设用2K×4位的存储器芯片组成16K×8位的存储器（地址单元为0000H~3FFFH,每个芯片的地址空间连续），则地址单元0B1FH所在芯片的最小地址编号为__ (57) __.
- (57) A.0000H B.0800 H C.2000 H D.2800 H

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题52

- 编写汇编语言程序时，下列寄存器中程序员可访问的是__ (58) __.
- (58) A.程序计数器（PC） B.指令寄存器（IR）
- C.存储器数据寄存器（MDR） D.存储器地址寄存器（MAR）

[版权方授权希赛网发布，侵权必究](#)

[上一节](#) [本书简介](#) [下一节](#)

第 8 章：计算机组成与体系结构

作者：希赛教育软考学院 来源：希赛网 2014年05月08日

习题53

- 正常情况下，操作系统对保存有大量有用数据的硬盘进行__ (59) __操作时，不会清除有用数据。
- (59) A.磁盘分区和格式化 B.磁盘丰咎式化和碎片整理
- C.磁盘清理和碎片整理 D.磁盘分区和磁盘清理

习题54

- 在CPU中用于跟踪指令地址的寄存器是__（ 60 ）__
（ 60 ） A.地址寄存器（ MAR ） B.数据寄存器（ MDR ）
C.程序计数器（ PC ） D.指令寄存器（ IR ）

习题55

- 指令系统中采用不同寻址方式的目的是__（ 61 ）__。
（ 61 ） A.提高从内存获取数据的速度 B.提高从外存获取数据的速度
C.降低操作码的译码难度 D.扩大寻址空间并提高编程灵活性

习题56

- 在计算机系统中采用总线结构，便于实现系统的积木化构造，同时可以__（ 62 ）__。
（ 62 ） A.提高数据传输速度 B.提高数据传输量
C.减少信息传输线的数量 D.减少指令系统的复杂性

习题57

- 原码表示法和补码表示法是计算机中用于表示数据的两种编码方法，在计算机系统中常采用补码来表示和运算数据，原因是采用补码可以__（ 63 ）__。
- （ 63 ） A.保证运算过程与手工运算方法保持一致
- B.简化计算机运算部件的设计
- C.提高数据的运算速度
- D.提高数据的运算精度

版权方授权希赛网发布，侵权必究

上一节 本书简介 下一节

习题58

- 计算机中的浮点数由三部分组成：符号位S,指数部分E（称为阶码）和尾数部分M.在总长度固定的情况下，增加E的位数、减少M的位数可以__（ 64 ）__。
- （ 64 ） A.扩大可表示的数的范围同时降低精度
- B.扩大可表示的数的范围同时提高精度
- C.减小可表示的数的范围同时降低精度
- D.减小可表示的数的范围同时提高精度

版权方授权希赛网发布，侵权必究

上一节 本书简介 下一节

习题参考答案

8.2 习题参考答案

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)	(10)
B	C	C	C	D	D	D	C	C	C
(11)	(12)	(13)	(14)	(15)	(16)	(17)	(18)	(19)	(20)
B	C	B	C	B	C	B	B	B	A
(21)	(22)	(23)	(24)	(25)	(26)	(27)	(28)	(29)	(30)
B	C	B	C	C	D	D	B	D	C
(31)	(32)	(33)	(34)	(35)	(36)	(37)	(38)	(39)	(40)
B	D	B	C	B	A	A	B	B	A
(41)	(42)	(43)	(44)	(45)	(46)	(47)	(48)	(49)	(50)
C	B	B	A	C	D	A	B	B	C
(51)	(52)	(53)	(54)	(55)	(56)	(57)	(58)	(59)	(60)
B	C	C	C	C	A	B	A	C	C
(61)	(62)	(63)	(64)						
D	C	B	A						