

Blatt 10 - Block 3

Gruppe 114 - Hamza Banchemama - 236660

- Quang Vinh Nguyen - 231844

10.1.

a. Schwächen

- lange genug Taktyklus für I/O erforderlich
- 3 adders erforderlich
- getrennte Speicher für Instruktion und Data

Folge

zeit-ineffizient.

teuer

wahrscheinlich unrealistisch

b. Lösung: Multicycle Datapath.

Speicher für Data und Instruktion werden zu einem integriert
Dazu braucht man noch 2 Zustands Elemente für Instruktion und Data

10.2

ex. (1): Die Pipelined-Prozessor wird ~~legt~~ zerlegt einen Befehl in 5 Stages, damit die gleichzeitig durchgeführt sind. Das macht den Taktszyklus fast 5 mal schneller.

(2). Read after write: ~~Data werden~~ Instruktion wird gelesen, bevor sie auf einem anderen Speicher geschrieben wird. Das hat zur Folge, dass Ergebnis falsch gerechnet werden kann, weil 5 Befehle beim Pipeline gleichzeitig ausgeführt werden

10.3

10.3

a) (1) Deep Pipelines: mehr Stufen

Schneller (durch weniger Logik)

Hazards, Kosten

(2) Branch Prediction: wählen die Branch aus.

Reduzierung Branch Strafen

falsch vorhersehen

(3) Superscalar Execution: Multiple Kopien von Data Pfaden

Gleichzeitige Durchführung

Schwer wegen Abhängigkeit

(4) Out of Order Execution: Ausführung der Instruktionen in schneller

Reihenfolge

Reihenfolge

Effizient

Ausführungszeit ist nicht vorhersehbar

(5) Register Renaming: Fügen einige ~~monarchitecturale~~ renamung Register zu dem Prozessor

Eliminierung WAR Hazards

(6) Single Instruction Multiple Data (SIMD): Führen eine Instruction auf vielen Teilen von Data.

(7) Multithreading: Halten einen Prozessor mit vielen Ausführungseinheiten beschäftigt.

Inklusion von gleichzeitigen Ausführung

(8) Multiprozessor: vielen Prozessor mit Kommunikation
Verlässlichkeit | teuer.