

Übungsblatt 10 – 14 Punkte

(Block C3 – insgesamt 90 Punkte)

Bearbeiten ab Samstag, 1. Juli 2023.
Abgabe bis spätestens Freitag, 7. Juli 2023, 23:59 Uhr.

Hinweise zum dritten Testat finden Sie am Ende des Übungsblattes.

Setzen Sie Sich bitte (falls noch nicht geschehen) wegen eines Testattermins für Block C mit Ihrem Gruppenleiter in Verbindung.

Der Singlecycle MIPS-Prozessor in der letzten Übung hat einige offensichtliche Schwachpunkte. In dieser Übung lernen wir einige Techniken kennen, mit der die Performance des Prozessors verbessert werden kann. Dabei müssen Sie nichts mehr implementieren. Es genügt, die Techniken in einigen Worten zu beschreiben. Diese Techniken werden auch in dem Testaten abgefragt, wobei kurze Erklärungen zu den Begriffen gefordert werden.

10.1 Multicycle-Prozessor (6 Punkte)

In Kapitel 7.4 im Buch von Harris und Harris [1] werden drei primäre Schwächen des Singlecycle MIPS-Prozessors vorgestellt.

- (3 Punkte) Benennen Sie die drei Schwachpunkte und begründen Sie, wieso sie zu schlechter Performance führen. Erstellen Sie hierzu eine Tabelle mit Einträgen in Stichpunkten.
- (3 Punkte) Erläutern Sie, welche Lösungen im Multicycle-Design eingesetzt und wie sie in der Mikroarchitektur realisiert werden, um die Schwachpunkte im Singlecycle-Design zu verbessern. Hinweis: Wir beschränken uns hier auf den Datenpfad.

10.2 Pipelined Prozessor (4 Punkte)

In Kapitel 7.5 in [1] finden Sie Materialien zum Instruction-Pipelining. Sie können Sich zur Wiederholung auch die Materialien aus Rechnerstrukturen zur Hilfe nehmen.

- (2,5 Punkte) Beschreiben Sie zunächst, wie das Pipelining funktioniert (im Vergleich zu Singlecycle, am Beispiel von fünf Pipeline-Stufen: Fetch, Decode, Execute, Memory, Writeback). Erklären Sie dann, (1) welche Vorteile ein Pipelining-Design im Vergleich zum Singlecycle-Prozessor bringt und (2) wie Data Hazards die Ausführung beeinflussen können (bei Teil (2) reicht es, am Beispiel von read after write zu argumentieren).
- (1,5 Punkte) Beschreiben Sie die Veränderungen, die man an dem Singlecycle-Prozessor vornehmen müsste, um das Pipelining zu realisieren. (Wichtige Stichworte: Pipeline-Stufen, Pipeline-Register, Pipelined Control)

10.3 Weitere Optimierungen (4 Punkte)

Das Ziel dieser Aufgabe ist es, Ihnen einen groben Überblick über weitere Optimierungen (siehe Kapitel 7.8 in [1]) zu verschaffen. Hier brauchen Sie nicht zu sehr ins Detail gehen. Zur Beschreibung der Optimierungen reicht es die Konzepte kurz in Stichpunkten festzuhalten.

- a. (4 Punkte, 0.5 Punkte pro Begriff) Beschreiben Sie die folgenden Optimierungen, die Punkte die sie verbessern, sowie die Nachteile die eventuell durch diese Optimierungen entstehen könnten:
(1) Deep Pipelines, (2) Branch Prediction, (3) Superscalar Execution, (4) Out-of-Order Execution, (5) Register Renaming, (6) SIMD, (7) Multithreading, (8) MultiProzessors.

Literatur

[1] Harris and Harris, Digital Design and Computer Architecture. Morgan Kaufman Publishers Inc., 2007

Hinweis zum dritten Testat: Da das dritte Testat etwas anders ablaufen wird als die vorherigen, wollen wir hier noch einige Hinweise zu dem Thema geben damit Sie Sich besser vorbereiten können.

Beim dritten Testat werdet Sie **einzel**n testiert und die Testate dauern grob 15 Minuten. Das Testat besteht aus 2 Teilen:

- a. Sie sollen in ca. 5 Minuten den Design-Prozess des MIPS-Prozessors grob beschreiben (z.B. durch einen kurzen Vortrag). Dabei ist es erlaubt, auf das Übungsblatt oder in den Code zu schauen (wie bei einer Kofferklausur). Sie können die entsprechenden Diagramme (z.B. von Übungsblatt 09) und ähnliches auch zur Erklärung nutzen, es soll aber in eigenen Worten erzählt werden. Am besten fangen Sie bei den Statuselementen an. Danach, wie load word und store word realisiert werden. Zum Schluss noch die Rolle der Kontrollsignale und den Zusammenhang zu den MUX erklären. Uns ist es hier wichtig, dass Sie die grundlegenden Prinzipien des Design-Prozesses verstanden haben.
- b. Es werden vier Fragen gestellt, welche etwas tiefer ins Detail gehen. Die Fragen sind über die elementaren Bausteine des MIPS-Prozessors, wofür man sie in der CPU nutzt, wie sie aufgebaut sind, und wie sie funktionieren (z.B. Regfile, die Speicher, ALU, signext, pc+4, etc.). Die Kontrollsignale könnten hier auch abgefragt werden. Gleiches gilt für die Verbesserungen des MIPS Prozessors die das Thema von Übungsblatt 10 sind.