

一、填空题（10 分，每空 2 分）

① 逻辑函数 $Y=AB+BC+CA$ 的与非-与非式为（ ）。

② 图 1 所示的卡诺图，化简后的结果是（ ）。

CD \ AB	00	01	11	10
00	X	X	1	X
01	X	1	1	1
11	0	0	0	0
10	X	0	0	1

图 1

③ 如图 2，当 AB 的值为（ ）时，当输入变量 C 发生变化时，可能产生错误的“0”。

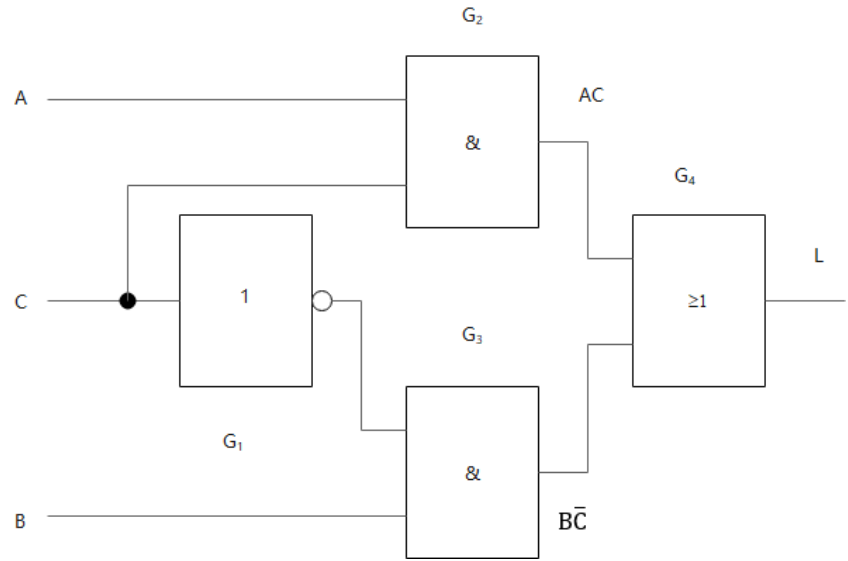


图 2

④ 可编程逻辑阵列 PLA 电路图如图 3 所示，则输出的表达式是（ ）。

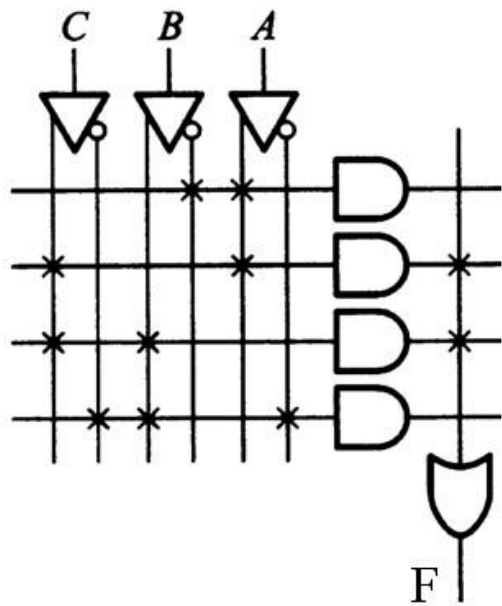


图 3

- ⑤ 如图 4 (图中为上升沿 JK 触发器), 触发器当前状态 $Q_1Q_2Q_3$ 为“100”, 请问在时钟作用下, 触发器下一状态 ($Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$) 为 ()。

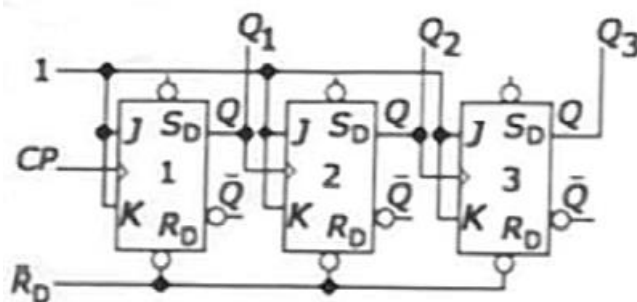


图 4

二、多项选择题 (10 分, 每小题 2 分)

- ① 已知逻辑表达式 $F = AB + \bar{A}C + \bar{B}C$, 与它功能相等的函数表达式 ()。
 A) $F = AB$ B) $F = AB + C$ C) $F = AB + \bar{A}C$ D) $F = AB + \bar{B}C$ E)以上都不是
 ②对于图 5 所示波形, 其反应的逻辑关系是 ()。



图 5

- A)异或关系 B)与关系 C)同或关系 D)或关系 E)以上都不是
 ③已知某触发器的时钟 CP, 异步置 0 端为 RD, 异步置 1 端为 SD, 控制输入端 V_i 和输出 Q 的波形如图 6 所示, 根据波形可判断这个触发器是 ()。

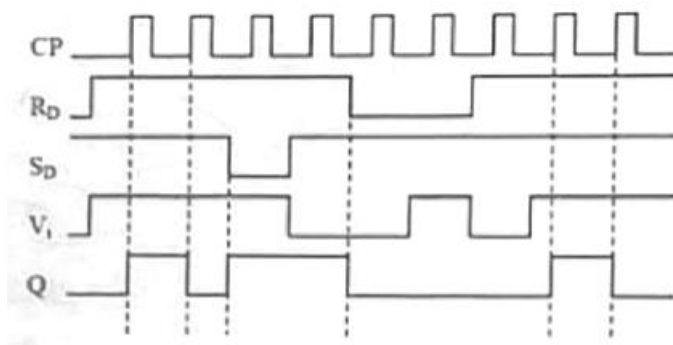


图 6

- A)上升沿 D 触发器 B)下降沿 D 触发器
 C)下降沿 T 触发器 D)上升沿 T 触发器
 E)以上都不是
 ④对于 T 触发器, 若原态 $Q_n = 1$, 欲使次态 $Q_{n+1} = 1$, 输入 T 的值可以是 ()。
 A)0 B)1 C)Q D) \bar{Q} E)以上都不是
 ⑤如图 7 所示计数器电路为 () 进制计数器。

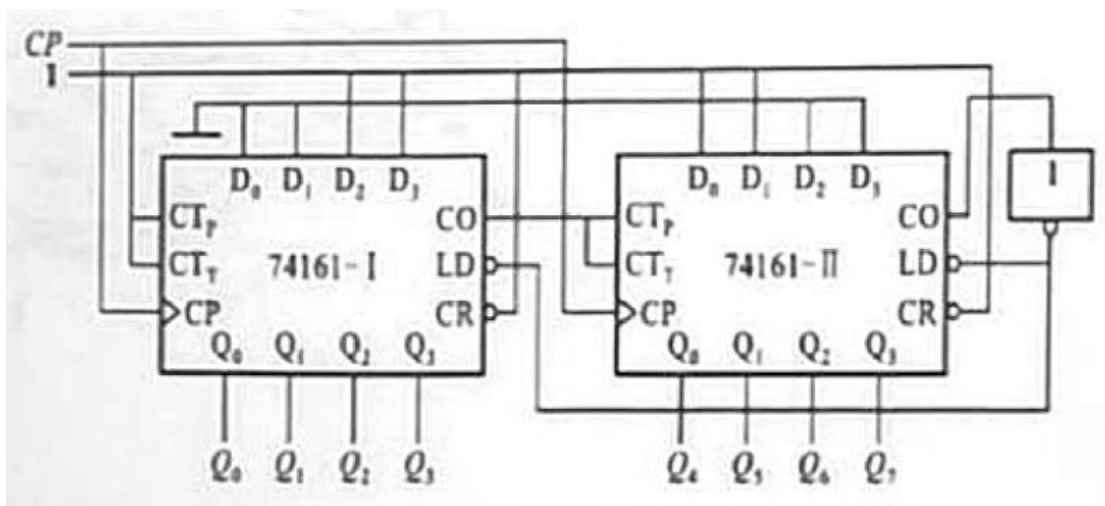


图 7

A)196 B)200 C)60 D)360 E)以上都不是

三、分析题。(40 分)

- ① 分析图 8 所示电路, 写出逻辑表达式, 列出真值表, 并说明该电路具有何逻辑功能?
(10 分)

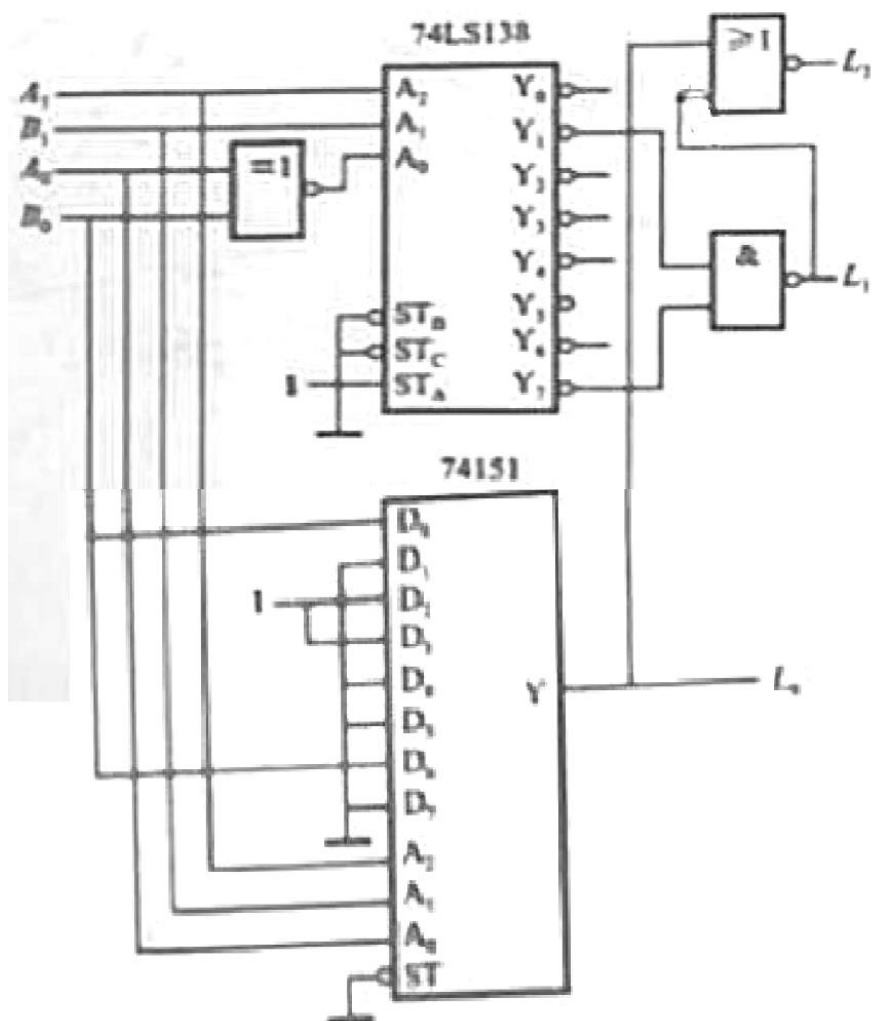


图 8

② 一个同步时序电路如图 9 所示。设触发器的初态 $Q_1 = Q_0 = 0$ 。(15 分)

(1) 画出 Q_0 、 Q_1 和 F 相对于 CP 的波形;

(2) 从 F 与 CP 的关系看, 该电路实现何种功能?

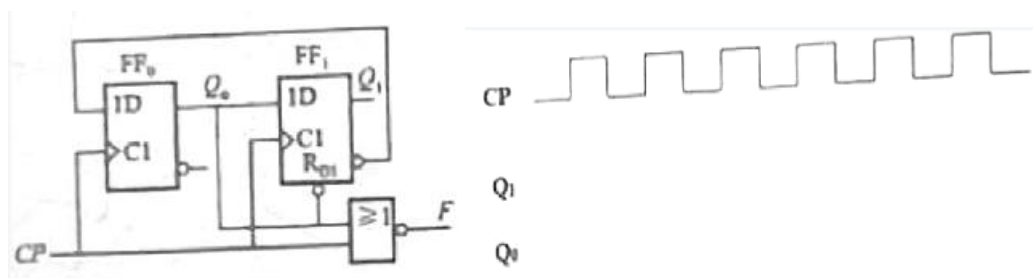


图 9

③ 分析图 10 电路的逻辑功能, 要求写清楚分析过程。(15 分)

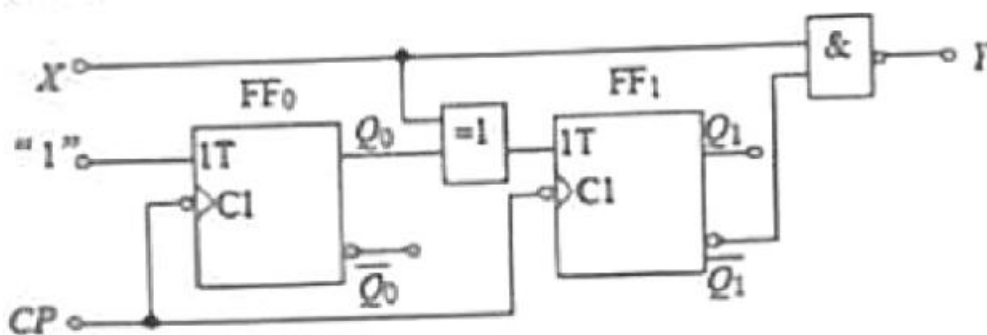


图 10

三、设计题。(40 分)

① 设计一组合电路, 其输入端为 A 、 B 、 C , 输出端为 Y , 要求其功能为: (10 分)

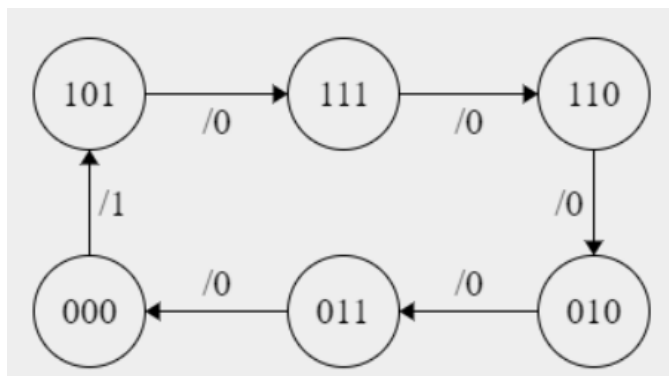
当 $A=1$ 时, $Y=B$; 当 $A=0$ 时, $Y=C$, 设计内容包括:

a) 列出真值表; b) 写出 Y 的最简与或表达式。

② 某触发器(下降沿工作)有两个输入端 A 和 B , 功能如下表所示。现利用该触发器及最少的逻辑门设计实现某同步时序电路, 状态图如下, 初始状态为 101 , 要求产生一个输出标志 Z 。(注: 写清楚设计过程, 不用画出逆辑图) (15 分)

触发器功能表

时钟	A	B	Q_{n+1}	功能说明
↓	0	0	$\overline{Q_n}$	翻转
↓	0	1	1	置 1
↓	1	0	0	置 0
↓	1	1	Q_n	保持



- ③ 使用 T 触发器设计一个同步串行数据检测电路。当连续出现四个和四个以上的 1 时，检测输出为 1，其余情况输出为 0。为简单起见，状态分配依照自然次序给定。例如：你的最简状态如果有三个，分别是 S_1 、 S_2 和 S_3 ，则状态分配为： $S_1 - 00$ ， $S_2 - 01$ ， $S_3 - 11$ 。（注：写清楚设计过程，不用画出逆逻辑图。）（15 分）