

I(7) 在不影响逻辑功能的情况下, CMOS 与非门的多余输入端可以: _____。

- (a) 接高电平 (b) 接低电平 (c) 悬空 (d) 通过电阻接地

(8) 一个输出为低电平有效的 16 选 1 译码器, 在它的十进制 13 对应的引脚出现了一个低电平, 求这个译码器的输入是什么? _____

- (a) $A_3A_2A_1A_0=1111$ (b) $A_3A_2A_1A_0=1101$ (c) $A_3A_2A_1A_0=1001$ (d) $A_3A_2A_1A_0=1000$

(9) 如果一个十六进制—二进制优先权编码器的 1、3、7、9 输入都为有效电平, 则其高电平有效的二进制编码输出为: _____。

- (a) 1001 (b) 0111 (c) 0011 (d) 0001

(10) 一位全加器具有如下哪个特性_____。

- (a) 两个输入两个输出 (b) 三个输入两个输出。
(c) 两个输入二个输出 (d) 两个输入一个输出

2 页面: 2/4 节: 1/1 设置值: 21.3 厘米 行: 23 列: 63 字数: 1584 书写位置: 图文校对 页码模式

1701: - - - - -

三、判断题 ()

- (1) 一个脉冲的上升时间是从脉冲幅度 (相对于基线的高度) 的 5% 处到脉冲幅度的 95% 处的时间宽度; ()
- (2) 所有数字电路均可由与、或、非三种逻辑运算实现; ()
- (3) 采用补码来表示 N 位带符号数时, 取值范围为 $-2^{N-1}-1 \sim 2^{N-1}-1$; ()
- (4) 二进制减法可以采用取补码做加法的方式进行; ()
- (5) 1010~1111 六个码在 8421 BCD 码中为无效码, 可以在卡诺图化简时作为无关项出现; ()
- (6) 逻辑与和布尔乘法等价; ()
- (7) 做模二加法时, $1+1$ 的结果应为 1; ()
- (8) 一个半加器包括两个输入位和一个进位输入位, 产生一个和位输出位和一个进位输出位; ()
- (9) 如果 6 和 3 均为有效输入, 高电平有效输出的 BCD 优先编码器会输出 0110; ()
- (10) 奇偶校验器/发生器级联时可将上一级的 Σ_{even} 偶数输出位接下一级的任意输入位; ()

四、逻辑函数化简题 ()

请利用卡诺图将以下函数化简成最简“与或 (SOP)”表达式。

$$Y = \overline{A}\overline{B}CD + \overline{B}\cdot\overline{C}D + (A+C)\overline{B}D + \overline{A}\cdot\overline{B} + C$$

$$Y = \overline{A}\overline{B}CD + \overline{B}\cdot\overline{C}D + (A+C)\overline{B}D + \overline{A}\cdot\overline{B} + C$$

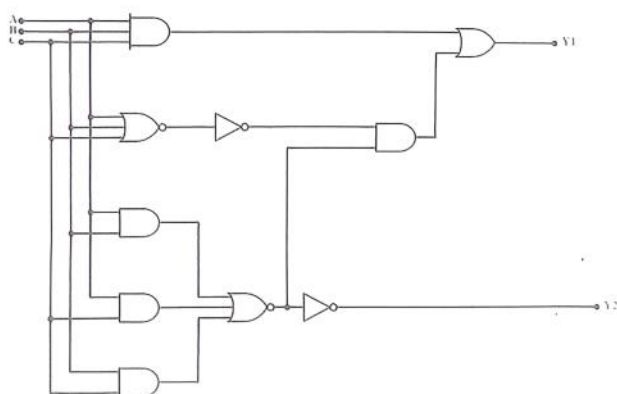
$$= \overline{A}\overline{B}CD + \overline{A}\overline{B}CD + \overline{A}\overline{B}CD + \overline{A}\overline{B}CD + \overline{A}\overline{B}CD + \overline{A}\overline{B}CD + \overline{A}\overline{B}CD + \overline{A}\overline{B}CD$$

AB \ CD	00	01	11	10
00		1	1	
01	1	1		1
11				1
10		1	1	

$$Y = \overline{A}\overline{C}D + \overline{B}D + \overline{A}\overline{B}$$

某组合逻辑电路如图所示：

- (1) 写出Y1和Y2的逻辑表达式。
- (2) 列出电路的真值表。
- (3) 说明电路的逻辑功能。



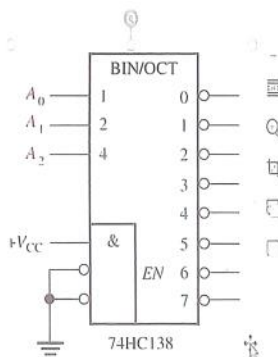
六、组合电路设计题 ()

设计一个半加半减器，输入为S、A和B，其中S为功能选择端口；当S=1时，输出A+B及其进位；当S=0时，输出A-B及其借位。（要求采用门电路设计并化简，写出具体设计过程，并绘制电路）。

七、组合集成电路应用题 (本题 15 分)

用3线--8线译码器74LS138和门电路设计1位二进制全减器电路。输入为被减数，减数和来自低位的借位；输出为两数之差和向高位的借位信号。

输入			输出	
A _i	B _i	C _{i-1}	S _i	C _i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

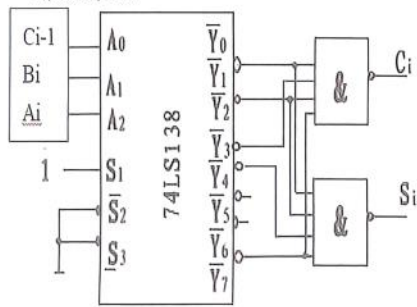


八、组合电路设计应用题 ()

$$m_1 + m_2 + m_3 + m_7 = \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_3} \cdot \overline{m_7}$$

Ci=

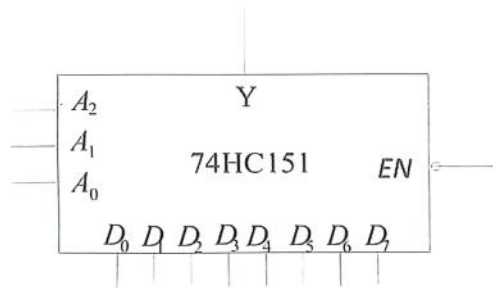
画图连线 5 分



八. 组合集成电路应用题 : (C)

用8选1数据选择器74HC151和基本门电路设计电路，该电路有3个输入逻辑变量A，B，C和1个工作状态控制变量M。当M=1时，实现逻辑一致功能（如果一致输出结果为高电平）；当M=0时，实现多数表决功能。给出设计的全过程，并画出逻辑电路图。

杨亮口述杨佳



1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

由真值表可得输出函数表达式为： (2 分)

$$Y = M'A'BC + M'AB'C + M'ABC' + M'ABC + MA'B'C' + MABC$$

八选一数据选择器的表达式： (2 分)

$$Y = D_0(A_2'A_1'A_0') + D_1(A_2'A_1'A_0) + D_2(A_2'A_1A_0') + D_3(A_2'A_1A_0) + D_4(A_2A_1'A_0') + D_5(A_2A_1'A_0) + D_6(A_2A_1A_0') + D_7(A_2A_1A_0)$$

将Y化成与之对应的形式，得到：



$$Y = M(A'B'C') + 0 \cdot (A'B'C) + 0 \cdot (A'BC') + M'(A'BC) + 0 \cdot (AB'C') + M'(AB'C) + M'(ABC') + (M' + M)ABC$$

$$Y = D_0(A_2'A_1'A_0') + D_1(A_2'A_1'A_0) + D_2(A_2'A_1A_0') + D_3(A_2'A_1A_0) \\ + D_4(A_2A_1'A_0') + D_5(A_2A_1'A_0) + D_6(A_2A_1A_0') + D_7(A_2A_1A_0)$$

将Y化成与之对应的形式，得到：

$$Y = M(A'B'C') + 0 \cdot (A'B'C) + 0 \cdot (A'BC') + M'(A'BC) \\ + 0 \cdot (AB'C') + M'(AB'C) + M'(ABC') + (M' + M)ABC$$

所以有： (4分)

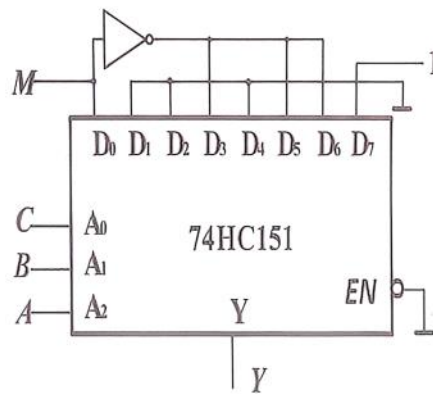
$$D_0 = M$$

$$D_1 = D_2 = D_4 = 0$$

$$D_3 = D_5 = D_6 = M'$$

$$D_7 = 1$$

根据以上结果画出电路图：(4分)



图中，A2=A，A1=B，A0=C：

1分